

HW3 report

工科 109 黃郁雲

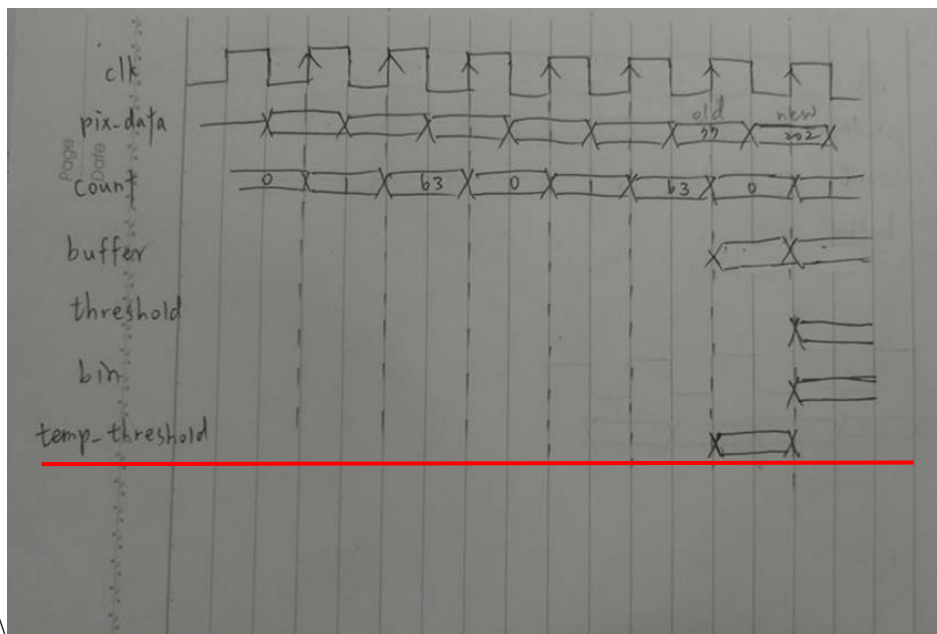
E94051136

1、 Design principle :

pix_data 一傳進來，即存入 buffer[count] (count 往上數)，並將第一筆 data，也就是 buffer[0] 設為 min 及 max，再跟下一筆 data 進行大小比較，迨 64 筆資料都傳入後，min、max 確定。

threshold 在 count=0 時開始與 buffer 內的值比較大小，在下一個 clk 輸出 bin，但 threshold 卻也在 count=0 的下一個 clk 才輸出正確的值。

因此另外使用組合電路，設一個 reg_temp_threshold，在 count=0 時即存取 $(\min + \max) / 2$ 的值，使得 buffer 內的值可以與正確的 threshold 比較。



2、 flow summary result

Flow Summary	
Flow Status	Successful - Fri Nov 23 19:25:16 2018
Quartus II Version	10.0 Build 262 08/18/2010 SP 1 SJ Full Version
Revision Name	ate
Top-level Entity Name	ate
Family	Cyclone II
Device	EP2C70F896C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	766 / 68,416 (1 %)
Total combinational functions	510 / 68,416 (< 1 %)
Dedicated logic registers	549 / 68,416 (< 1 %)
Total registers	549
Total pins	19 / 622 (3 %)
Total virtual pins	0
Total memory bits	0 / 1,152,000 (0 %)
Embedded Multiplier 9-bit elements	0 / 300 (0 %)
Total PLLs	0 / 4 (0 %)

3、 minimum CYCLE in post-sim : 24.5

```
1 timescale 1ns/100ps
2
3 define CYCLE 24.5 /*you can modify this value*/
4 define LATENCY 1
5
```

4、 gate level Simulation

通過測資截圖如下：

[illegible]