

HW2 report

工科 109 黃郁雲
E94051136

1、 Design principle :

先將除數(in2)擴充 5 個 bits，存入另一 reg (in2_)，作為運算除數，
再將除數與被除數(in1)比較：

若除數較大，則商數 out[5]為 0，且被除數不變，存入另一 reg，當作下一級運算被除數。

若被除數較大，則商數 out[5]為 1，且被除數變為被除數減去除數，存入另一 reg，當作下一級運算被除數。

被除數再與”除數右移一位”做比較，依序類推。

2、 flow summary result

Flow Summary	
Flow Status	Successful - Fri Nov 02 15:49:59 2018
Quartus II Version	10.0 Build 262 08/18/2010 SP 1 SJ Full Version
Revision Name	div
Top-level Entity Name	div
Family	Cyclone II
Device	EP2C70F896C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	60 / 68,416 (< 1 %)
Total combinational functions	60 / 68,416 (< 1 %)
Dedicated logic registers	0 / 68,416 (0 %)
Total registers	0
Total pins	19 / 622 (3 %)
Total virtual pins	0
Total memory bits	0 / 1,152,000 (0 %)
Embedded Multiplier 9-bit elements	0 / 300 (0 %)
Total PLLs	0 / 4 (0 %)

3、 minimum CYCLE in post-sim : 100

4、 gate level Simulation

通過測資截圖如下：

