

# 2018 Digital IC Design

## Homework 5: Local Binary Patterns

### 1. Introduction

局部二值模式(Local Binary Patterns, LBP)可用於描述局部紋理特徵的計算。本題請完成一個 Local Binary Patterns (後文以LBP表示)，輸入為一灰階影像，此灰階影像存放於Host端的灰階圖像記憶體模組 (gray\_mem) 中，LBP須發送訊號至Host端以索取灰階影像資料，再對灰階影像中每一個pixel各自進行獨立運算，運算後的結果請寫入Host端的局部二值模式記憶體模組 (lbp\_mem) 內，並在整張影像訊號處理完成後，將finish訊號拉為High，接著系統會自動進行比對整張影像資料的正確性。

本電路功能為當reset結束後，Host端會將 gray\_ready 訊號拉為High表示資料準備完成，之後 LBP 端才可開始對 Host 端進行動作。當 Host 端在每個時脈訊號負緣觸發時若偵測到 finish 訊號為 Low 且 gray\_req 訊號為 High 時表示 LBP 端對 Host 端要求索取灰階圖像資料，此時 Host 端會依 gray\_addr 匯流排所指示的位址將灰階圖像記憶體內的位址資料由 gray\_data 匯流排輸入 LBP端。

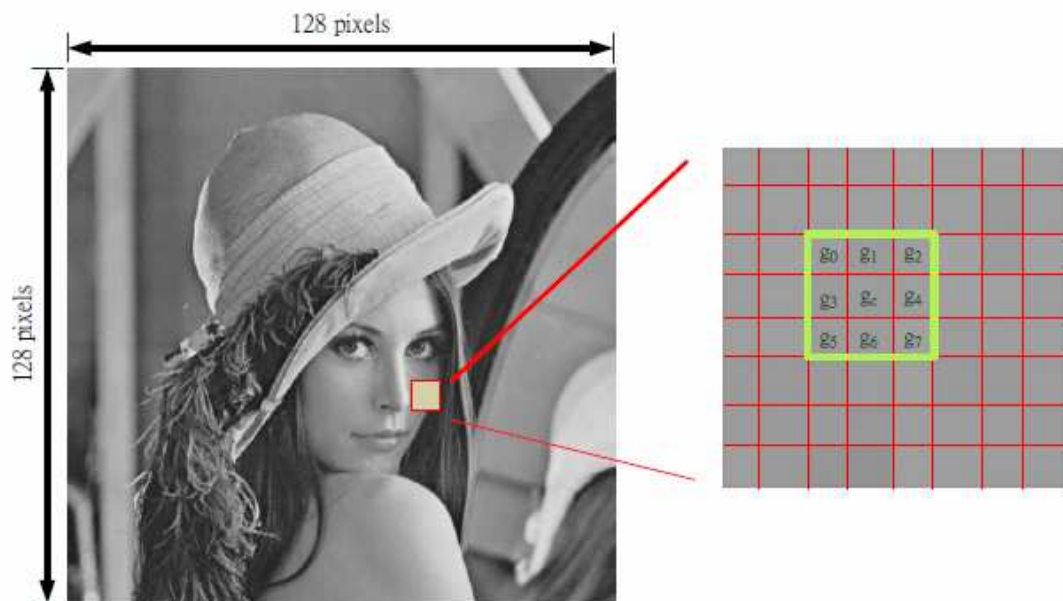
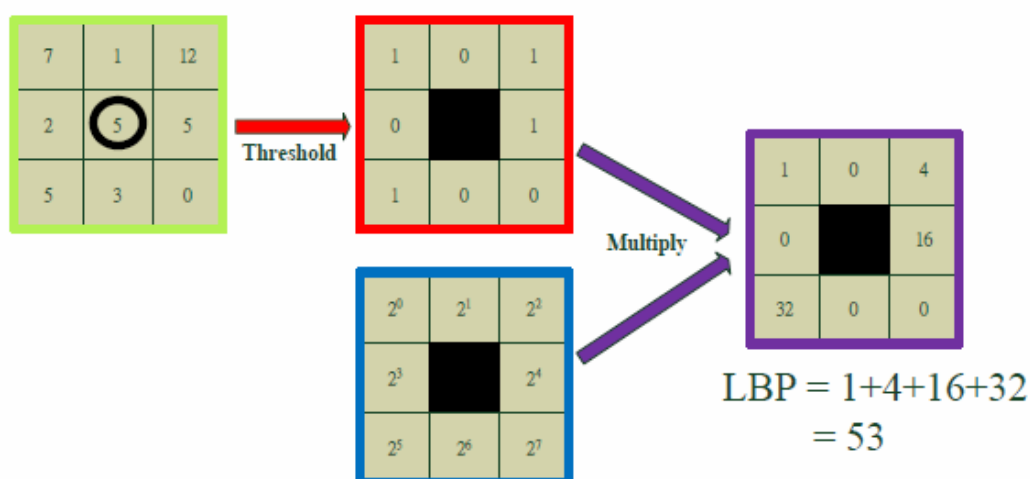


Fig. 1. LBP處理區域

由 gray\_data 輸入的有效灰階圖像資料須經過 LBP 編碼才可得到區域二值模式資料，LBP 編碼方式為利用每一個 pixel 及其相鄰的數個 pixel 的相對應關係來計算，如上圖 **Fig. 1** 所示的灰階圖像架構來說明，若待處理 pixel 為  $g_c$ ，由  $g_c$  向外擴張數個 pixel 為一區域，故每個區域中心點 pixel 的灰階值為  $g_c$  而區域中心點相鄰 pixel 的灰階值為  $g_p (p=0,1,...,P-1)$ ，本題限定區域範圍為中心點向外擴張一個 pixel 距離的正方形區域(如上圖 **Fig. 1** 綠色框框所示)，因此每個區域為一  $3 \times 3$  pixels，所以每個  $g_c$  都有 8 個相鄰 pixels ( $P=8$ )。如果  $g_c$  的座標位置為  $(x, y)$ ，則：

$$LBP(x, y) = \sum_{p=0}^{P-1} s(g_p - g_c) 2^p \quad , \quad \text{而 } s(z) = \begin{cases} 1, & z \geq 0 \\ 0, & \text{otherwise} \end{cases}$$

舉例說明，若區域內容如下 **Fig. 2** 綠色框框所示， $g_c$  則為黑色圓圈位置，則利用上式所計算出各  $g_p$  的 Threshold 值  $s(z)$  就如 **Fig. 2** 紅色框框所示，將各  $g_p$  的 Threshold (閾值) 乘上各個位置的權重值  $2^p$  (如 **Fig. 2** 藍色框框) 就可以得到如 **Fig. 2** 紫色框框所示結果，因此該區域  $g_c$  的 LBP 運算結果就是將紫色框框內所有 pixels 的值相加即可得到。



**Fig. 2. LBP運算範例**

計算完成後，接著要將各位址 pixel 的 LBP 運算結果儲存到局部二值模式記憶體模組內，本題規定由第  $k(k=0,1,...,16383)$  個灰階圖像記憶體 (gray\_mem) 位址所讀取的灰階圖像資料經 LBP 運算後的結果須存到局部二值模式記憶體模組 (lbp\_mem) 的第位址；另本題要求灰階圖像最外圍一圈的 pixel 不須做 LBP 運算，並且這一圈的 pixel 在局部二值模式記憶體模組的數值須為0，如下 Fig. 4.所示。Host 端會初始化整個局部二值模式記憶體模組的所有數值為0。

局部二值模式記憶體模組的寫入方式如下，當 Host 端在每個時脈訊號負緣觸發時若偵測到 lbp\_valid 訊號為 High 時，就會將目前 lbp\_data 匯流排上的內容，寫入到 lbp\_mem 記憶體模組的 lbp\_addr 匯流排所指示的位址內，當所有 pixel 都處理完畢後，請將 finish 訊號拉為 High，接著 Host 端就會開始進行結果驗證。

灰階圖像大小固定為128x128 pixels，每個 pixel 為 8bit 灰階(每個 8bit 灰階圖像 pixel 的值介於 0 到 255 之間)，因此 Host 端的灰階圖像記憶體模組 (gray\_mem) 共有 16384 個位址用以存放各 pixel 的灰階圖像資料，圖像與記憶體模組的對應方式如下圖 Fig. 3. 所示。

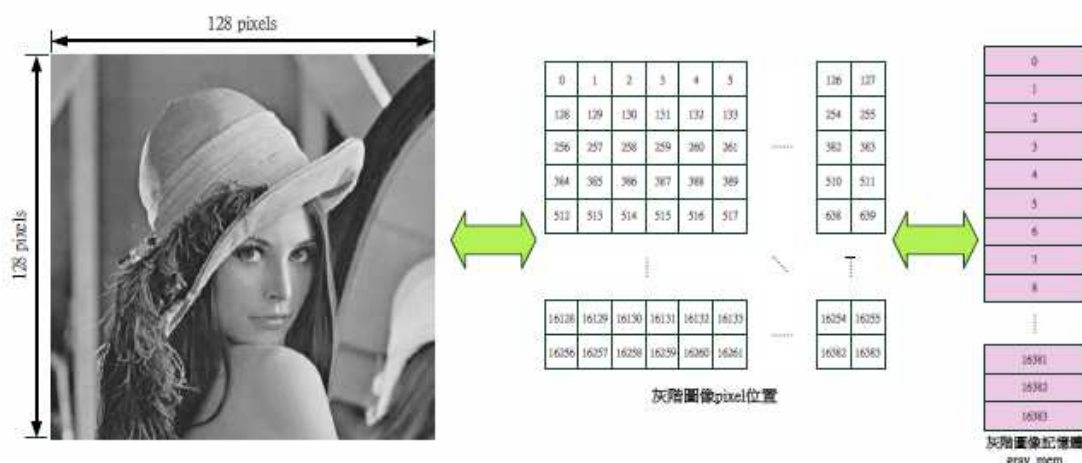


Fig. 3. 灰階圖像記憶體對應方式

局部二值模式圖像為 128x128 pixels，每個 pixel 為 8bit，因此 Host 端的局部二值模式記憶體模組 (lbp\_mem) 共有 16384 個位址用以存放各 pixel 的處理結果，本題目規定最外圍一圈 pixel 的值須為 0，因此 LBP 處理結果及局

部二值模式記憶體位址的對應方式及處理結果應如下 Fig. 4. 所示。

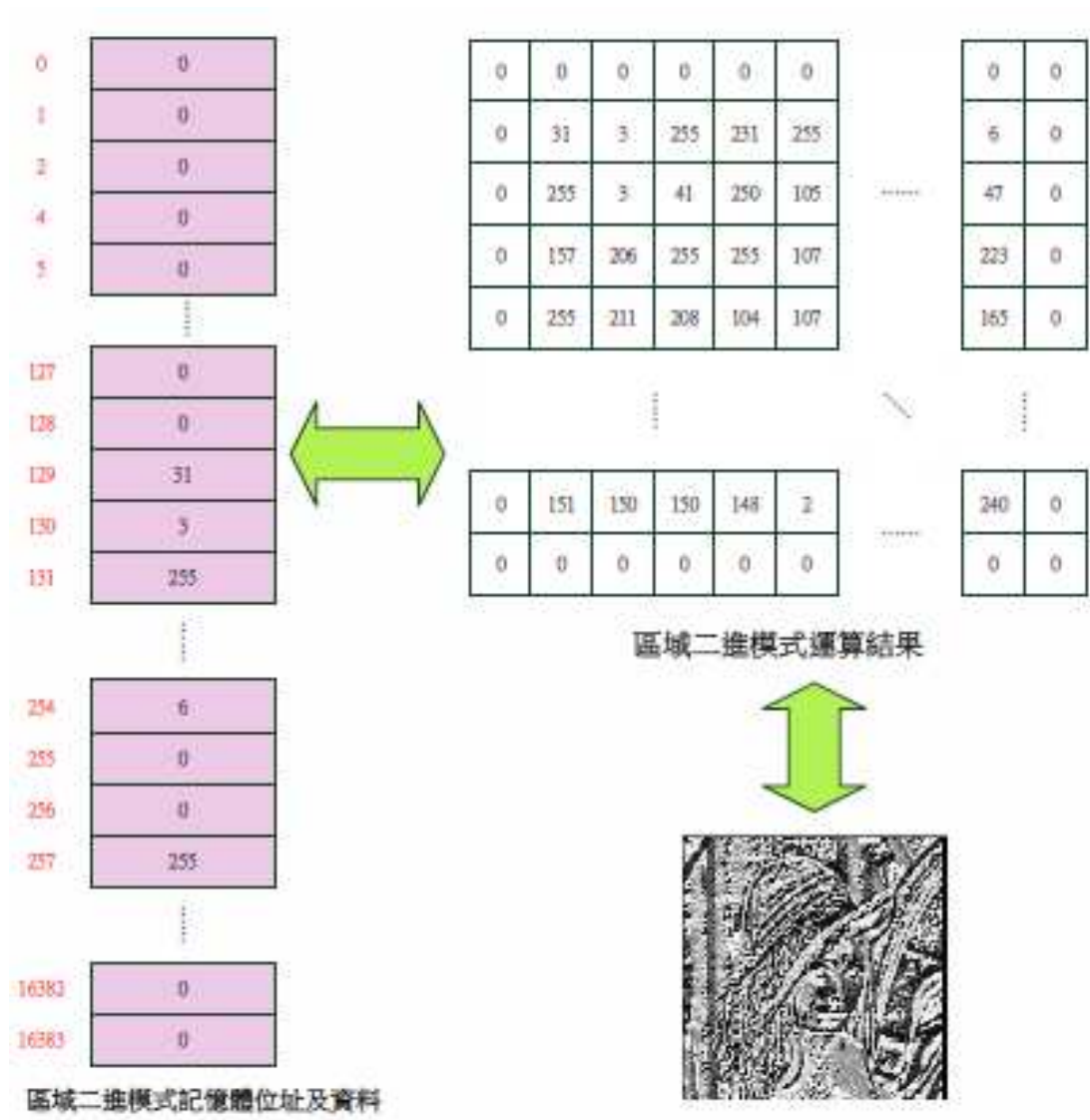
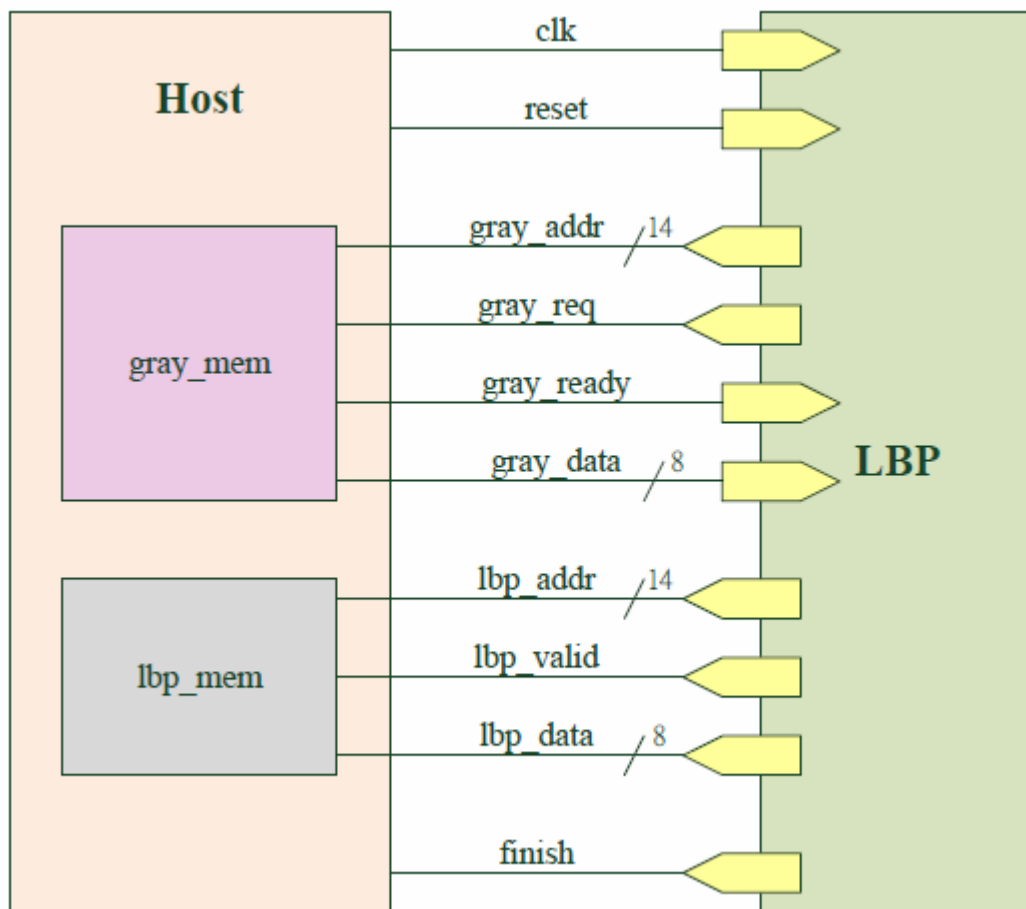


Fig. 4. 局部二值模式記憶體位址方式對應及運算結果

## 2. Design Specifications

### 2.1 Block diagram



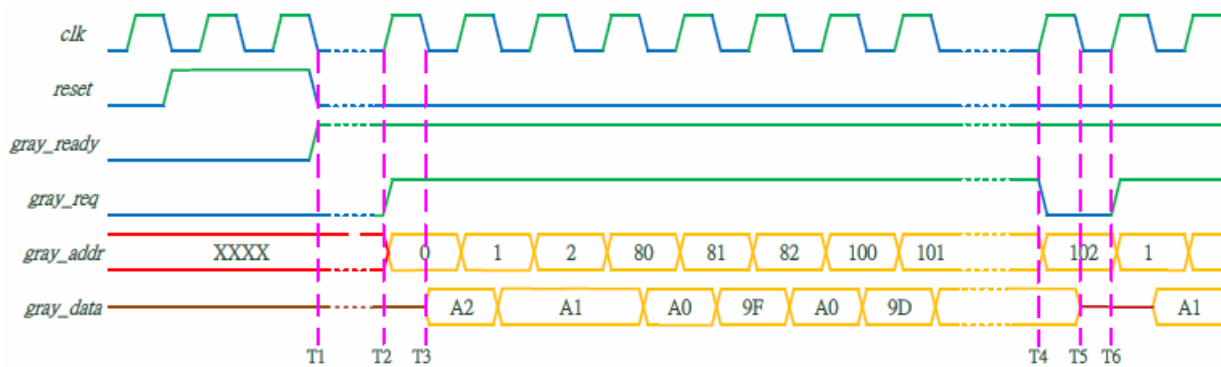
## 2.2 I/O Interface

Signal Name	I/O	Width	Simple Description
clk	I	1	本系統為同步於時脈正緣之同步設計。
reset	I	1	高位準”非”同步(active high asynchronous)之系統重置信號。
gray_addr	O	14	灰階圖像位址匯流排。LBP 端需透過此匯流排向 Host 端的灰階圖像記憶體索取該位址的灰階影像資料。 每一個週期僅能索取一個位址的資料。 題目不限制位址及資料的索取次數。
gray_req	O	1	灰階圖像索取致能訊號。當為 High 時，表示LBP 端要向Host 端索取灰階圖像資料。
gray_ready	I	1	灰階圖像資料指示訊號。當為 High 時，表示Host 端已經將灰階圖像記憶體及相關訊號準備完成了；LBP 端需在偵測到此訊號為High 後才可以開始對 Host 端進行資料索取動作。
gray_data	I	8	灰階圖像資料匯流排。 Host 端利用此匯流排將灰階圖像記憶體內的灰階圖像資料送到 LBP 端。
lbp_addr	O	14	局部二值模式位址匯流排。 LBP 端利用此位址將經 LBP 運算完成後之資料儲存至局部二值模式記憶體中。
lbp_valid	O	1	局部二值模式資料致能訊號。當為 High 時，表示 LBP 端所傳輸之局部二值模式資料及位址匯流排為有效的。
lbp_data	O	8	局部二值模式資料匯流排。LBP 端需透過此匯流排指定局部二值模式資料要儲存到局部二值模式記憶體中的哪個位址。
finish	O	1	LBP 運算完畢之通知訊號。當所有的灰階圖像資料經過個別運算完畢且儲存後，需將 <i>finish</i> 訊號拉為 High，以通知 Host 端，開始進行所有資料之比對。

## 2.3 File Description

File Name	Description
LBP.v	RTL code for using Verilog
testfixture.v	Test bench for verifying design
pattern1.dat	Input pattern 1
golden1.dat	Golden output pattern 1
cycloneii_atoms.v	Simulation library for gate-level simulation

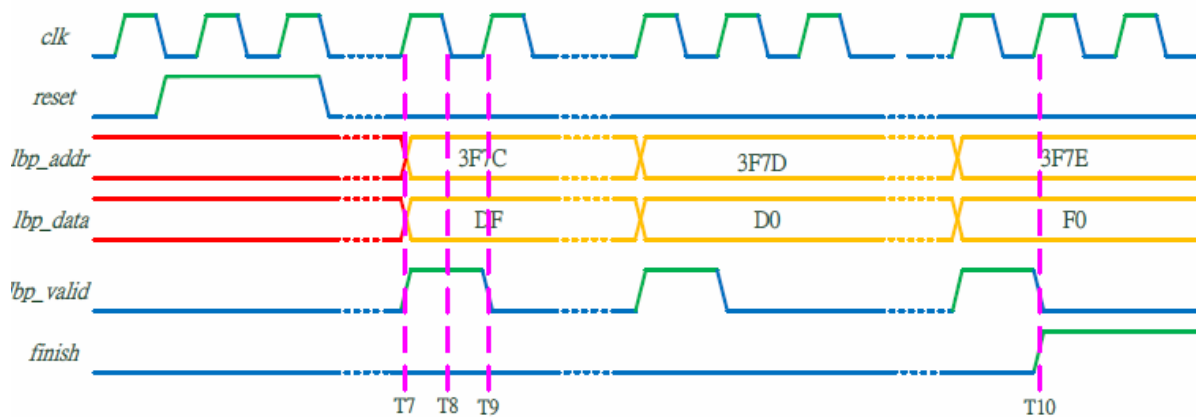
## 2.4 Timing specification



- T1 時間點，reset 訊號持續兩個 Cycle 時間後，LBP 電路初始化結束，Host 端在 T1 時間點將 gray\_ready 拉為 High，表示 Host 端準備接受 LBP 端的資料索取動作。
- LBP 端在收到 Host 端發出了 gray\_ready 為 High 之後，在 T2 時間點將 gray\_req 訊號拉為 High，並且同時將欲索取的灰階圖像 pixel 之位址由 gray\_addr 匯流排送出。
- Host 端在時脈訊號負緣觸發若偵測到 gray\_req 為 High，則會將灰階圖像記憶體內的 gray\_addr 匯流排所指示位址的資料由 gray\_data 匯流排送到 LBP 端，此時為 T3 時間點。若要進行連續索取，只需要將 gray\_req 維持在 High，並連續改變 gray\_addr 匯流排位址，就可在 gray\_data 匯流排連續得到該位址資料。
- 接著 LBP 端就可以針對各 pixel 進行區域二值模式訊號處理流程。



- E. 若 LBP 端不想要對 Host 端索取任何位址資料，則只須在 T4 時間點將 gray\_req 拉為 Low，則Host端在 T5 時間點就不會送出任何位址資料到 gray\_data 匯流排。



- F. 當 LBP 端完成區域二值模式處理後，請將各 pixel 的處理結果寫入各相對應的區域二值模式記憶體位址中，其方式為在 T7 時間點將 lbp\_valid 訊號拉為 High，同時把欲寫入的位址及資料 7 分別放在 lbp\_addr 及 lbp\_data 匯流排；Host 在 T8 時間點的時脈訊號負緣觸發時，就會進行寫入的動作。若想要連續寫入的話，則只需要持續將 lbp\_valid 維持在 High 後改變 lbp\_data 及 lbp\_addr 即可。如果不想繼續寫入資料的話，請在 T9 時間點將 lbp\_valid 拉為 Low。
- G. T10 時間點，所有的 pixel 都處理完成了，此時 LBP 端須將 finish 拉為 High。Host 端就會開始進行驗證了，驗證完成後整個模擬會立即結束。

## 2.5 Implement the software code for generating pattern and golden

本題所提供的pattern為一個128pixel\*128pixel的圖像，且每個pixel為8bits，在這裡請以你熟悉的程式語言(ex: C, C++, Python, Perl, System C....等)，完成一個可以將128pixel\*128pixel的圖片轉成.dat檔，並產生對應的golden.dat檔以用於判斷電路output之正確性，在本題中除了pattern1.dat golden1.dat之外，同學需自行產生另三組 .dat 檔 (pattern2.dat. golden2.dat. pattern3.dat. gloden3.dat. pattern4.dat. golden4.dat)。註:程式功能需包含1.將image轉pattern 與 2.軟體演算法產生golden，缺一者此部分0分。



### 3. Scoring

#### 3.1 Functional Simulation (pre-sim) [20%]

All of the result should be generated correctly using **1 test pattern by TA and the other 3 test patterns by yourself** (modify the testfixture), and you will get the following message in ModelSim simulation. You can turn off the timing check in pre-sim only.

#### 3.2 Gate-Level Simulation (post-sim) [30%]

##### 3.2.1 Synthesis

Your code should be synthesizable. After synthesizing in Quartus, the file named *LBP.vo* and *LBP.sdo* will be obtained.

**Device : Cyclone II EP2C70F896C8**

##### 3.2.2 Simulation

All of the result should be generated correctly using **two test patterns** by *LBP.vo* and *LBP.sdo*, and you will get the pass message in ModelSim simulation. (There should be **no setup or hold time violations**.)

#### 3.3 Performance [20%]

The performance is scored by the logic elements you used and the simulation time in post-sim. The scoring equation is *(Total logic elements + total memory bit+ 9\*embedded multiplier 9-bit element) × ( longest gate-level simulation time in ns)*. (The smaller the better).

#### 3.4 Test Pattern Generating [30%]

The **code** (ex: python, C++, C, Perl....) used to generate the test pattern which is designed by yourself and the generated **test patterns (3 .dat file)**.

### 4. Submission

#### 4.1 Submitted files

You should classified your files into three directories and compressed to .zip format. The naming rule is HW5\_studentID\_name\_version.zip. The version is v1 for the first submission, and v2, v3... for the revisions.

<i>RTL category</i>	
*.v	All of your verilog RTL code
<i>Gate-Level category</i>	
*.vo	Gate-Level netlist generated by Quartus
*.sdo	SDF timing information generated by Quartus
<i>Documentary category</i>	
*.pdf	The report file of your design (in pdf).

## 4.2 Report file

Please follow the spec of report. You are asked to describe how the circuit is designed as detailed as possible, and the 1. flow summary result 2. waveform 3. explain the pattern generating code designed by yourself as detail as possible and 4. minimum CYCLE in post-sim are necessary.

## 4.3 Please submit your .zip file to folder HW5 in the ftp site.

**Deadline: 1/10 PM23:55**

ftp : 140.116.245.92

Username : ic\_design

Password : ic\_design

## 4.4 If you have any problem, please contact the TA by email:

[Weiting84610@gmail.com](mailto:Weiting84610@gmail.com) 陳威廷

[rr01180118@gmail.com](mailto:rr01180118@gmail.com) 李承翰