

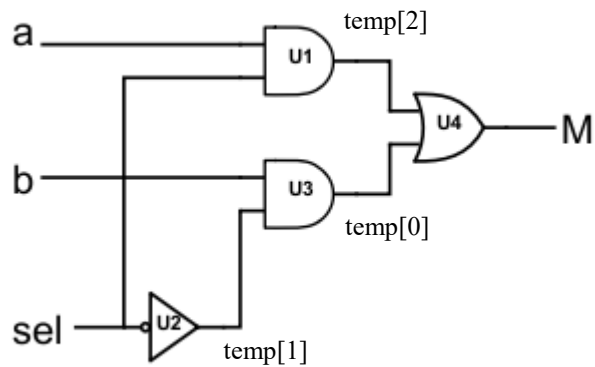
Lab1-1

1. 設計原理(Design principle)

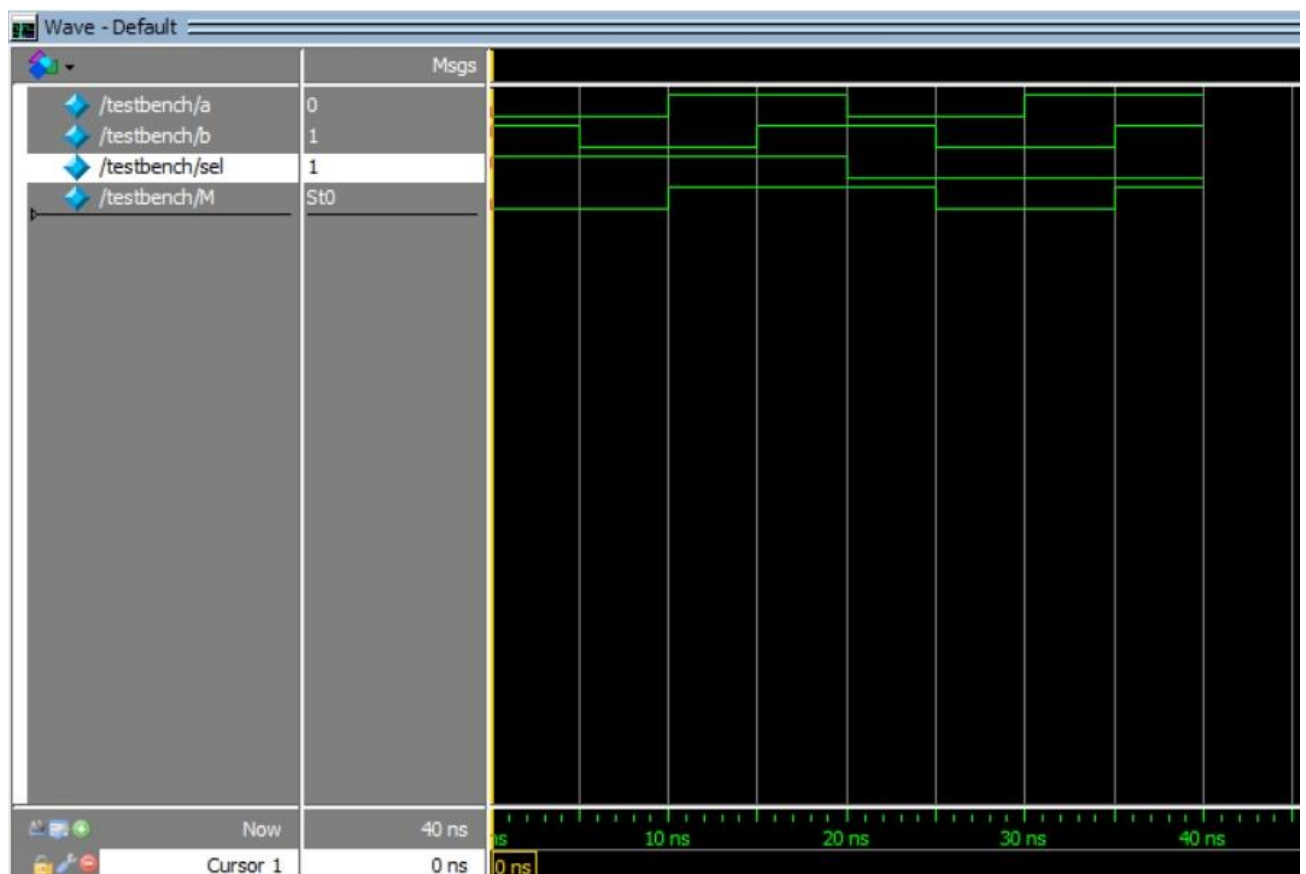
當 $sel=1$ 時，u1 and 閘被制能，a 輸出。

當 $sel=0$ 時，u3 and 閘被制能，b 輸出。

2. 邏輯閘(Gate level)架構



3. 波型(Waveform)分析



| sel | M |
|-----|---|
| 1 | a |
| 0 | b |

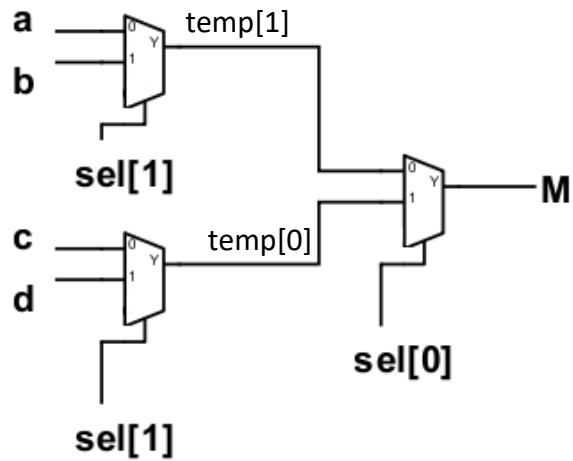
Lab1-2

1. 設計原理(Design principle)

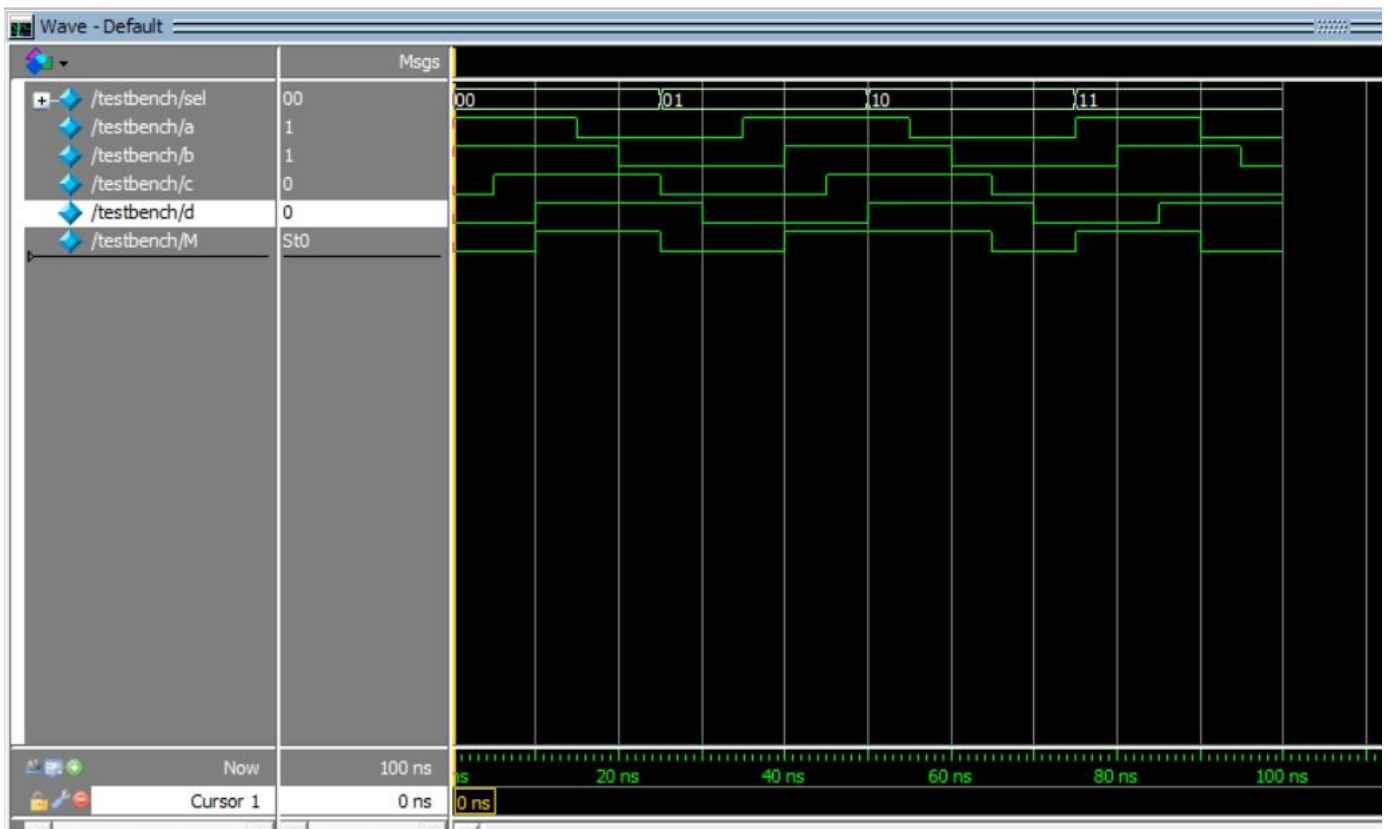
用三個二對一

線多工器組成一個四對一線多工器

2. 邏輯閘(Gate level)架構



3. 波型(Waveform)分析



| sel | M |
|-----|---|
| 00 | d |
| 01 | b |
| 10 | c |
| 11 | a |