

NCKU-ES

Digital IC Design

Lab2

Design of Counter

Professor : Wen-Long Chin
TA : Jen-Hao Hsiao, Yu-Fen Wu
VLSI signal processing LAB

- Objectives

To familiarize with RTL code

To learn the operations of Modelsim

- LAB contents

LAB2: counter

● Design Description

請實作一個可以上/下數的 4 bits 同步計數器，一開始從 0 往上數到 15，再由 15 開始下數到 0，並利用輸入訊號 in 來控制每次計數的間距（可為 1、2、3）。

在計數的過程中，若超過範圍，則輸出為邊界值（即為 0 或 15），同時也代表上/下數的轉換點。

在每個 clock 正緣時，輸出訊號 out 必須依據新的輸入訊號 in 來計數。此為循序電路(sequential circuit)，所有的 inputs 和 outputs 皆與 clk 正緣同步。

此為 asynchronous-reset 架構，reset 訊號是 active high。

以下表格為輸入訊號 in 為 1、2、3 時，所對應的計數器輸出訊號 out：

Ex1:

in	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
out	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	15	14	13

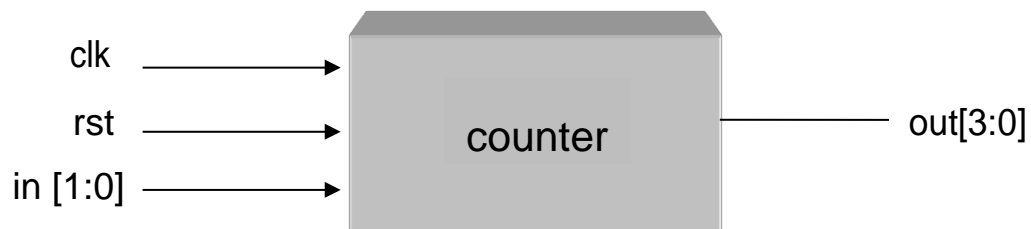
Ex2:

in	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
out	0	2	4	6	8	10	12	14	15	13	11	9	7	5	3	1	0	2	4

Ex3:

in	1	1	1	1	1	1	1	3	3	3	3	3	3	3	2	2	2	2	2
out	0	1	2	3	4	5	6	7	10	13	15	12	9	6	4	2	0	0	2

- Block Diagram



- Specifications

Top module name : counter (File name: counter.v)

Input pins: clk , rst , in[1:0]

Output pins: out[3:0]

- Note

本測驗提供測試程式(testbench)，各位同學之作業需能通過 testbench 的驗證，通過測試的截圖，如下

```
#          93 data is correct
#          94 data is correct
#          95 data is correct
#          96 data is correct
#          97 data is correct
#          98 data is correct
#          99 data is correct
#         100 data is correct
#         101 data is correct
# ----- counter check successfully -----
#
#           $ $
#        $   $
#       $     $
#      $       $
#     $         $
#    $          $
#   $            $
#  $             $
# $              $
#$             $ $
#$             $ $
#$             $ $
#$             $ $
#$             $ $
#$             $ $
#$             $ $
#$             $ $
#$             $ $
# ** Note: $finish      : D:/proj1014/counter_tb.v(100)
#          Time: 1020 ns  Iteration: 0   Instance: /counter_tb
# 1
# Break in Module counter_tb at D:/proj1014/counter_tb.v line 100
```

- Reference

取材自陳培殷 教授上課講義