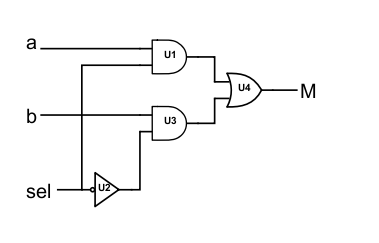
Lab1-1

1. 設計原理(Design principle)

當sel=1時，u1 and閘被制能，a輸出。

當sel=0時，u3 and閘被制能，b輸出。

1. 邏輯閘(Gate level)架構

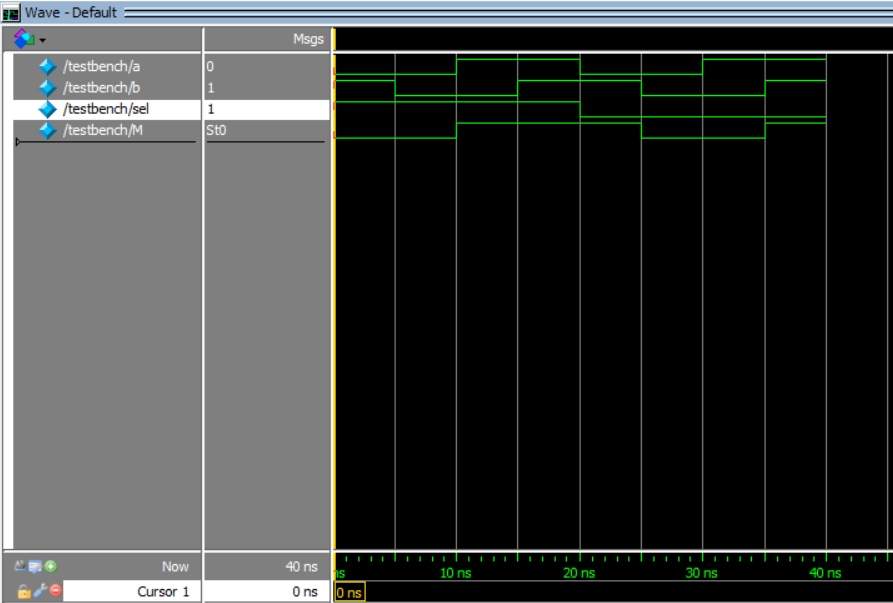


temp[1]

temp[0]

temp[2]

1. 波型(Waveform)分析



|  |  |
| --- | --- |
| sel | M |
| 1 | a |
| 0 | b |

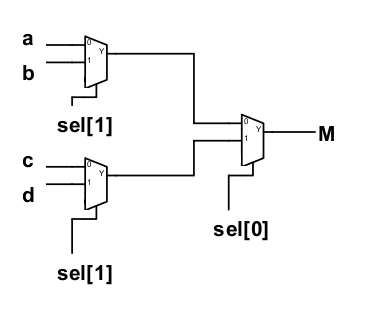
Lab1-2

1. 設計原理(Design principle)

用三個二對一

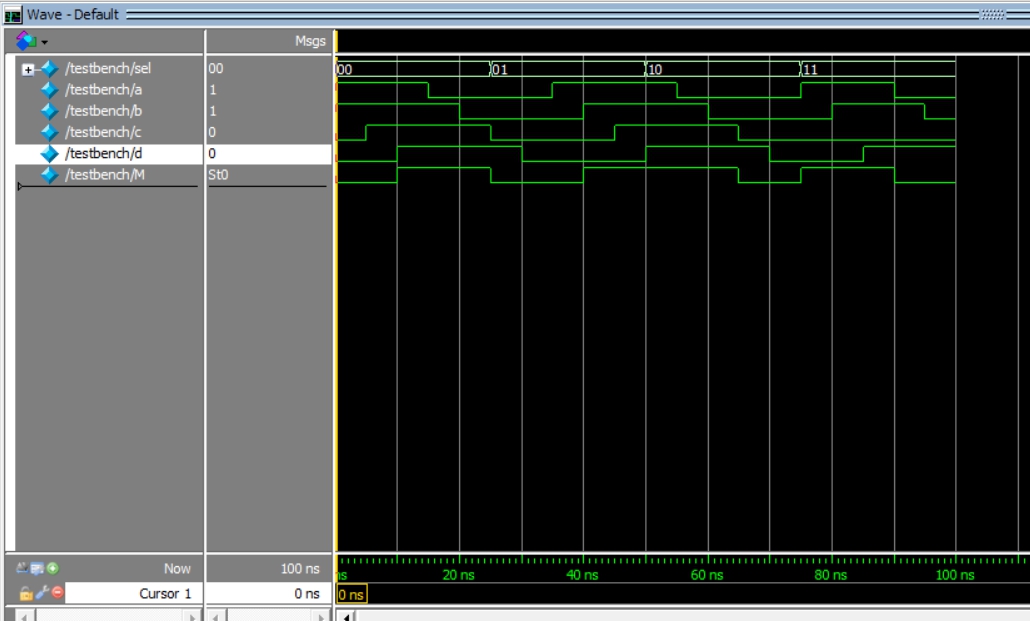
線多工器組成一個四對一線多工器

1. 邏輯閘(Gate level)架構

****

temp[1]

temp[0]

1. 波型(Waveform)分析

|  |  |
| --- | --- |
| sel | M |
| 00 | d |
| 01 | b |
| 10 | c |
| 11 | a |