

80C196KC20

16位工业级CHMOS微控制器

- 16MHz和20MHz应用
- 488字节的寄存器RAM
- 寄存器-寄存器式架构
- 28个终端源/16个向量
- 外部事件服务器(PTS)
- 1.4 μ s 16 \times 16的倍频(20 MHz)
- 2.4 μ s 32/16的分频(20 MHz)
- 具有掉电和空闲模式
- 5个8位I/O端
- 16位的看门狗定时器
- 提供可扩展的温度应用
- 动态配置8位或16位的总线宽度
- 全双工串行端口
- 高速I/O子系统
- 16位定时器
- 具有捕获性能的16位向上/向下计数器
- 3个脉宽的调制输出
- 4个16位的软计时器
- 具有采样/保持功能的8位或10位A/D转换器
- HOLD/HLDA总线协议
- 具有一次性可编程(OTPROM)功能

80C196KC20 16位微控制器是MCS[®] 96微控制器系列中的高性能产品。80C196KC20是具有488字节RAM、16MHz和20MHz工作频率、可选16K ROM/OTPROM的80C196KB的升级产品。英特尔的CHMOS III工艺可提供具有低功耗的高性能处理器。

四个高速捕获输入能够记录触发事件发生的时间。六个高速输出可用于脉冲或波形的生成。这些高速输出还可以生成四个软计时器或开始一个A/D转换。而这些触发事件是基于计时器或向上/向下的计数器的。

在商业级 (标准) 温度选项下, 它的工作特性可以保证在0°C ~ 70°C之间是正常的。而在扩展 (Express) 温度选项下, 它的工作特性可以保证在-40°C ~ +85°C之间是正常的。除非另有说明, 否则两个选项的使用规范均相同。

订购信息

零件号	温度 范围 (°C)	封装	PKG. DWG. #
CLMN80C196KC20	-40 ~ +85	68 Ld PLCC (无铅)	V1.0
CLMTN80C196KC20	-40 ~ +85	68 Ld PLCC (无铅)	
CLMEE80C196KC20	-40 ~ +85	68 Ld PLCC (无铅)	V1.1
CLMEN80C196KC20	-40 ~ +85	68 Ld PLCC (无铅)	
CLMS80C196KC20	-40 ~ +85	80-Pin QFP (无铅)	V1.2
CLMSB80C196KC20	-40 ~ +85	80-Pin SQFP (无铅)	
CLM80C196KC20	-55 ~ +125	68 Ld PLCC (金封)	V1.3

80C196KC20

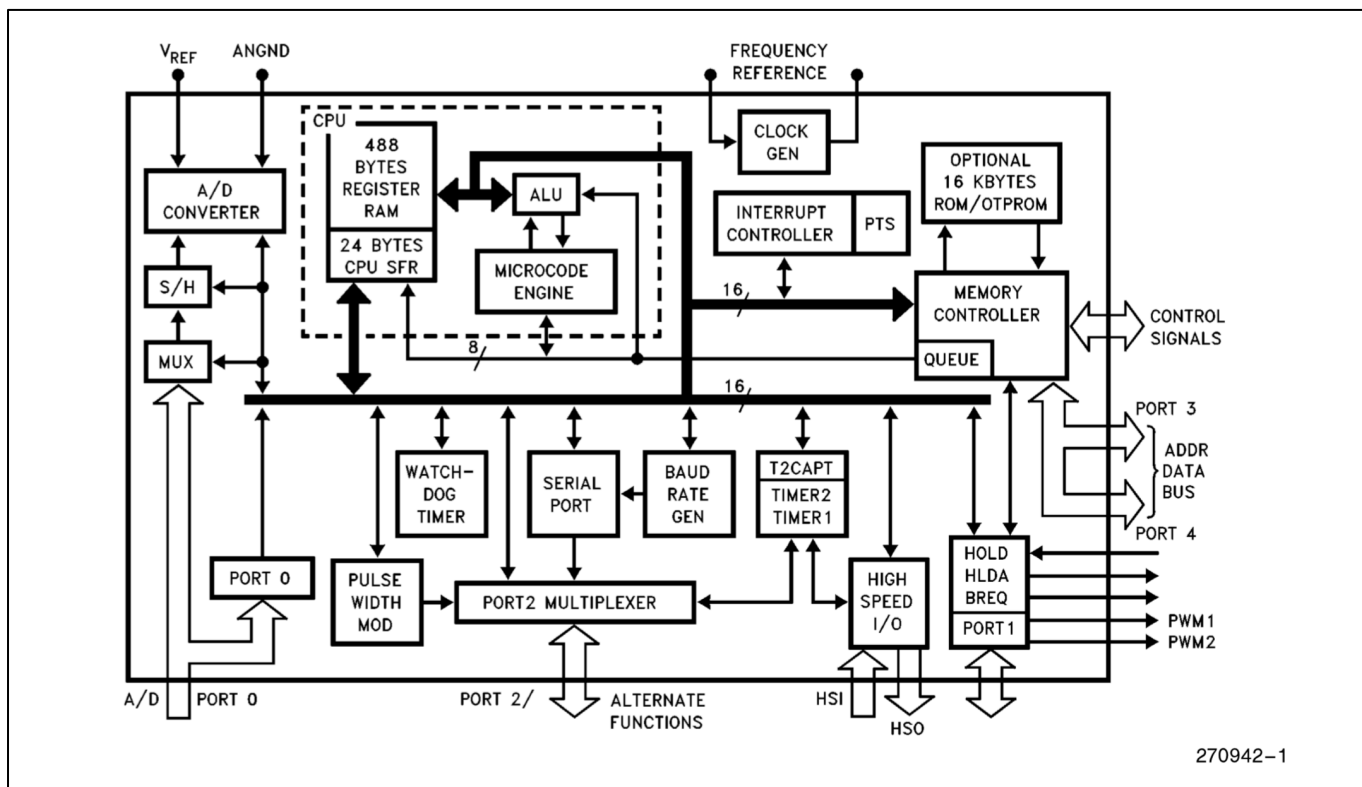


图1. 80C196KC20框图

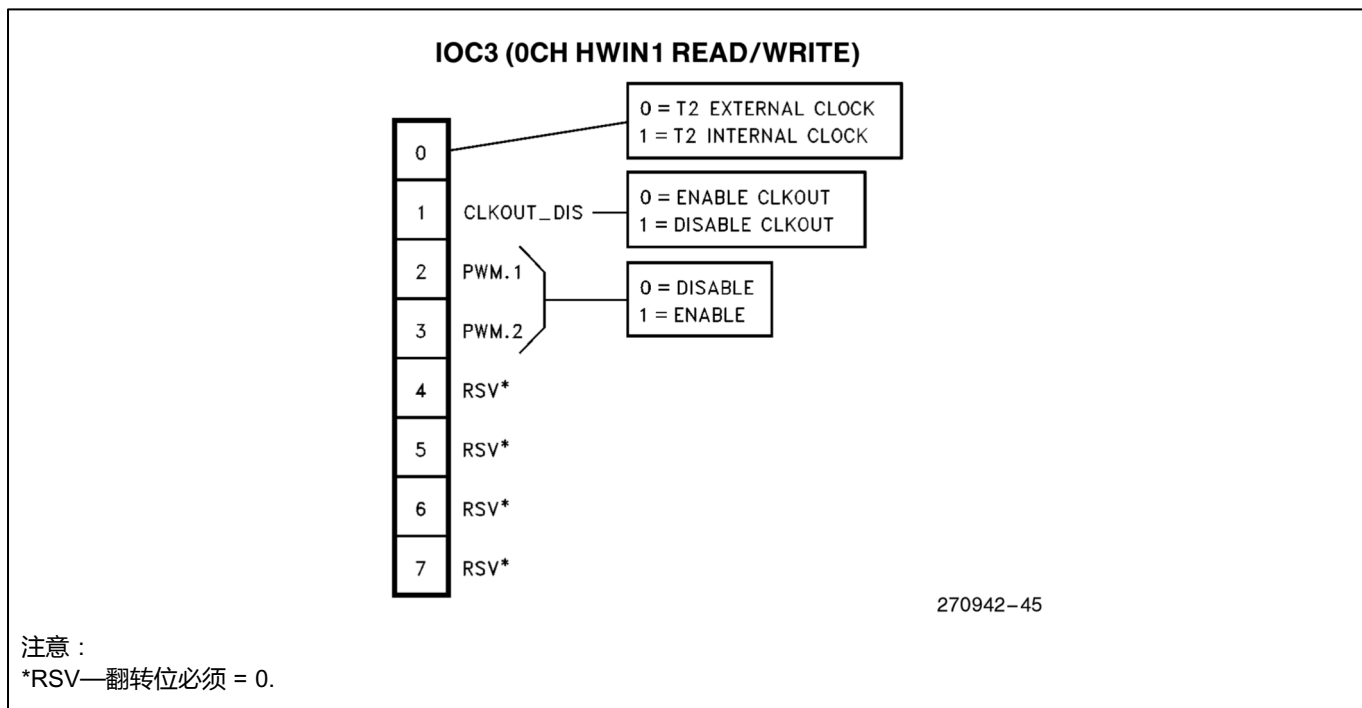
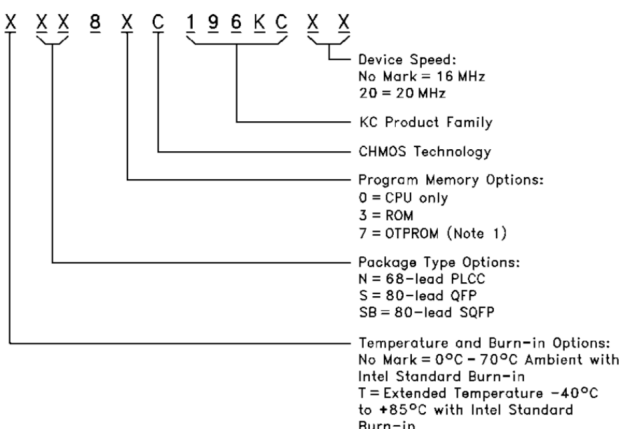


图2. 80C196KC20新SFR位(CLKOUT失效)

工艺信息

本产品是由PX29.5或PX29.9 CHMOS III 工艺生产的。有关额外附加工艺和可靠性的信息可以查阅启珑微电子质量和可靠性手册。



例：87C196KC是一个68-Lead PLCC的16MHz OTPROM.
对于完整的封装信息，参考封装手册(编号240800).

注意：
1. EPROM仅适用于一次性可编程，(OTPROM).

图3. 80C196KC20系列命名法

表1. 热特性

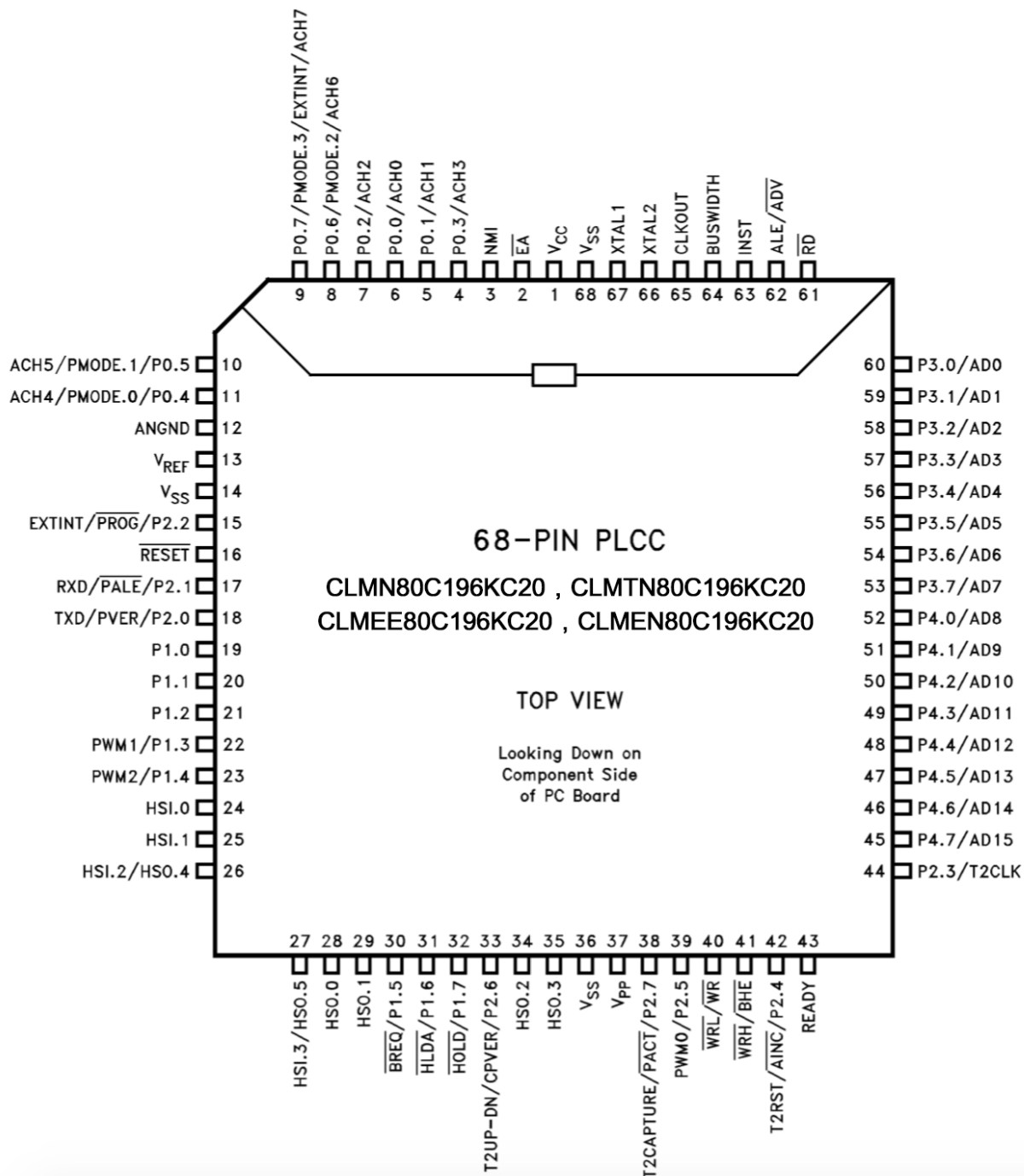
封装类型		
PLCC	35°C/W	13°C/W
QFP	35°C/W	16°C/W
SQFP	TBD	TBD

所有的热阻数据均是静空气条件下功耗为1W时候的近似值。对于不同工作条件和应用下，这些值将会发生改变。有关英特尔热阻测试方法可以查阅英特尔封装手册（编号240800）。

描述	地址
外部存储器或I/O	0FFFFH 06000H
内部ROM/OTPROM或外部存储器（由EA确定）	5FFFFH 2080H
保存，必须包含FFH(注5)	207FH 205EH
PTS向量	205DH 2040H
上层终端向量	203FH 2030H
ROM/OTPROM安全密钥	202FH 2020H
保存，必须包含FFH(注5)	201FH 201AH
保存，必须包含20H(注5)	2019H
CCB	2018H
保存，必须包含FFH(注5)	2017H 2014H
低层终端向量	2013H 2000H
端口3和端口4	1FFFFH 1FFE0H
外部存储器	1FFDH 0200H
488字节寄存器RAM（注1）	01FFH 0018H
CPU SFR(注1, 3, 4)	0017H 0000H

注：

1. 在0000H至01FFH位置执行的代码将被强制在外部执行；
2. 除了标注之外，保存存储器位置必须白喊0FFH；
3. 保存SFR位位置必须包含0；
4. 有关SFR的说明，请参阅80C196KC20用户手册；
5. 警告：不得将保存的存储器位置进行写入或读取。这些位置的内容和/或功能可能会随着设备的未来器件的修改而改变。因此，一个依赖于一个或多个这些位置的程序可能会无法正常运行。



270942 - 2

图4. 68-Lead PLCC封装

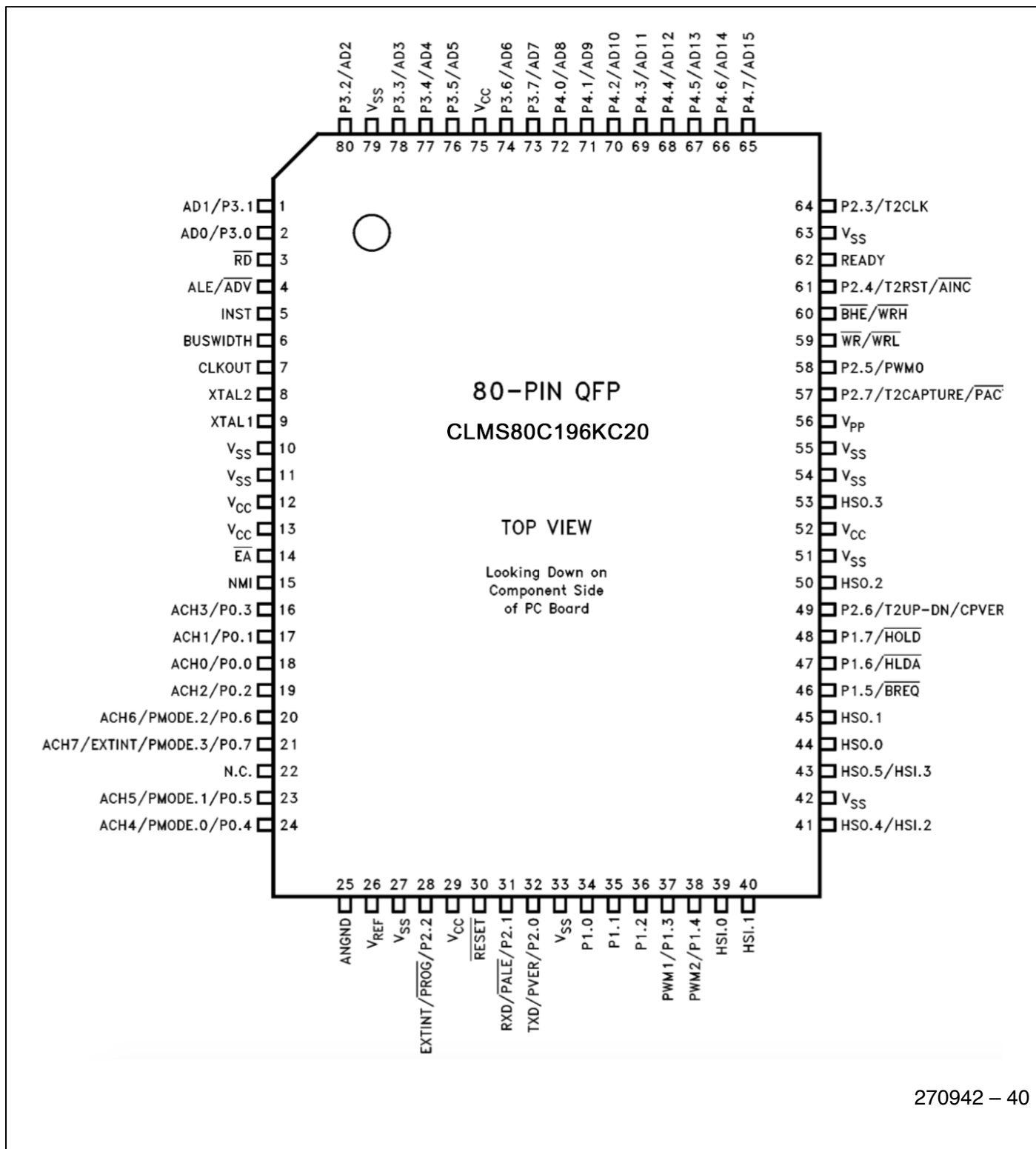


图5. S80C196KC20 80-Pin QFP封装

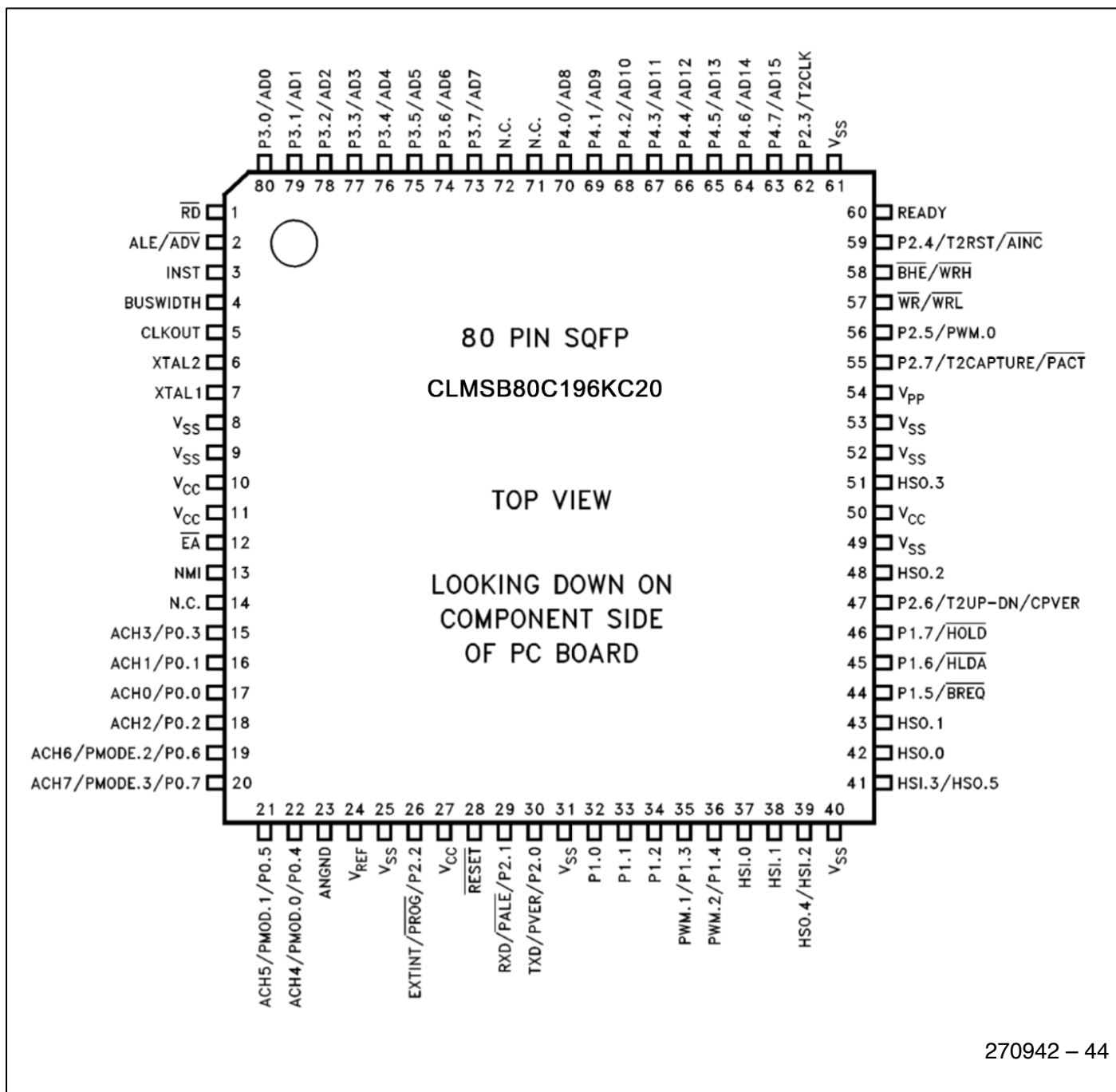


图6. 80-Pin SQFP封装

引脚 (PIN) 描述 :

符号	名称和功能
V _{CC}	主电源电压 (5V)
V _{SS}	数字电路接地 (0V) , 必须将所有V _{SS} 引脚连接在一起
V _{REF}	A/D转换器的参考电压 (5V) 。 V _{REF} 还是A/D转换器中模拟部分的供电电压 , 同时还用于读取端口0。为了使A/D转换器和端口0正常工作 , 该引脚必须连接。
ANGND	A/D转换器的参考地。必须与V _{SS} 保持在相同电势。
V _{PP}	掉电电路返回的时序引脚。该引脚还为EPROM器件提供编程电压。
XTAL1	振荡器反相器和内部时钟发生器的输入。
XTAL2	振荡器反相器的输出。
CLKOUT	内部时钟发生器的输出。CLKOUT的频率是振荡器频率的1/2.
RESET	复位输入和开漏输出。
BUSWIDTH	总线宽度选择输入。如果CCR位1为一个1, 在编程中此引脚选择总线宽度。如果BUSWIDTH为1, 则选择一个16位总线周期。如果BUSWIDTH为0, 则选择8位总线周期。如果CCR位1为0, 则总线始终为一个8位的总线。
NMI	一个正的状态改变会导致向量通过203EH。
INST	外部存储器读取期间输出高电平则表明该读取信号是一条取值指令。INST在整个总线周期内有效。INST仅在外存储器访问期间被激活, 并输出低电平以获取数据。
EA	存储器选择时候的输入 (外部访问) 。 EA等于高电平会导致存储器通过5FFFH地址访问2000H地址, 而该访问则被定向到片上ROM EPROM。 EA等于低导致对这些位置的访问被定向到片外存储器。它也被用于进入输入编程模式。
ALE/ADV	通过CCR选择的地址锁存使能或地址有效输出。两个引脚选项提供信号从地址/数据总线多路解编复用地址。当引脚是ADV时, 它在总线周期结束时变为无效高电平。ALE/ADV仅在外存储器访问时激活。
RD	输出到外部存储器的读信号。仅当外部存储器读的时候RD才被激活。
WR/WRL	通过CCR选择, 向外部存储器的写入低输出。WR将变为低电平在每次外部写操作期间, 而WR只有当一个偶数字节被写入到外部存储器时候才变为低电平。只有当外部存储器写的时候, WR/WRL才被激活。

引脚（PIN）描述（续）：

符号	名称和功能
BHE/WRH	通过CCR选择的总线高电平使能或写高电平输出到外部存储器。对于外部写入数据总线的高字节，BHE将变为低电平；对于外部写入一个奇数字节时，WRH将变为低电平。只有当外部存储器写的时候，BHE/WRH才被激活。
READY	准备就绪后的输入可以延长外部存储器的周期，以便与慢速或动态存储器，或为了总线共享进行互接。当没有使用外部存储器的时候，READY是无效的。
HSI	高速输入单元的输入。四个HSI引脚分别是HIS.0, HIS.1, HIS.2和HIS.3。其中两个（HIS.2和HIS.3）与HSO单元共享。
HSO	高速输出单元的输入。六个HSO引脚是HSO.0, HSO.1, HSO.2, HIS.3, HSO.4和HSO.5。其中两个（HSO.4和HSO.5）与HSI单元共享。
Port 0	8位高阻抗输入端口（仅能用于输入）。这些引脚可以被用来作为片上A/D转换器的数字和模拟输入。
Port 1	8位准双向I/O端口
Port 2	8位多功能端口。80C196KC20中的所有引脚均与其它功能共享。2.6引脚和2.7引脚是准双向的。
Port 3和4	具有开漏输出的8位准双向I/O端口。这些引脚与具有强大内部上拉功能的多路复用地址数据总线所共享。
HOLD	请求对总线控制的总线保持输入。
HLDA	总线保持确认输出，指示总线的释放。
BREQ	当总线控制器具有待处理的外部存储器循环时，总线请求输出被激活。
PMODE	确定EPROM编程模式。
PACH	自动编程模式下的低信号表示编程正在进行。高信号表示编程已完成。
CPVER	累积编程输出确认。如果进入编程模式后，所有位置均已经正确的进入编程，则引脚为高。
PALE	在从编程模式和自动配置字节编程模式中的一个下降沿表明端口3和4包含有效的编程地址/指令信息（输入到从模式）。
PVER	在从编程模式和自动配置字节编程模式中的一个高信号表明已经正确的完成了字节的编程。
AINC	自动增长。激活低输入信号表明自动增长模式被开启。自动增长模式允许在每次读或写期间不通过PBUS进行地址交换就能进行时序EPROM位置的读写。

电特性绝对最大额定值

环境温度

偏置.....-55°C ~ +125°C

存储温度.....-65°C ~ +150°C

所有引脚到V_{SS}的电压.....-0.5V ~ 7.0V⁽¹⁾

从EA或V_{PP}到V_{SS}或ANGND的电压.....+13.00V

功耗.....1.5W⁽²⁾

注意：

1. 这仅仅包含ROM和CPU上的V_{PP}和EA。
2. 由于封装热传输的限制，所以该功耗不是指期间本身的功耗。

注意：这是一个产品数据手册。适用于修订历史记录中的产品，如有更改，恕不另行通知。

*警告：超出最大额定值的工作条件将会对产品造成永久的伤害。超出工作条件的操作并不被建议执行。暴露在超出工作条件下或许会影响产品的可靠性。

工作条件

符号	描述	最小	最大	单位
T _A	商用温度下的环境温度	0	70	°C
T _A	扩展温度下的环境温度	-10	85	°C
V _{CC}	数字电源电压	4.50	5.50	V
V _{REF}	模拟电源电压	4.00	5.50	V
ANGND	模拟接地电压	V _{SS} - 0.4	V _{SS} + 0.4	V(1)
F _{OSC}	振荡器频率(80C196KC20)	8	16	MHz
F _{OSC}	振荡器频率(80C196KC2020)	8	20	MHz

注意：

1. ANGND和V_{SS}应该同样的电势。

直流特性（超过规定的工作条件）

符号	描述	最小	类型	最大	单位	测试条件
V _{IL}	输入低电压	-0.5		0.8	V	
V _{IH}	输入高电压 ⁽¹⁾	0.2V _{CC} + 1.0		V _{CC} + 0.5	V	
V _{IH1}	XTAL 1输入高电压	0.7V _{CC}		V _{CC} + 0.5	V	
V _{IH2}	RESET输入高电压	2.2		V _{CC} + 0.5	V	
V _{HYS}	RESE迟滞	300			mV	V _{CC} = 5.0V
V _{OL}	输出低电压			0.3 0.45 1.5	V V V	I _{OL} = 200μA I _{OL} = 2.8mA I _{OL} = 7mA
V _{OL1}	P2.5上的RESET输出低电压 ⁽²⁾			0.8	V	I _{OL} = +0.4mA
V _{OH}	输出高电压(标准输出)	V _{CC} - 0.3 V _{CC} - 0.7 V _{CC} - 1.5			V V V	I _{OH} = -200μA I _{OH} = -3.2mA I _{OH} = -7μA
V _{OH1}	输出高电压(准双向输出)	V _{CC} - 0.3 V _{CC} - 0.7 V _{CC} - 1.5			V V V	I _{OH} = -10μA I _{OH} = -30μA I _{OH} = -60μA

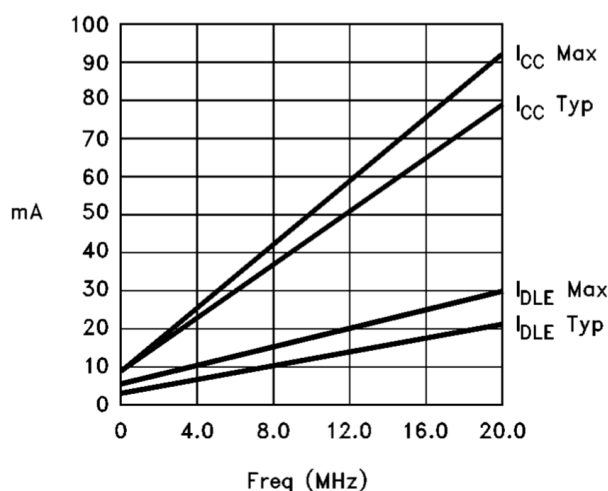
超过规定的工作条件

符号	描述	最小	类型	最大	单位	测试条件
I_{OH1}	P2.0上Reset时的逻辑1输出电流。超出该值，或许进入测试模式	-0.8			mA	$V_{IH} = V_{CC} - 1.5V$
I_{IL2}	P2.0上Reset时的逻辑0输出电流。最大电流必须要使用外部器件来限制，确保进入测试模式			TBD	mA	$V_{IN} = 0.45V$
I_{IH1}	逻辑1输入电流。只有获得外部器件的最大电流才能启动NMI			200	μA	$V_{IN} = V_{CC} = 2.4V$
I_{LI}	输入漏电流(标准输入)			± 10	μA	$0 < V_{IN} < V_{CC} - 0.3V$
I_{LI1}	输入漏电流(端口0)			± 3	μA	$0 < V_{IN} < V_{REF}$
I_{TL}	1到0转换电流(QBD引脚)			-650	μA	$V_{IN} = 2.0V$
I_{IL}	逻辑0输入电流(QBD引脚)			-70	μA	$V_{IN} = 0.45V$
I_{IL1}	Reset中的端口3和4			-70	μA	$V_{IN} = 0.45V$
I_{CC}	Reset中的激活模式电流(80C196KC20)		65	75	mA	XTAL1 = 16MHz $V_{CC} = V_{PP} = V_{REF} = 5.5V$
I_{CC}	Reset中的激活模式电流(80C196KC20)		80	92	mA	XTAL1 = 20MHz $V_{CC} = V_{PP} = V_{REF} = 5.5V$
I_{IDLE}	待机模式漏电流(80C196KC20)		17	25	mA	XTAL1 = 16MHz $V_{CC} = V_{PP} = V_{REF} = 5.5V$
I_{IDLE}	待机模式漏电流(80C196KC20)		21	30	mA	$V_{CC} = V_{PP} = V_{REF} = 5.5V$
I_{PD}	掉电模式漏电流		8	15	μA	$V_{CC} = V_{PP} = V_{REF} = 5.5V$
I_{REF}	A/D转换器参考电流		2	5	mA	$V_{CC} = V_{PP} = V_{REF} = 5.5V$
R_{RST}	复位上拉电路	6K		65K	Ω	$V_{CC} = 5.5V$, $V_{IN} = 4.0V$
C_S	引脚电容(任何到Vss的引脚)			10	Pf	

注意：

1. 除了RESET和XTAL1之外的所有引脚。
2. 在复位中违反这些说明可能会导致器件进入测试模式。
3. 这些商用规范可以应用到其他超额工作条件，除非有特殊的说明。
4. QBD(准双向)引脚包含端口1，P2.6和P2.7。
5. 标准输出包含AD0-15, RD, WR, ALE, BHE, INST, HSO引脚, PWMP2.5, CLKOUT, RESET, 端口3和4, TXD P2.0和RXD (串行模式0)。VOH规范不适用于RESET端口。端口3和4是漏极开路输出。
6. 标准输入包括HSI引脚READY, BUSWIDTH, RXD/P2.1, EXTINT/P2.2, T2CLK/P2.3和T2RST/P2.4。
7. 每个引脚的最大电流必须被在外部就限制在以下数值(如VOL保持在0.45V以上或VOH保持在 $V_{CC} - 0.7V$ 以下)。
8. 正常操作期间每个总线 (数据和控制) 引脚的最大电流为 $\pm 3.2mA$ 。
9. 在正常条件(非瞬态)下，以下总电流限制需要被遵循：

端口1，P2.6	I_{OL} : 29mA	I_{OH} 是自限制
HSO, P2.0, RXD, RESET	I_{OL} : 29mA	I_{OH} : 26 mA
P2.5, P2.7, WR, BHE	I_{OL} : 13mA	I_{OH} : 11 Ma
AD0-AD15	I_{OL} : 52mA	I_{OH} : 13 mA
ALE, INST-CLKOUT	I_{OL} : 13mA	I_{OH} : 13 mA



270942 – 17

$$I_{CC} \text{ Max} = 413 \times \text{Frequency} + 9 \text{ mA}$$

$$I_{CC} \text{ Typ} = 350 \times \text{Frequency} + 9 \text{ mA}$$

$$I_{IDLE} \text{ Max} = 125 \times \text{Frequency} + 5 \text{ mA}$$

$$I_{IDLE} \text{ Typ} = 088 \times \text{Frequency} + 3 \text{ mA}$$

NOTE:

Frequencies below 8 MHz are shown for reference only no testing is performed

图7. I_{CC} 和 I_{IDLE} VS 频率

交流特性

在规定的工作条件下使用

测试条件:所有引脚上的电容负载为100pF，上升和下降时间为10ns，F_{OSC} = 16 MHz

系统必须满足这些规格才能与80C196KC20一起使用

符号	描述	最小	最大	单位	注意事项
T _{AVV}	地址有效，准备开始		2T _{OSC} – 68	ns	
T _{YLYH}	非准备时间		无上限	ns	
T _{CLYX}	CLKOUT为低后准备保持	0	T _{OSC} – 30	ns	(1)
T _{LLYX}	ALE为低后准备保持	T _{OSC} – 15	2T _{OSC} – 40	ns	(1)
T _{AVGV}	地址有效，为了总线宽度的建立		2T _{OSC} – 68	ns	
T _{CLGX}	CLKOUT为低后总线宽度保持	0		ns	
T _{AVDV}	地址有效，为了输入数据的有效		3T _{OSC} – 55	ns	(2)
T _{RLDV}	RD激活，为了输入数据的有效		T _{OSC} – 22	ns	(2)
T _{CLDV}	CLKOUT为低，为了输入数据的有效		2T _{OSC} – 45	ns	
T _{RHDZ}	RD结束，为了输入数据悬空		T _{OSC}	ns	
T _{RDX}	RD失效后，数据保持	0		ns	

注意：

1. 如果超出了最大值，则会出现额外的状态.
2. 如果等候状态被使用，则增加2T_{OSC} × N, N = 等待状态数.

交流特性(续)

在规定的工作条件下使用

测试条件:所有引脚上的电容负载为100pF，上升和下降时间为10ns，FOSC = 16 MHz

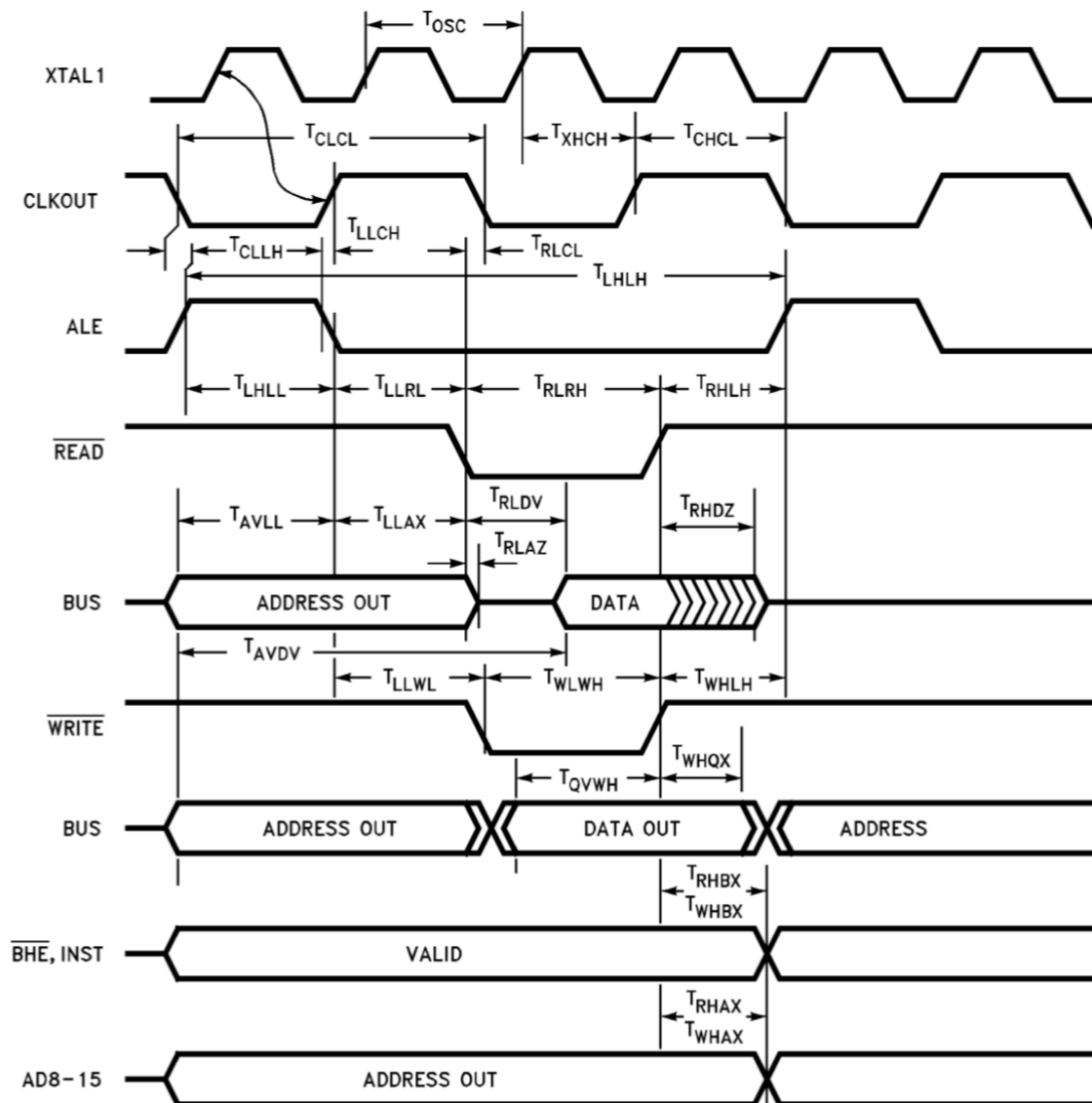
80C196KC20将达到这些规范：

符号	描述	最小	最大	单位	注意事项
F _{XTAL}	XTAL1频率(80C196KC20)	8	16	MHz	(1)
F _{XTAL}	XTAL1频率(80C196KC20)	8	20	MHz	(1)
T _{OSC}	1/F _{XTAL} (80C196KC20)	62.5	125	ns	
T _{OSC}	1/F _{XTAL} (80C196KC20)	50	125	ns	
T _{XHCH}	XTAL1高到CLKOUT高或低	20	110	ns	
T _{CLCL}	CLKOUT周期时间	2T _{OSC}	ns		
T _{CHCL}	CLKOUT高相位	T _{OSC} - 10	T _{OSC} + 15	ns	
T _{CLLH}	CLKOUT下降沿到ALE上升沿	-5	15	ns	
T _{LLCH}	ALE下降沿到CLKOUT上升沿	-20	15	ns	
T _{LHLH}	ALE周期时间	4T _{OSC}		ns	(4)
T _{LHLL}	ALE高相位	T _{OSC} - 10	T _{OSC} + 10	ns	
T _{AVLL}	地址建立到ALE下降沿	T _{OSC} - 15			
T _{LLAX}	ALE下降沿后的地址保持	T _{OSC} - 35		ns	
T _{LLRL}	ALE下降沿到RD下降沿	T _{OSC} - 30		ns	
T _{RLCL}	RD低到CLKOUT下降沿	4	30	ns	
T _{RLRH}	RD低相位	T _{OSC} - 5		ns	(4)
T _{RHLH}	RD上升沿到ALE上升沿	T _{OSC}	T _{OSC} + 25	ns	(2)
T _{RLAZ}	RD低到地址悬空		5	ns	
T _{LLWL}	ALE下降沿到WR下降沿	T _{OSC} - 10		ns	
T _{CLWL}	CLKOUT低到WR下降沿	0	25	ns	
T _{QVWH}	数据稳定到WR上升沿	T _{OSC} - 23			(4)
T _{CHWH}	CLKOUT高到WR上升沿	- 5	15	ns	
T _{WLWH}	WR低相位	T _{OSC} - 20		ns	(4)
T _{WHQX}	WR上升沿后的数据保持	T _{OSC} - 25		ns	
T _{WHLH}	WR上升沿到ALE上升沿	T _{OSC} - 10	T _{OSC} + 15	ns	(2)
T _{WHBX}	WR上升沿后的BNE, INST	T _{OSC} - 10		ns	
T _{WHAX}	WR上升后AD8-15保持	T _{OSC} - 30		ns	(3)
T _{RHBX}	WR上升沿后的BNE, INST	T _{OSC} - 10		ns	
T _{RHAX}	WR上升后AD8-15保持	T _{OSC} - 25		ns	(3)

注意：

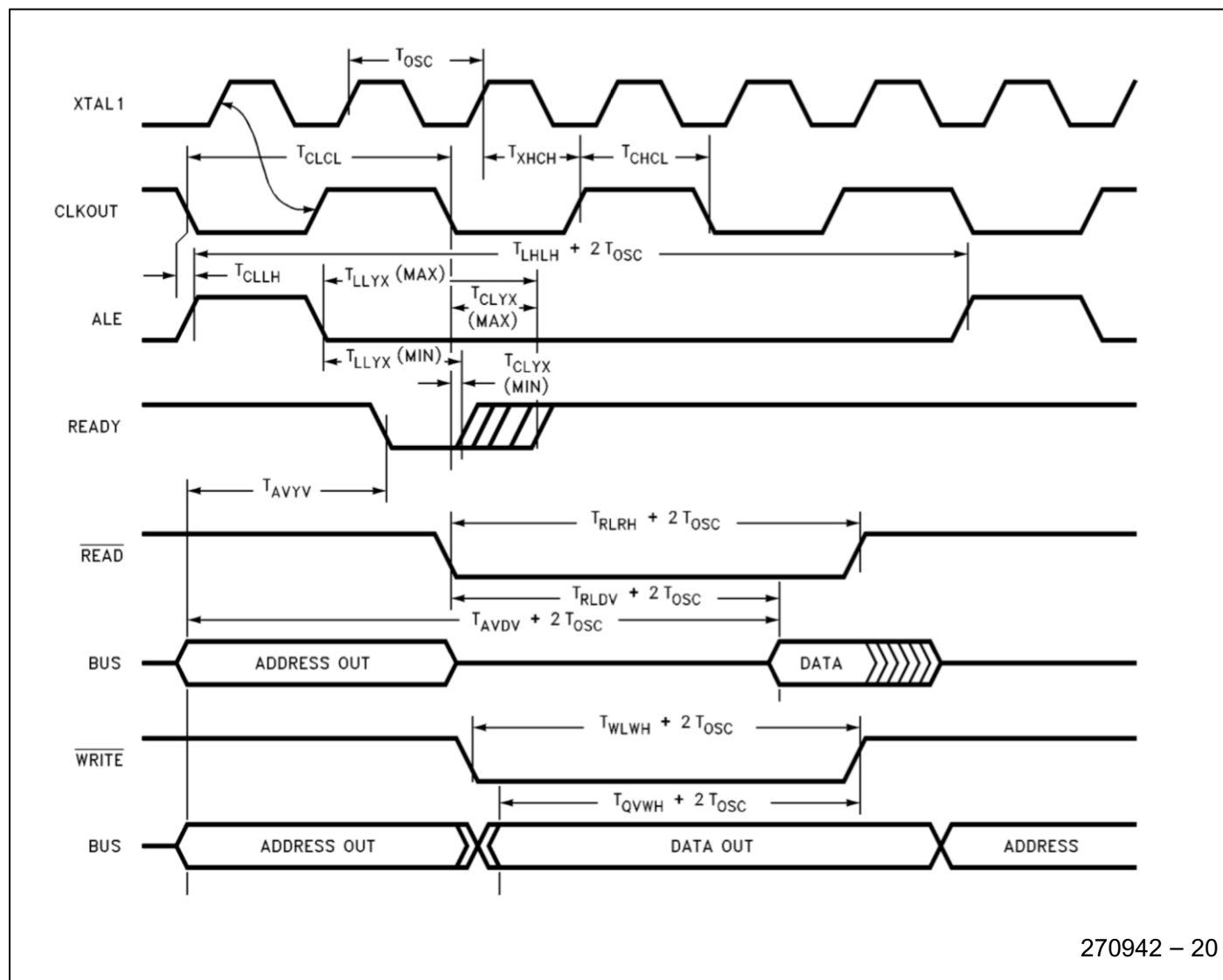
1. 在8 MHz下进行的测试. 然而，该器件在设计上是静态的，通常会在1Hz以下运行.
2. 假设背-背的总线周期.
3. 仅8位总线.
4. 如果等候状态被使用，则增加2T_{OSC} × N, N = 等待状态数.

系统总线时序

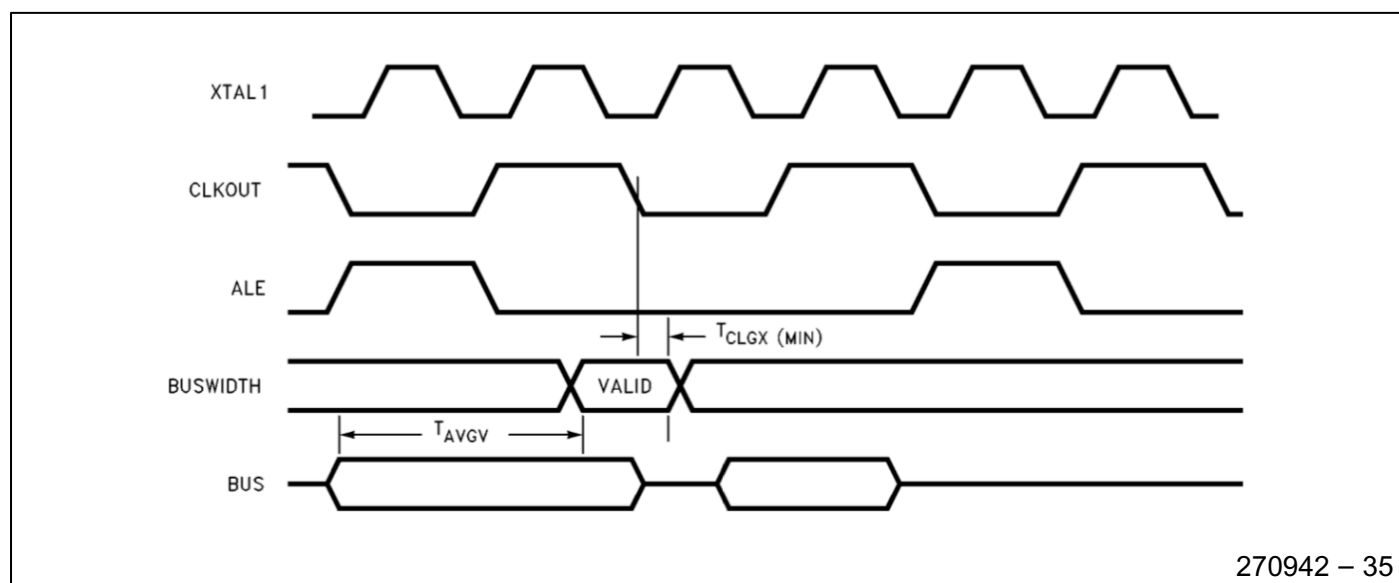


270942 - 18

读时序(一个等待状态)



总线时序



HOLD / HLDA 时序

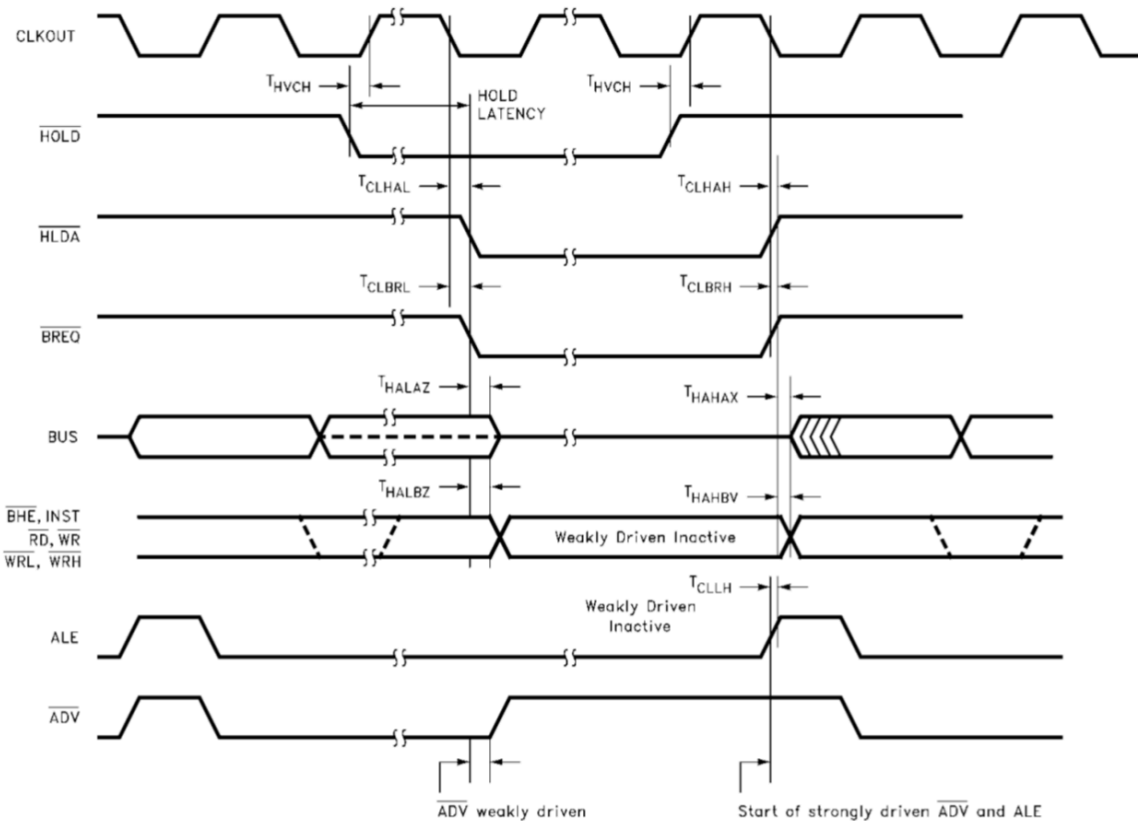
符号	描述	最小	最大	单位	注意事项
T_{HVCH}	HOLD建立	55		ns	(1)
T_{CLHAL}	CLKOUT低到HLDA低	- 15	15	ns	
T_{CLBRL}	CLKOUT低到BREQ低	- 15	15	ns	
T_{HALAZ}	HLDA低到地址悬空		15	ns	
T_{HALBZ}	HLDA低到BHE, INST, RD, WR 弱驱动		20	ns	
T_{CLHAH}	CLKOUT低到HLDA高	- 15	15	ns	
T_{CLBRH}	CLKOUT低到BREQ高	- 15	15	ns	
T_{HAHAX}	HLDA高到地址不再悬空	- 15		ns	
T_{HAHBV}	HLDA高到BHE, INST, RD, WR有效	- 10	15	ns	
T_{CLLH}	CLKOUT低到ALE高	- 5	15	ns	

注意：

1. 为了保证在下一个时钟被识别.

DC保持特性

描述	最小	最大	单位
ADV, RD, WR, WRL, BHE 弱上拉	50K	250K	$V_{CC} = 5.5V, V_{IN} = 0.45V$
ALE, INST弱下拉	10K	50K	$V_{CC} = 5.5V, V_{IN} = 2.4V$



270942 – 36

最大保持延迟

总线循环类型	
内部执行	1.5个状态
16位外部执行	2.5个状态
8位外部执行	4.5个状态

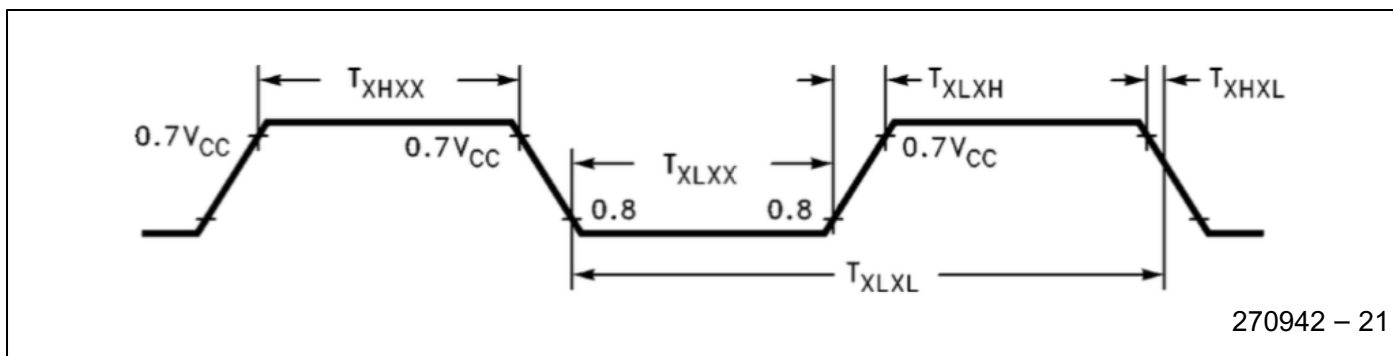
外部时钟驱动(80C196KC20)

符号	参数	最小	最大	单位
$1/T_{XLXL}$	振荡器频率	8	16.0	MHz
T_{XLXL}	振荡器周期	62.5	125	ns
T_{XHXX}	高时间	20		ns
T_{XLXX}	低时间	20		ns
T_{XLXH}	上升时间		10	ns
T_{XHXL}	下降时间		10	ns

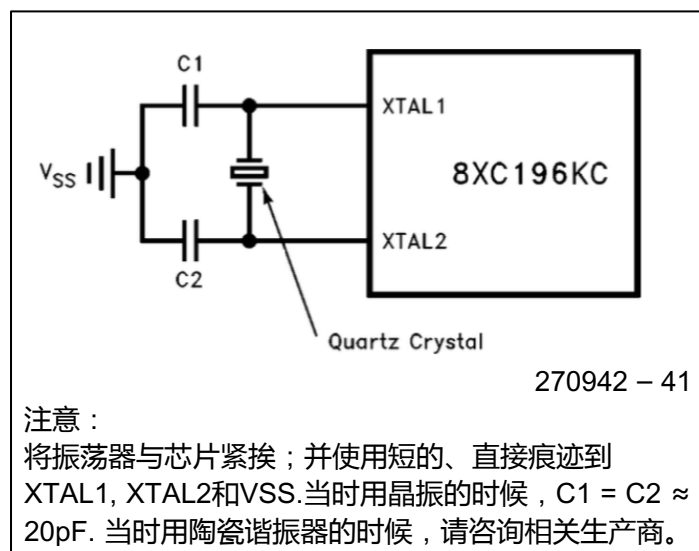
外部时钟驱动(80C196KC20)

符号	参数	最小	最大	单位
$1/T_{XLXL}$	振荡器频率	8	20.0	MHz
T_{XLXL}	振荡器周期	50	125	ns
T_{XHXX}	高时间	17		ns
T_{XLXX}	低时间	17		ns
T_{XLXH}	上升时间		8	ns
T_{XHXL}	下降时间		8	ns

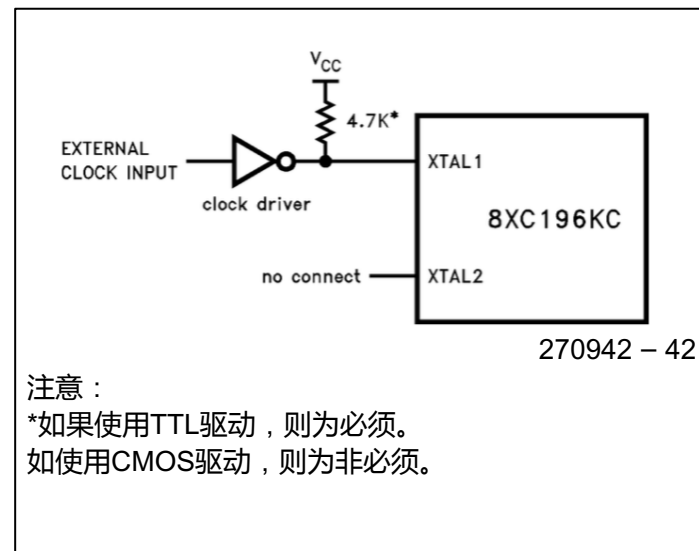
外部驱动波形



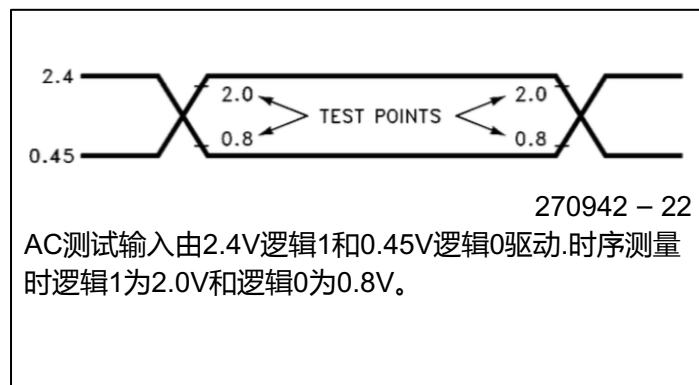
外部晶振连接



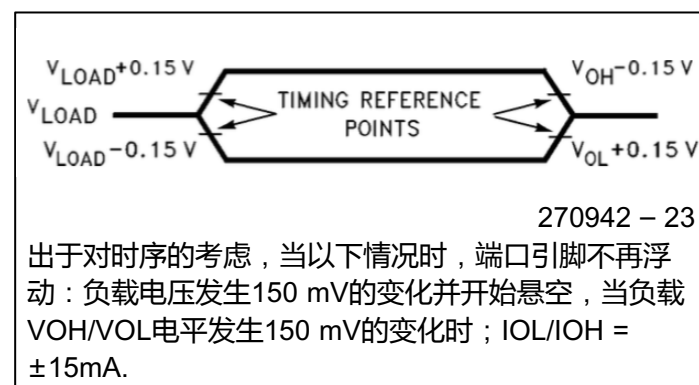
外部时钟连接



AC测试输入输出波形



悬空波形



AC符号的解释说明

每个符号是两对以时间前缀“T”的字母。成对的字符分别表示信号及其信号。符号代表了两个信号/条件点之间的时间。

条件：	信号：	L— ALEADV
H— High	A— Address	BR— BREQ
L— Low	B— BHE	R— RD
V— Valid	C— CLKOUT	W— WRWRHWRL
X— No Longer Valid	D— DATA	X— XTAL1
Z— Floating	G— Buswidth	Y— READY
	H— HOLD	Q— Data Out
	HA— HLDA	

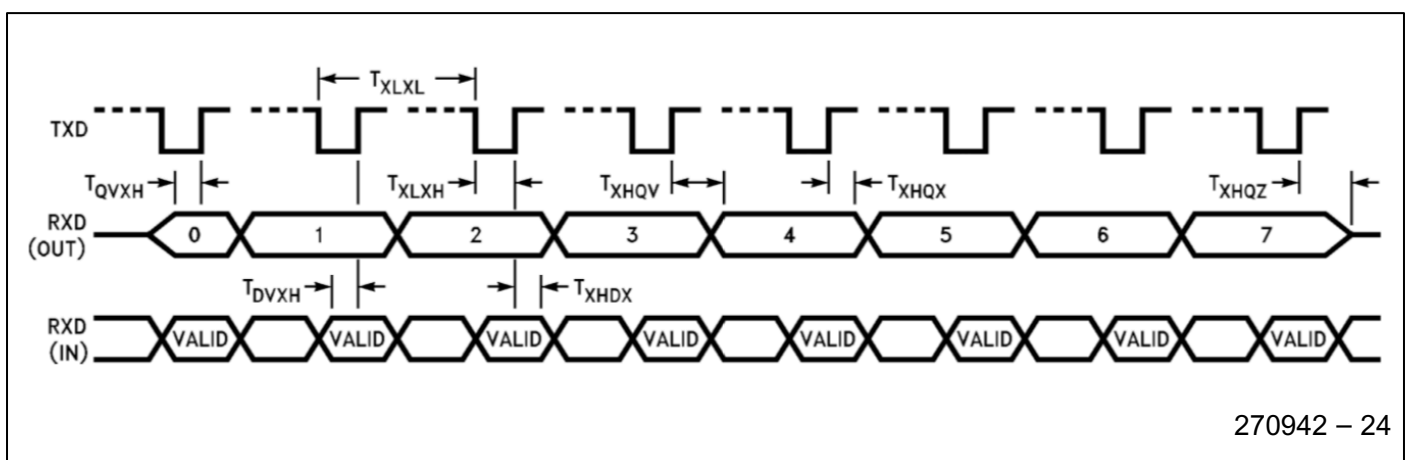
AC特征—串行端口转换—移位寄存器模式

串行端口时序—移位寄存器模式(模式0)

符号	参数	最小	最大	单位
T_{XLXL}	串行端口时钟周期($ERR \geq 8002H$)	$6T_{OSC}$		MHz
T_{XLXH}	串行端口时钟下降沿到上升沿($ERR \geq 8002H$)	$6T_{OSC} - 50$	$4T_{OSC} + 50$	ns
T_{XLXL}	串行端口时钟周期($ERR = 8001H$)	$4T_{OSC}$		ns
T_{XLXH}	串行端口时钟下降沿到上升沿($ERR \geq 8001H$)	$2T_{OSC} - 50$	$2T_{OSC} + 50$	ns
T_{QVXH}	输出数据建立到时钟上升沿	$2T_{OSC} - 50$		ns
T_{XHGX}	在时钟上升沿后的输出数据保持	$2T_{OSC} - 50$		ns
T_{XHGV}	在时钟上升沿后第二个输出数据有效		$2T_{OSC} + 50$	ns
T_{DVXH}	输入数据建立到时钟上升沿	$T_{OSC} + 50$		ns
T_{XHDX}	在时钟上升沿后输入数据保持	0		ns
T_{XHQZ}	最后一个时钟上升到输出悬空		$1T_{OSC}$	ns

波形—串行端口转换—移位寄存器模式

串行端口波形—移位寄存器模式(模式0)



270942 – 24

模拟到数字特征

由于A/D转换器是比例式的，因此，其绝对精度取决于VREF 的精度和稳定性。

10位模式A/D操作条件

符号	描述	最小	最大	单位
T _A	商业级环境温度	0	70	°C
T _A	扩展环境温度	-40	85	°C
V _{CC}	数字电源电压	4.50	5.50	V
V _{REF}	模拟电源电压	4.00	5.50	V
T _{SAM}	采样时间	1.0		μs(1)
T _{CONV}	转换时间	10	20	μs(1)
F _{OSC}	振荡器频率(80C196KC20)	8.0	16.0	MHz
F _{OSC}	振荡器频率(80C196KC20)	8.0	20.0	MHz

注意：

ANGND和VSS应该具有相同的电势(0.00V)。

1. 选择AD_TIME的值以满足这些规范要求。

10位模式A/D操作条件(超出规范工作条件)

参数	典型(1)	最小	最大	单位*	注意
解析精度		1024 10	1024 10	Levels Bits	
绝对误差		0	± 3	LSBs	
满量程误差	0.25 ± 0.5			LSBs	
零偏移误差	0.25 ± 0.5			LSBs	
非线性	1.0 ± 2.0	0	± 3	LSBs	
微分非线性误差		> -1	2	LSBs	
通道间匹配	± 0.1	0	± 1	LSBs	
重复性	± 0.25			LSBs	
温度系数： 漂移 满量程 微分非线性	0.009 0.009 0.009			LSB/°C LSB/°C LSB/°C	
闭合隔离		-60		dB	1, 2
馈通	- 60			dB	1
V _{CC} 电源抑制	- 60			dB	1
输入串联电阻		750	1.2K	Ω	4
模拟输入引脚上的电压		ANGND - 0.5	V _{REF} + 0.5	V	5, 6
DC输入漏		0	± 3.0	μA	
采样电容	3			pF	

注意：*此处使用的“LSB” 的值约为5 mV (请参见《嵌入式微控制器和处理器手册》A/D术语表) 。

- 对于大多数，这些值是可以得到预期的(25°C)，但是没有经过测试或者得到保证。
- DC = 100 KHz.
- 多路复用器先断后合。
- 电阻是从器件引脚到内部MUX再到采样电容器的。
- 如果引脚电流被限制到±2 mA，则这些值可能被超出。
- 超出规范要求的应用电压将会降低所有沟道的转换精度。
- 在IDLE模式下，所有的转换均由处理器执行。

8位模式A/D操作条件

符号	描述	最小	最大	单位
T_A	商业级环境温度	0	70	°C
T_A	扩展环境温度	-40	85	°C
V_{CC}	数字电源电压	4.50	5.50	V
V_{REF}	模拟电源电压	4.00	5.50	V
T_{SAM}	采样时间	1.0		$\mu s(1)$
T_{CONV}	转换时间	7	20	$\mu s(1)$
F_{OSC}	振荡器频率(80C196KC20)	8.0	16.0	MHz
F_{OSC}	振荡器频率(80C196KC20)	8.0	20.0	MHz

注意：

ANGND和 V_{SS} 应该具有相同的电势(0.00V).

1. 选择AD_TIME的值以满足这些规范要求

8位模式A/D操作条件(超出规范工作条件)

参数	典型(1)	最小	最大	单位*	注意
解析精度		256 8	256 8	Levels Bits	
绝对误差		0	± 1	LSBs	
满量程误差	± 0.5			LSBs	
零偏移误差	± 0.5			LSBs	
非线性		0	± 1	LSBs	
微分非线性误差		> -1	1	LSBs	
通道间匹配			± 1	LSBs	
重复性	± 0.25			LSBs	
温度系数： 漂移 满量程 微分非线性	0.003 0.003 0.003			LSB/°C LSB/°C LSB/°C	
闭合隔离		-60		dB	2, 3
馈通	-60			dB	2
V_{CC} 电源抑制	-60			dB	2
输入串联电阻		750	1.2K	Ωs	4
模拟输入引脚上的电压		$V_{SS} - 0.5$	$V_{REF} + 0.5$	V	5, 6
DC输入漏		0	± 3.0	μA	
采样电容	3			pF	

注意：

*此处使用的“LSB”的值约为20 mV (请参见《嵌入式微控制器和处理器手册》A/D术语表) .

1. 对于大多数，这些值是可以得到预期的(25°C)，但是没有经过测试或者得到保证.

2. DC = 100 KHz.

3. 多路复用器先断后合.

4. 电阻是从器件引脚到内部MUX再到采样电容器的.

5. 如果引脚电流被限制到 ± 2 mA，则这些值可能被超出.

6. 超出规范要求的应用电压将会降低所有沟道的转换精度.

7. 在IDLE模式下，所有的转换均由处理器执行.

EPROM规范要求

编程器件的操作条件

符号	描述	最小	最大	单位
T _A	编程期间环境温度	20	30	°C
V _{CC}	变成期间的供电电压	4.5	5.5	V(1)
V _{REF}	编程期间的参考供电电压	4.5	5.5	V(1)
V _{PP}	编程电压	12.25	12.75	V(2)
V _{EA}	EA引脚的电压	12.25	12.75	V(2)
F _{OSC}	在自动和从模式编程期间的振荡器频率	6.0	8.0	MHz
F _{OSC}	编程时振荡器频率(80C196KC20)	6.0	16.0	MHz
F _{OSC}	编程时振荡器频率(80C196KC20)	6.0	20.0	MHz

注意：

1. V_{CC}和V_{REF}在编程期间应该有相同的电压。
2. V_{PP}和V_{EA}绝对不能超过规范，否则可造成伤害。
3. V_{SS}和ANGND应该在相同的电势(0V)。
4. 在自动和从模式编程期间的负载电容 = 150 pF。

Ac Eprom编程特性

符号	描述	最小	最大	单位
T _{SHLL}	Reset高到PALE第一次变低	1100		TOSC
T _{LLLH}	PALE脉冲宽度	50		TOSC
T _{AVLL}	地址建立时间	0		TOSC
T _{LLAX}	地址保持时间	100		TOSC
T _{PLDV}	PROG低到字转存有效		50	TOSC
T _{PHDX}	字转存数据保持		50	TOSC
T _{DVPL}	数据建立时间	0		TOSC
T _{PLDX}	数据保持时间	400		TOSC
T _{PLPH} ⁽¹⁾	PROG脉冲宽度	50		TOSC
T _{PHLL}	PROG高到紧跟着PALE变低	220		TOSC
T _{LHPL}	PROG高到PROG低	220		TOSC
T _{PHPL}	PROG高到紧跟着PROG变低	220		TOSC
T _{PHIL}	PROG高到AINC变低	0		TOSC
T _{ILIH}	AINC脉冲宽度	240		TOSC
T _{ILVH}	在AINC变低后PVER保持	50		TOSC
T _{ILPL}	AINC低到PROG低	170		TOSC
T _{PHVL}	PROG高到PVER有效		220	TOSC

注意：

1. 该规范是在字转存模式下。对于编程脉冲，使用Modified Quick Pulse Algorithm. 请参考使用手册。

DC EPROM编程特性

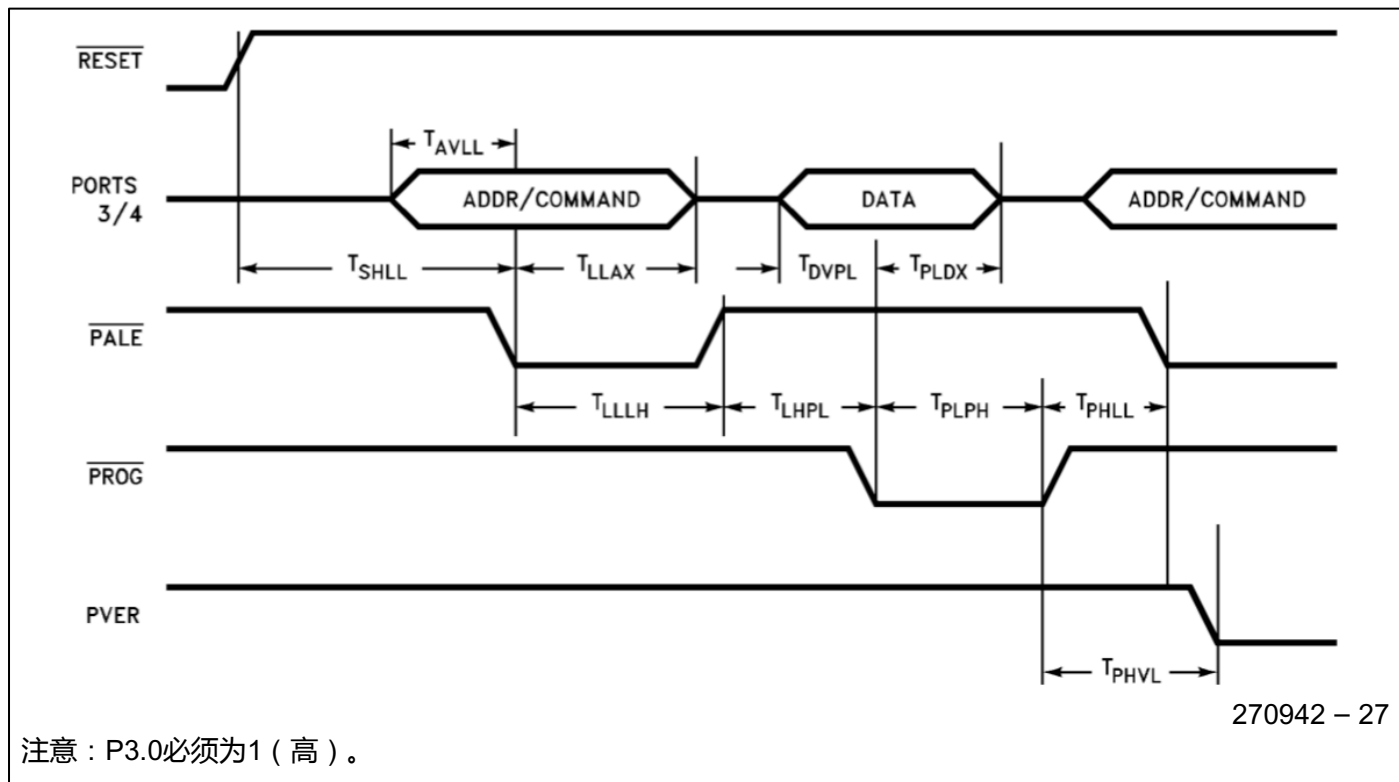
符号	描述	最小	最大	单位
I_{PP}	编程时 V_{PP} 供电电流		100	mA

注意：

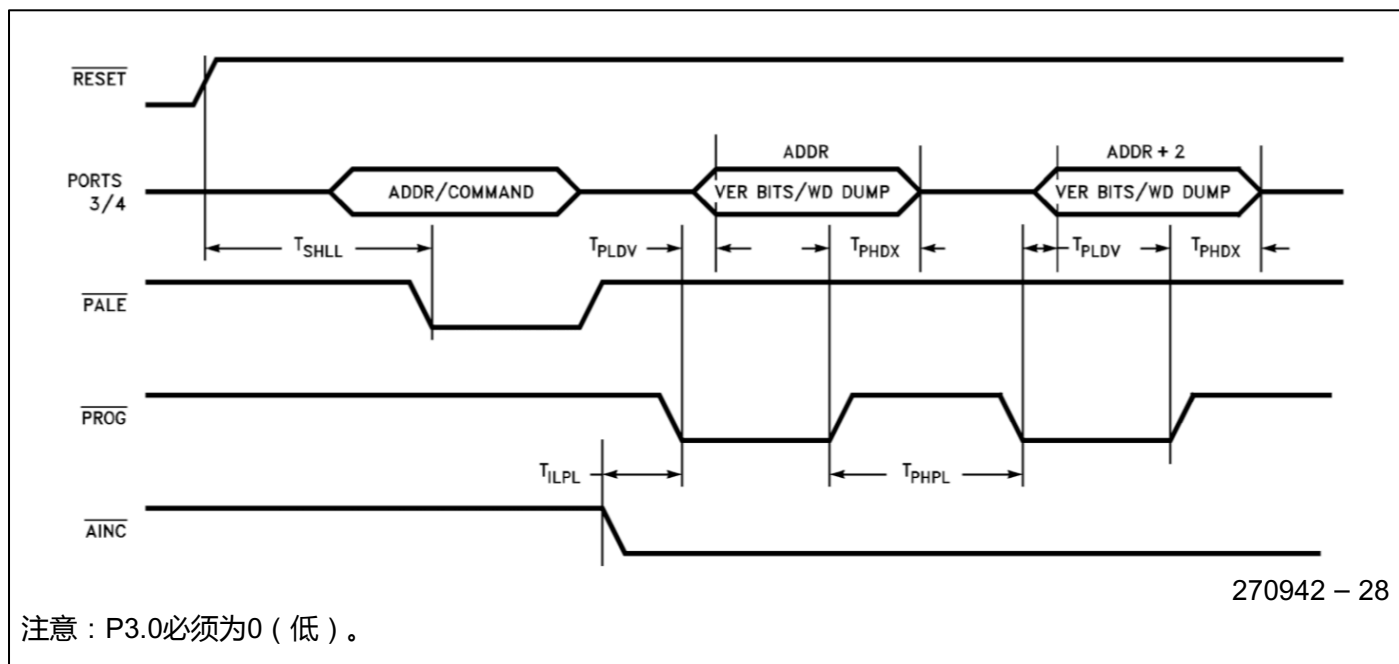
1. 在 V_{CC} 稳定在规格范围内、在振荡器/时钟稳定之前，请勿使用 V_{PP} ，否则会对器件造成损害。

EPROM编程波形

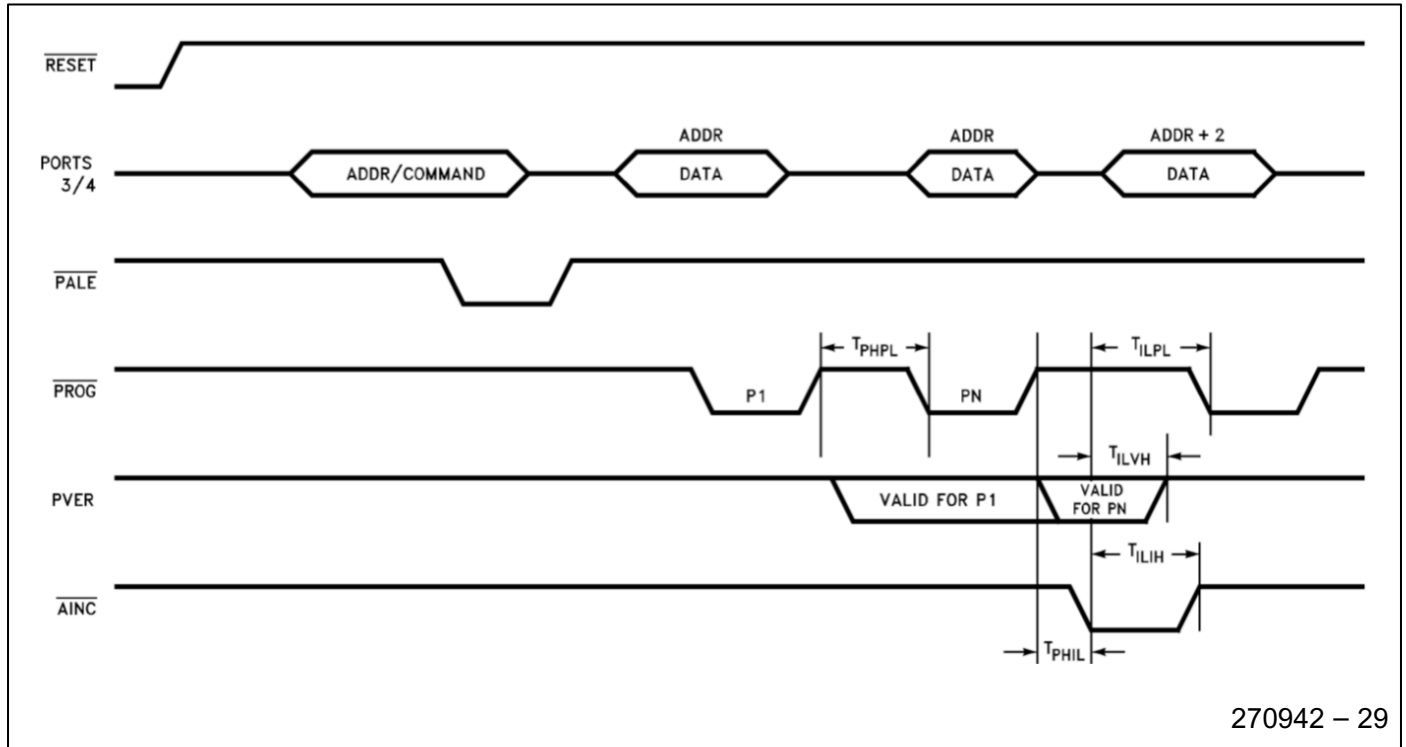
带有单编程脉冲的从编程模式，数据编程模式



自动增加字转存中的从编程模式



在具有重复编程脉冲和自动增加的数据编程中的从编程模式时序



80C196KC20设计注意事项

1. 内存映射。80C196KC20具有512个字节的RAM SFR和一个可选的16K的ROM/OTPROM。在位置100H-1FFH存在一个额外的256字节的RAM，并且在位置4000H-5FFFH存在一个额外的8K的ROM/OTPRO。这些位置在8XC196KB是在额外存储器中的。
2. 8XC196KB的CDE引脚已经在80C196KC20改变为一个V_{ss}引脚来支持16/20MHz的操作。
3. EPROM编程。80C196KC20拥有一个不同的编程算法去支持16K板载存储器。当运行Run-Time编程的时候，请参考80C196KC20使用指导中的编码章节。
4. ONCE模式。在RESET上升沿，通过驱动TXD引脚变低则80C196KC20可以进入ONCE模式。TXD引脚由IOH1控制的上拉保持高电平。这个上拉绝对不能过高，否则80C196KC20将进入ONCE模式。
5. 在总线HOLD期间，在非激活状态，80C196KC20弱保持RD, WR, ALE, BHE和INST。8XC196KB仅仅保持ALE在它的非激活状态。
6. 在80C196KC20中，RESER脉冲是16个状态，而在8XC196KB中则是4个状态（看门狗定时器溢出）。这就为系统的其他器件提供了一个更长的RESET脉冲。