

密级： 保密期限：

北京邮电大学

硕士学位论文



题目： 面向抗干扰通信的 SC-FDE 和 OFDM
组合传输方案设计与实现

学 号： _____

姓 名： _____

专 业： 电子与通信工程

导 师： _____

学 院： 信息与通信工程

2019 年 5 月 30 日



**BEIJING UNIVERSITY OF
POSTS AND
TELECOMMUNICATIONS**

A Thesis for Master Degree

**TITLE: DESIGN AND IMPLEMENTATION
OF SC-FDE AND OFDM COMBINED
TRANSMISSION SCHEME FOR ANTI-
JAMMING COMMUNICATION**

Student No.:

Author:

**Major: Electronic and Communication
Engineering**

Supervisor:

**School: Information and Communi-
cation Engineering**

May. 30th, 2019

面向抗干扰通信的 SC-FDE 和 OFDM 组合传输方案设计与实现

摘 要

未来的信息化战争在抗干扰、信息速率、安全性等方面对军用通信系统的性能提出了更高的要求。正交频分复用(OFDM)系统是一种能抵抗频率选择性衰落的高速率传输系统,在频谱成形方面具有单载波传输无法匹敌的优势。单载波频域均衡(SC-FDE)系统结合了单载波技术和 OFDM 技术的优点,是高速无线通信系统中一种极具竞争力的方案。

本文综合考虑了 SC-FDE 和 OFDM 两个通信系统的性能和优缺点来对抗军事通信中复杂的干扰信道情况。设计并实现了一种面向抗干扰通信的 SC-FDE 和 OFDM 组合传输方案,并设计了合适的系统参数和帧格式。搭建了 OFDM 和 SC-FDE 的仿真平台,对多径信道进行了数学建模,通过各算法下系统的性能和实现复杂度进行算法选型,确定了最终的系统设计方案。

针对窄带干扰情况利用 OFDM 技术选择子载波来传输业务信息,利用 SC-FDE 技术传递子载波调度等控制信息,并设计了控制信道信息的传输协议。本文针对低信噪比下系统的同步捕获问题,设计了导频 GHG 序列并进行了同步捕获性能仿真验证,最后利用此序列设计了双系统同步捕获方案。

以仿真系统设计方案为参考,在 FPGA 平台上采取自顶向下的设计方式,搭建了系统框架并对各个功能模块进行了 RTL 级的实现,最后进行了功能仿真和资源分析。

本文利用 OFDM 系统保证了高速率数据传输并躲避干扰,利用 SC-FDE 系统来传递子载波调度等控制信息,同时利用 SC-FDE 系统来负责组合传输系统的同步捕获,结果表明这是一种高效的传输方案。

关键词: 正交频分复用 单载波频域均衡 子载波调度 同步

DESIGN AND IMPLEMENTATION OF SC-FDE AND OFDM COMBINED TRANSMISSION SCHEME FOR ANTI-JAMMING COMMUNICATION

ABSTRACT

There are higher requirements in the future information warfare for the performance of military communication system in anti-jamming, information rate, security and other aspects. Orthogonal Frequency Division Multiplexing (OFDM) system is a high-speed transmission system that can resist frequency-selective fading, which has incomparable advantages over single carrier transmission in spectrum shaping. Single Carrier-Frequency Domain Equalization (SC-FDE) system, which combines the advantages of single carrier technology and OFDM technology, is a very competitive scheme in high-speed wireless communication systems.

This paper comprehensively considers the performance and advantages and disadvantages of the two communication systems SC-FDE and OFDM to combat the complex interference channel conditions in military communications. This paper designs and implements a SC-FDE and OFDM combined transmission scheme for anti-interference communication. In this paper, the simulation platform of OFDM and SC-FDE is built, and the multipath channel is mathematically modeled. The final system design scheme is determined by algorithm selection of the performance and implementation complexity of the system under each algorithm.

For the narrowband interference situation, this paper uses OFDM technology as the traffic channel to select subcarriers to transmit business information, and uses SC-FDE technology as the control channel to transmit control information such as subcarrier scheduling, and the transmission protocol of control channel information is designed. In this

paper, the pilot GHG sequence is designed and the synchronization capture performance is verified by the synchronization acquisition problem of the system with low SNR. Finally, the dual-system synchronization acquisition scheme is designed by using GHG sequence.

This paper takes the simulation system design as the reference, adopts the top-down design method on the FPGA platform, builds the system framework and implements the RTL level of each functional module, and finally carries out the function simulation and resource analysis.

In this paper, OFDM system is used to ensure high-speed interference-free data transmission, SC-FDE system is used to transmit control information such as subcarrier scheduling. At the same time, SC-FDE system is also used to capture the synchronization of the combined transmission system. The results show that this is an efficient transmission scheme.

KEY WORDS: ofdm sc-fde sub-carrier scheduling synchronization

目录

第一章 绪论.....	1
1.1 研究背景及目的.....	1
1.2 研究工作主要内容.....	2
1.3 论文的章节结构.....	3
第二章 系统设计原理.....	5
2.1 系统总框架.....	5
2.2 OFDM 系统原理及躲干扰可行性分析	6
2.2.1 OFDM 基本原理	6
2.2.2 OFDM 调制的数字基带实现	8
2.2.3 OFDM 系统中的 ISI 和 ICI.....	9
2.2.4 躲干扰可行性分析.....	10
2.3 SC-FDE 系统原理及关键技术.....	10
2.3.1 SC-FDE 基本原理.....	10
2.3.2 SC-FDE 系统结构及其优势	11
2.4 信道仿真模型.....	11
2.4.1 瑞利信道建模原理.....	11
2.4.2 信道建模数学分析.....	12
2.5 本章小节.....	13
第三章 组合传输方案设计及仿真实现.....	15
3.1 系统总体结构及参数设计	15
3.2 OFDM 系统发送端设计方案	17
3.2.1 Turbo 编码	18
3.2.2 速率匹配.....	19
3.2.3 导频设计.....	19
3.2.4 星座调制.....	21
3.2.5 子载波映射和 IFFT	21
3.3 SC-FDE 发送端设计方案.....	22
3.3.1 Turbo-Hadamard 编码	22
3.3.2 速率匹配.....	23
3.3.3 导频设计.....	23
3.4 接收端设计方案.....	24
3.4.1 控制信道匹配滤波器设计.....	25

3.4.2 OFDM 系统载波同步	26
3.4.3 OFDM 系统子载波逆映射	27
3.4.4 信道估计	27
3.4.5 频域均衡	29
3.4.6 软解调	30
3.4.7 解速率匹配	31
3.4.8 译码	32
3.5 控制信道协议设计	33
3.6 GHG 序列同步方案及仿真结果	34
3.7 信道建模和系统仿真结果	36
3.7.1 莱斯信道仿真实现	36
3.7.2 系统仿真结果	36
3.8 本章小结	42
第四章 组合传输方案 FPGA 实现	43
4.1 FPGA 系统总体框架	43
4.2 OFDM 系统发送端 FPGA 实现	44
4.2.1 CRC 校验模块	44
4.2.2 Turbo 编码模块	45
4.2.3 速率匹配模块	46
4.2.4 星座调制模块	46
4.2.5 导频存储模块	47
4.2.6 子载波映射和 IFFT 模块	47
4.2.7 加 CP 模块	48
4.3 SC-FDE 系统发送端 FPGA 实现	49
4.3.1 Turbo-Hadamard 编码模块	49
4.3.2 速率匹配模块	50
4.3.3 导频存储模块	50
4.3.4 加 CP 模块	50
4.3.5 RRC 模块	50
4.4 接收端 FPGA 实现	52
4.4.1 同步捕获模块	52
4.4.2 载波同步模块	53
4.4.3 去循环前缀和 FFT 模块	54
4.4.4 OFDM 系统子载波逆映射模块	54

4.4.5 信道估计模块.....	54
4.4.6 均衡模块.....	56
4.4.7 软解调模块.....	57
4.4.8 译码模块.....	57
4.5 资源使用情况.....	58
4.6 本章小结.....	58
第五章 总结和展望.....	59
5.1 工作总结.....	59
5.2 展望.....	59
参考文献.....	61
致谢.....	64

第一章 绪论

1.1 研究背景及目的

在无线通信系统中,由于信道的多径传输,能使码间干扰可以忽略的最大信息传输速率受到多径信道时延扩展的影响,为了传输更高比特速率以及抗频率选择性衰落,可采取的有效措施之一是使用多载波调制技术^[1]。正交频分复用技术^[2] (Orthogonal Frequency Division Multiplexing, OFDM),是多载波传输方案的实现方式之一。

OFDM 的基本思想是将宽带信道分为许多并行的子信道,使每个子信道的带宽小于信道的相干带宽,从而使每个子信道经历的衰落近似为平坦衰落^[3],因此具有抵抗频率选择性衰落的能力。具体实现时是将高速数据流分成 N 路并行的子数据流,这样每个子数据流的数据速率是原数据流的 $1/N$,在最大时延扩展不变的情况下相对降低了多径信道的影响。OFDM 技术目前应用于许多有线及无线通信系统中^[4]。由于其实现方式采用了 IFFT 和 FFT,可以很方便的根据需要进行子载波调度的选择。

在对抗多径衰落方面,单载波技术中需要在系统接收端采用均衡器来补偿多径传输带来的码间串扰。根据均衡器种类的不同,单载波系统可分为单载波时域均衡系统 (Single Carrier-Time Domain Equalization, SC-TDE) 和单载波频域均衡系统 (Single Carrier-Frequency Domain Equalization, SC-FDE) ^[5]。传统的时域均衡器又可以分为线性均衡器和非线性均衡器两大类,但无论是哪一类,时域均衡器设计和实现的复杂度都与信道的最大多径时延扩展成正比。而多载波系统中应用广泛的频域均衡器设计和实现的复杂度则与信道的最大时延扩展的对数成正比^[6],所以单载波频域均衡系统得到了更为广泛的应用。由于 OFDM 系统采取正交调制,SC-FDE 抵抗载波频偏的能力优于 OFDM 系统^[7],且没有峰均比较高的问题。

在军用通信环境中,信道上的干扰情况往往非常复杂。随着通信技术的不断发展,我们已经可以通过认知无线电技术实时获取信道中的频段干扰信息,而军用通信中,非常有可能存在某些频段人为施加的干扰,综合以上两点我们可以采取一种躲干扰的思想:首先分析认知无线电系统探知的干扰信息^[8],之后在无干扰或干扰较小的频段上进行实际信息的传输。考虑到 OFDM 系统的发送端采取多路并行数据传输,那么子载波映射可以动态的进行频谱资源的分配,如果可以让通信双方在每次的通信过程中可以知晓相互使用的频率资源,也就是子载波映

射规则,那么便可以实现动态的躲干扰的通信。因此本文使用 SC-FDE 系统作为控制系统来传递子载波映射规则等控制信息,OFDM 系统作为业务系统来根据映射规则进行实际的多路数据映射和解映射,传递高速的业务数据,这样可以充分利用两个系统的优势。

通信系统接收端的同步捕获问题是一个非常重要的问题。同步系统的捕获性能会影响信息的正确接收和系统的误码情况^[9],因此同步系统应该具有高可靠性。在一般的通信系统中采用导频序列来实现接收端同步和信道估计的功能,而很低信噪比下的同步需要相关性更好的导频序列来实现,导频长度的增加严重制约了通信系统中有效信息所占的比重。在 OFDM 系统中利用子载波映射虽然实现了躲干扰的功能,但是它也降低了有效信息的比重,在低信噪比的通信环境下更需要很长的导频序列来实现接收端的同步,那么整个系统传输信息的有效性会低到无法想象的程度,严重制约通信的效率。因此本文考虑把同步功能由控制系统来实现,如果设计好相互匹配的帧结构,并在发送端将两个系统的数据在时间上对齐发送,它们由同样的天线发射,经过同样的无线信道进行传输,在接收端由同样的天线接收,那么控制系统的同步捕获结果便可以作用到业务系统中,解决了同步精度和有效信息比重相互矛盾的困扰。

本文主要研究的是 SC-FDE 技术和 OFDM 技术如何协同工作,共存于一个通信系统中,尽可能地抵抗窄带干扰,实现高速率的可靠通信。主要工作包括搭建 SC-FDE、OFDM 仿真系统, FPGA 硬件系统;研究两个系统的协同工作:控制系统负责在强干扰下进行定时同步,同步捕获结果可以作用于业务系统;控制系统传输子载波映射规则等控制信息,业务系统根据控制信息进行对应的子载波映射/解映射,调制/解调等。

1.2 研究工作主要内容

本文针对军用通信中的人为窄带干扰和低信噪比下系统的同步捕获问题,设计了 SC-FDE 和 OFDM 的组合传输方案,搭建了仿真平台和 FPGA 硬件实现平台。本文主要工作内容为:

(1) 双系统组合传输方案的基本系统设计,包括系统框架、系统参数以及各个功能模块的算法选型。根据实际的传输速率要求,确定系统中的各个参数,包括两个系统的帧格式、FFT 长度、CP 长度、调制解调阶数、编译码块长度等参数;在一定的仿真假设和系统参数下,比较各个功能模块的可选算法,综合实现复杂度和性能选择相应算法,完成各个功能模块;考虑到系统的实际应用场景,根据一定的信道建模算法(如改进型 Jakes 算法),设计多径信道仿真模型作为仿真系统的仿真信道,完成仿真系统,以系统误码率为参考标准改进系统中的各个

算法使最终性能达到预期要求。

(2) 传输方案中双系统协同工作所需的系统间通信及同步问题。一、控制系统负责业务系统子载波调度信息、调制方式等信息的传递,在资源有限的情况下,根据实际的干扰情况设计合适的信息压缩算法来进行高效传输。二、研究低信噪比下导频序列的设计,并进行仿真验证其同步性能,在合适的帧结构下,设计控制系统同步捕获方案负责双系统的接收端同步捕获。

(3) 双系统组合传输方案的 FPGA 设计与实现。包含两方面的工作:一是 SC-FDE 系统和 OFDM 系统各自功能模块的硬件实现;二是组合传输设计方案的硬件实现。浮点仿真系统性能达到要求后,考虑 FPGA 的实现问题,对浮点系统中的数据进行定点量化,作为硬件系统的数据参考标准。硬件系统设计上采取自顶向下的方式,首先确定通信系统所需要的各个功能模块,模块接口及模块之间的数据流向,之后分模块实现、分模块测试。对于每一模块采取同样的设计方式,根据算法原理拆分成更小的子模块,再进行分模块实现,这样逐层的设计出具有层次结构的程序,最后进行功能验证和资源分析。

1.3 论文的章节结构

本文详细阐述了面向抗干扰通信的 SC-FDE 和 OFDM 组合传输方案的设计原理,系统结构和关键技术,并进行了链路级仿真和 FPGA 平台上的实现。本文各章节内容安排如下:

第一章主要介绍论文的研究背景和目的,论文的主要研究内容和论文的章节结构。

第二章首先介绍组合传输方案的总体系统结构;之后分别介绍了 OFDM 系统和 SC-FDE 系统的基本原理、数学分析和实现方式,依据 OFDM 系统结构对躲干扰的实现可能性进行了分析;最后介绍了瑞利信道建模的基本数学模型及其改进型方案,并进行了数学分析。

第三章主要介绍了系统仿真平台的搭建、控制信道的协议设计、强干扰下导频序列的选取方案及仿真结果。首先介绍了系统架构、参数设计和各模块的可选算法;接下来介绍了控制信道协议的设计方案;之后针对低信噪比下的同步问题设计了导频序列并对其进行了同步性能分析;最后依据 Jakes 改进型算法和实际的无线信道环境进行了瑞利信道和莱斯信道的仿真建模,通过各算法下的系统性能及算法复杂度确定最终的设计方案。

第四章主要介绍了组合传输方案在 FPGA 平台上的实现。首先依据仿真系统搭建了硬件系统的总体架构,之后分模块介绍了 FPGA 平台上的具体实现方案,对系统间的通信及双系统的协同工作方案在 FPGA 平台上做了功能实现,最后进

行了功能验证和资源分析。

第五章对论文的工作内容进行了总结，分析了研究工作中的不足之处，指出可能的继续研究和继续优化的方向。

第二章 系统设计原理

本章首先描述了本文设计方案所依据的系统平台，之后描述了 OFDM 系统和 SC-FDE 系统的基本原理与系统结构，介绍了信道建模的相关知识，为后续工作提供理论支持。

2.1 系统总框架

本文设计方案总系统调制解调部分分为业务信道发送、控制信道发送、业务信道接收、控制信道接收、数字下变频 DDC、数字上变频 DUC 和空域抗干扰等 7 个单元，系统组成图 2-1 所示，本文主要研究数字基带通信系统的实现。

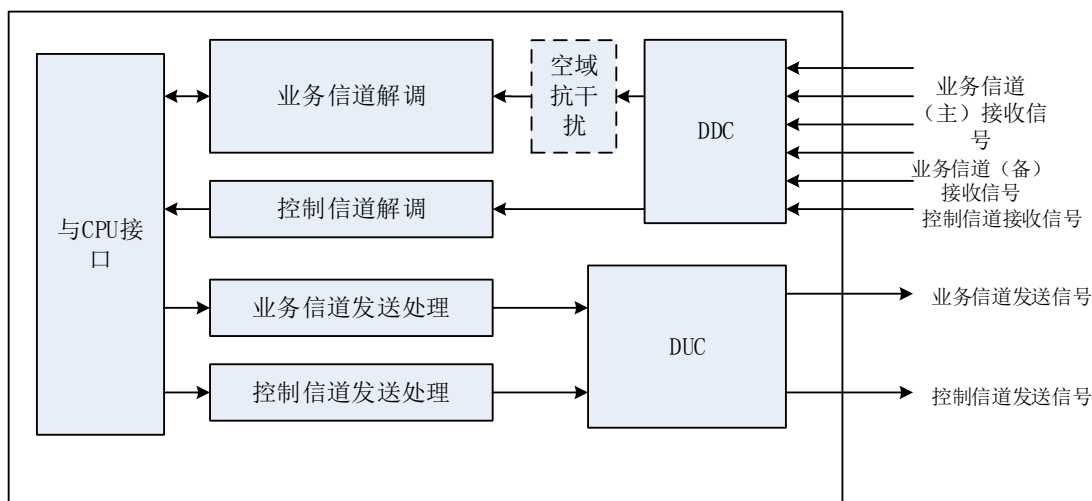


图 2-1 系统组成

各个部分的功能为：DDC 单元实现 4 路业务信道主通道、1 路业务备用通道和 1 路控制信道接收的数字下变频，DUC 单元实现业务信道发送信号和控制信道发送信号的数字上变频。业务信道发送处理单元实现业务信道从接收 CPU 传来的发送数据到产生最终的数字基带信号为止的处理过程；控制信道发送处理单元实现控制信道从接收 CPU 传来的发送数据到产生最终的数字基带信号为止的处理过程。业务信道解调处理单元实现业务信道从接收下变频、DAC 之后的数据到解调后发送给接收端上位机的处理过程；控制信道解调处理单元实现控制信道从接收下变频、DAC 之后的数据到解调后发送给接收端上位机的处理过程。

2.2 OFDM 系统原理及躲干扰可行性分析

2.2.1 OFDM 基本原理

在实际的无线通信系统中，由于受到多径信道时延扩展的影响，为避免频率选择性衰落，调制信号的最大传输速率受到限制。正交频分复用技术便是一种有效的方式来抵抗频率选择性衰落，它可以传输更高比特速率^[10]。OFDM 技术调制过程可以描述为：当输入的数据信息速率是 R_b 时，符号间隔是 $T_b = 1/R_b$ 。经过串并变换成为 N 路并行的子数据流，那么每一路的符号速率是串行数据信息速率的 $1/N$ ，符号间隔是串行数据符号间隔的 N 倍，每一路数据可以执行不同的调制方式，最后叠加在一起。其中每一路子载波的频率为 $f_i = f_0 + i\Delta f, i = 0, 1, \dots, N-1$ ，相邻子载波的频率间隔为子载波上符号间隔的倒数，那么各子载波的频谱是相互重叠的，这种重叠显著提高了频谱效率。

以 MQAM 调制方式为例，产生 OFDM 信号的原理如下图 2-2 所示。系统整体上等价于 N 路并行的 MQAM 系统，每个子系统相互独立，分担了 $1/N$ 的信源数据。

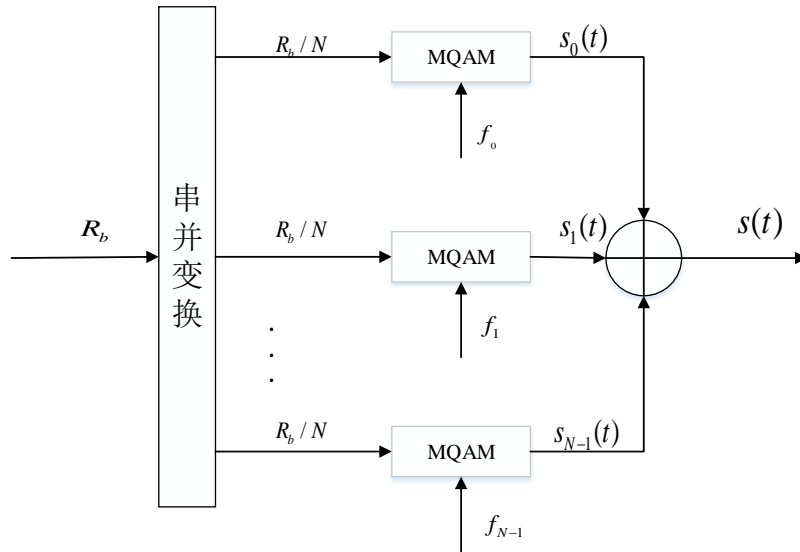


图 2-2 OFDM 调制过程（多路调制）

在时间 $[0, T_s]$ 内，第 i 个子载波上已调的 MQAM 信号可以表示为：

$$\begin{aligned}
 s_i(t) &= A_{i_c} g(t) \cos(2\pi f_i t) - A_{i_s} g(t) \sin(2\pi f_i t) \\
 &= \text{Re}\{[A_{i_c} + jA_{i_s}]g(t)e^{j2\pi f_i t}\} \\
 &= \text{Re}\{A_i g(t)e^{j2\pi f_i t}\}
 \end{aligned} \tag{2-1}$$

其中， $A_i = A_{i_c} + jA_{i_s}$ 是发送的 MQAM 信号的星座点， A_{i_c} 和 A_{i_s} 分别是 MQAM 调制信号的同相分量（I 路）和正交分量（Q 路）； $f_i = f_0 + i\Delta f$ 是第 i 路的载波频率； $g(t)$ 是脉冲成型滤波器的冲激响应，一般情况下采用矩形脉冲成型，

它可以保证子载波信号的正交性。

那么 N 路信号之和，总的 OFDM 信号的表达式为：

$$\begin{aligned}
 s(t) &= \sum_{i=0}^{N-1} s_i(t) \\
 &= \text{Re}\left\{ \left[\sum_{i=0}^{N-1} A_i g(t) e^{j2\pi i \Delta f t} \right] e^{j2\pi f_c t} \right\} \\
 &= \text{Re}\{a(t) e^{j2\pi f_c t}\}
 \end{aligned} \tag{2-2}$$

其中

$$a(t) = \sum_{i=0}^{N-1} A_i g(t) e^{j2\pi i \Delta f t} \tag{2-3}$$

是 OFDM 信号的复包络。

假设 $I(t) = \text{Re}\{a(t)\}$, $Q(t) = \text{Im}\{a(t)\}$ ，那么公式 2-2 可以表示为：

$$s(t) = I(t) \cos(2\pi f_c t) - Q(t) \sin(2\pi f_c t) \tag{2-4}$$

意味着我们可以先得到整个 OFDM 信号的复包络，之后通过 I/Q 调制得到 OFDM 信号，这为 OFDM 的调制提供了一种全新的思路，如图 2-3 所示，接收端的处理则是相应的逆处理。

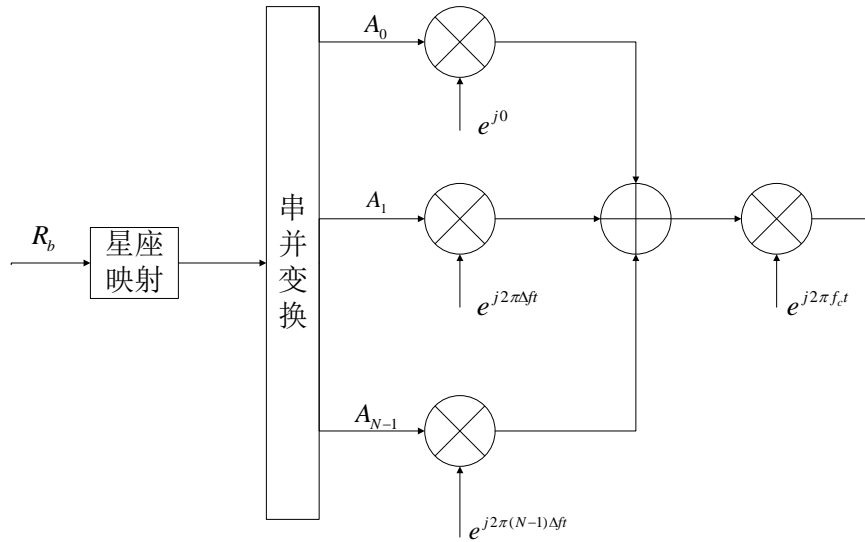


图 2-3 OFDM 调制过程（先获得复包络）

OFDM 系统输出信号是多路子载波信号的叠加。当这些信号的相位一致的时候，叠加信号的峰值功率远远大于信号的平均功率，因而峰值功率和平均功率的比值比较大，所以 OFDM 系统的发射机对功率放大器的线性动态范围要求很高。如果功放的范围不能满足要求，输出信号会发生非线性畸变，进而叠加信号的频谱会发生变化，破坏子载波之间的正交性^[1]。同时高峰均比的信号需要接收机更高分辨率的 A/D 变换器，增大了接收机前端电路的实现复杂度。

2.2.2 OFDM 调制的数字基带实现

根据上一节的原理分析，OFDM 调制的数字实现首先需要对 OFDM 信号的复包络进行采样，成为离散时间信号。

在 $[0, T_s]$ 时间内，如果采样时刻是 $mT_s / N, m = 0, 1, \dots, N-1$ ，则对 OFDM 信号的复包络 $a(t)$ 采样后的离散序列为：

$$a_m = a\left(m\frac{T_s}{N}\right) = \sum A_i e^{j2\pi i \Delta f m \frac{T_s}{N}} = \sum A_i e^{j2\pi \frac{mi}{N}} \quad (2-5)$$

式 2-5 恰好就是对序列 $\{A_0, A_1, \dots, A_{N-1}\}$ 进行离散傅立叶逆变换（Inverse Discrete Fourier Transform, IDFT）的结果。所以，我们只需要先得到星座映射后的复序列 $\{A_0, A_1, \dots, A_{N-1}\}$ ，便可以根据 IDFT 得到 OFDM 复包络的时间采样序列。在接收端可以通过正交解调得到 OFDM 信号的复包络 $a(t)$ ，通过采样可以得到时间序列，经过离散傅立叶变换（Discrete Fourier Transform, DFT）即可得到发送端的序列 $\{A_0, A_1, \dots, A_{N-1}\}$ 。我们称 a_m 为时域序列，因为它是对时间信号的采样，而 $\{A_i\}$ 是对序列 $\{a_m\}$ 离散傅立叶变换，因此称它为频域序列。当傅立叶变换的长度 N 为 2 的整数次幂的时候，DFT 及 IDFT 存在快速算法：快速傅里叶变换（Fast Fourier Transform, FFT）和快速傅里叶反变换（Inverse Fast Fourier Transform, IFFT）。FFT 及 IFFT 算法极大的降低了计算 N 点序列的 DFT 和 IDFT 的复乘及复加的次数，满足了信号处理实时性的需求。

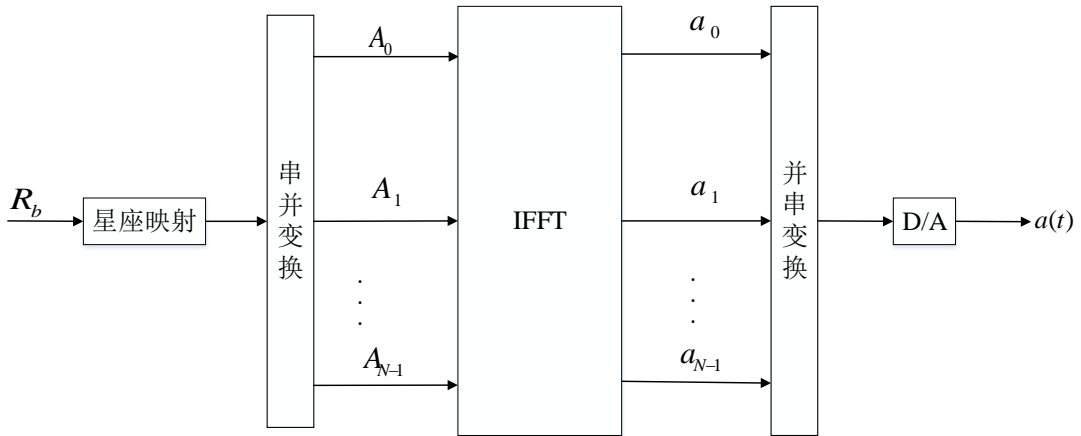


图 2-4 OFDM 发送端基带数字处理

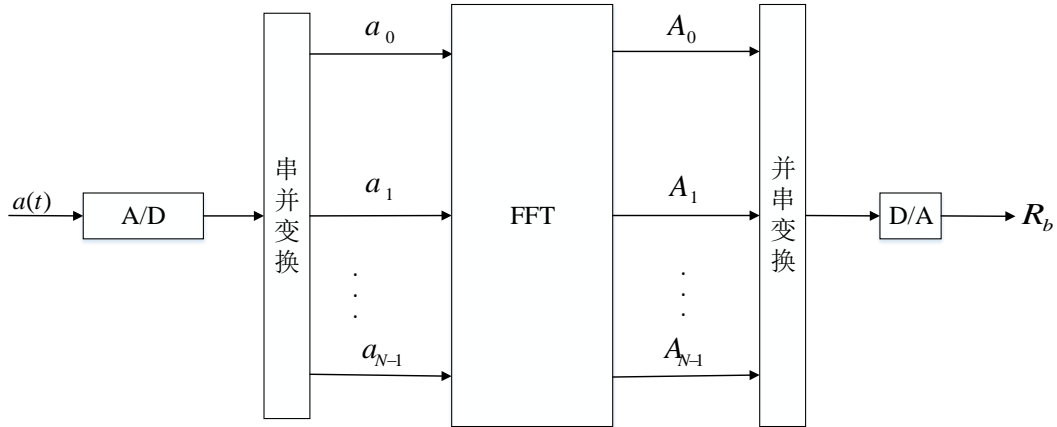


图 2-5 OFDM 接收端基带数字处理

2.2.3 OFDM 系统中的 ISI 和 ICI

由于多径效应的存在,接收信号是多径传输信号之和,因为各径的时延不同,接收信号会存在时延扩展现象,因而产生符号间干扰(Inter-Symbol Interference, ISI) [12]。而由于 OFDM 信号的正交调制,OFDM 符号对各个子载波的正交性要求很高,一旦子载波的正交性遭到破坏,会带来接收信号的信道间干扰(Inter-Channel Interference, ICI)。

OFDM 技术有两种办法解决多径干扰:一是将高速数据流分成并行的多路低速数据流进行传输。由于时延扩展只与环境有关,每个子载波上的符号持续时间相对增加,那么时延扩展和符号周期的比值降低了 N 倍,有效的减小了由于时延扩散带来的符号间干扰 ISI。二是通过保护间隔解决。由于多径信号的叠加,符号与符号的头尾交叠处会产生符号间干扰,通过设置保护间隔的长度大于信道的最大时延扩展,符号间就不会相互干扰。符号内干扰由低速数据流和接收端的均衡共同解决,符号间干扰由保护间隔解决,因此 OFDM 系统具有良好的抵抗频率选择性衰落的能力。

然而在加入保护间隔后,由于多径时延的影响,空闲的保护间隔进入到了积分区间内,导致积分区间内不能包含整个波形,破坏了子载波之间的正交性,带来了信道间干扰 ICI,这也是 OFDM 对载波同步要求很高的原因。为此 OFDM 在保护间隔内加入了循环前缀(将 OFDM 符号的最后几个样点复制到保护间隔进行传输),这样在积分区间内保持了子载波之间的正交性。只要循环前缀的长度大于信道的最大时延扩展,也不会带来 ISI 的问题。但是加入循环前缀付出了带宽的代价,也带来了能量的损失,所以循环前缀的长度需要根据实际的信道进行设计 [13]。

OFDM 系统的正交性是通过相邻子载波频率间隔 $\Delta f = 1/T_s$ 来实现的。但是在实际情况下,如果接收机的载波提取与接收到的实际载波有偏差,那么在解调

时, T_s 时间内任意子载波与其它子载波内积不为 0, 因而产生子载波间干扰, 并且 ICI 随着子载波数 N 的 4 次方增大。因此 OFDM 系统的载波数越多, 对载波同步的要求也更加精确, OFDM 系统对载波同步的要求也远比单载波系统 ($N=1$) 严格。

2.2.4 躲干扰可行性分析

OFDM 系统的经典实现结构如图 2-6 所示:

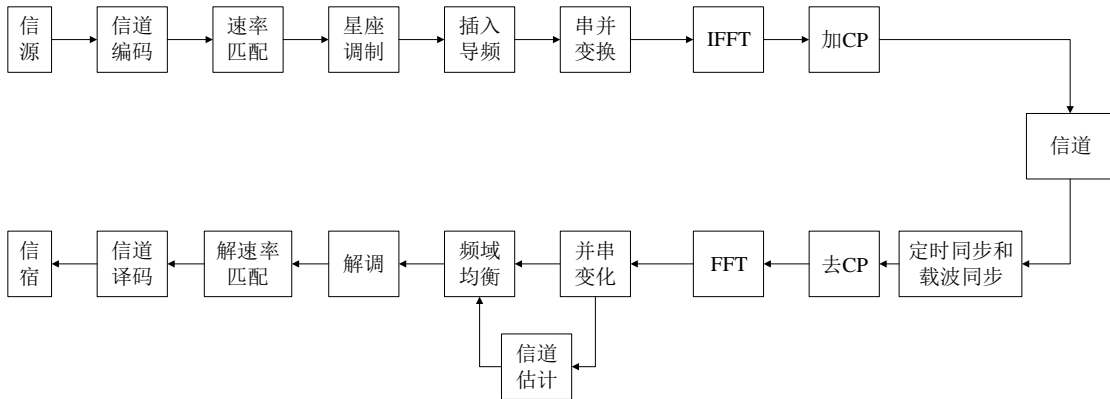


图 2-6 OFDM 系统框图

OFDM 系统是一个宽带传输系统, 在系统发送端 IFFT 之前的串并变换阶段, 需要将串行数据映射到 IFFT 的各个输入端口上, 每个子载波占据 $1/N$ 带宽。本文针对的是军用通信系统中人为的窄带干扰, 一般不会超过 1MHz, 也就是说, 窄带干扰会覆盖 1 个或多个子载波范围, 如果我们通过认知系统事先探知信道的干扰情况, 就可以根据干扰信息来选择性的在某些子载波上进行数据传输, 接收端则根据相应的调度信息进行信息接收。那么此处的串并变换/并串变换模块应该使用子载波映射模块/解映射模块进行替代, 功能即为执行相应的调度算法, 本文将在第三、四章进行详细描述。

2.3 SC-FDE 系统原理及关键技术

2.3.1 SC-FDE 基本原理

由于 OFDM 系统存在对载波同步比较敏感和峰均功率比较高等不足, 如果采用单载波系统而又同时保留 OFDM 系统处理信号的方法, 那么即保留了 OFDM 信号处理的优点, 又摒弃了 OFDM 系统的不足之处, 这就是在对抗多径干扰方面颇有建树的单载波频域均衡系统。

单载波频域均衡系统结构与 OFDM 系统极为相似, 二者都采用了分块传输技术和 FFT/IFFT 运算模块, 同时都采用了循环前缀来消除码间干扰。不同之处仅仅是 SC-FDE 系统发送的是单路数据流, 它的 IFFT 模块位于接收端, 是为了将经过频域均衡之后的频域数据变成时域数据; OFDM 系统的 IFFT 模块位于发送端, 是为了实现多路数据的数字基带调制。

2.3.2 SC-FDE 系统结构及其优势

SC-FDE 系统的经典实现结构如图 2-7 所示：

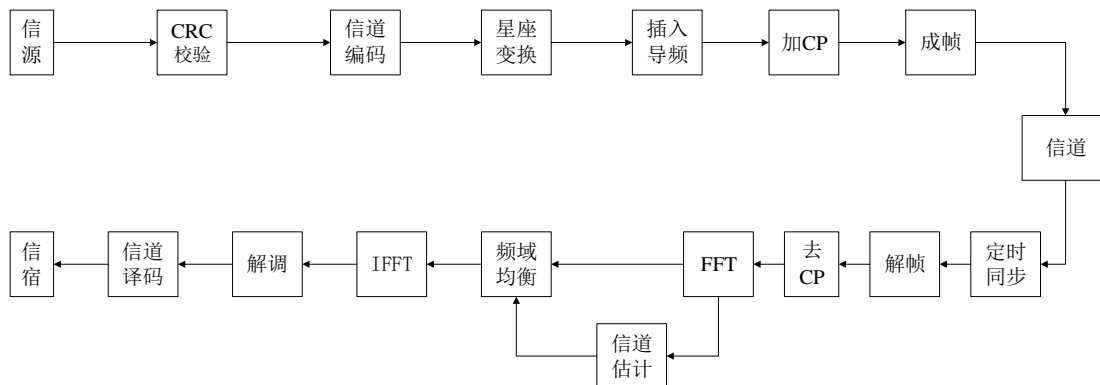


图 2-7 SC-FDE 系统框图

与 OFDM 系统和单载波时域均衡系统相比，单载波频域均衡系统有如下优势^[14]：

- （1） SC-FDE 系统和 OFDM 系统结构相似，可以共用一些功能模块，某些情况下可以与 OFDM 共存于一个系统中，发挥两个系统各自的优势；
- （2） 对于高速宽带无线通信系统，时域均衡需要较多的滤波器抽头系数才能达到可以接受的均衡效果。与时域均衡器相比，频域均衡器可以使用单点均衡器来完成，降低了接收端均衡系统的复杂度，其复杂度与时延扩展的对数成正比，实现了实时信号处理；
- （3） 与 OFDM 系统相比，由于没有正交调制带来的对载波同步精度的高要求，没有多载波信号叠加带来的峰均比高的问题，因而对功率放大器的动态范围要求相对较低，降低了功率放大器的实现成本，从而降低了接收端系统的设计难度；
- （4） 大多数情况下具有良好的抗衰落的能力，不需要信道编码技术来对抗频率选择性衰落。

2.4 信道仿真模型

2.4.1 瑞利信道建模原理

在实际的无线信道中，由于信号传播路径上的各种障碍物和移动物体的影响，到达接收机的信号是多个统计无关的多径分量之和，如果各条路径的信号幅值及其到达接收端天线的角度满足统计独立特性，那么接收到的信号包络服从瑞利分布^[15]。

首先由概率论的知识可知，两个正交高斯信号之和的包络服从瑞利分布。Clarke 通过研究提出，在富散射环境下，平坦衰落信道可以由 N 个多径信号之和构成^[16]，信道的冲激响应可以表示为：

$$h(t) = E_0 \sum_{n=1}^N C_n \exp[j(2\pi f_d \cos \alpha_n + \varphi_n)] \quad (2-6)$$

式 2-6 中， E_0 是常量， C_n 是路径增益， α_n 是信号到达角， φ_n 是初始相位。上式可以展开为：

$$h(t) = h_I(t) + jh_Q(t) \quad (2-7)$$

$$h_I(t) = E_0 \sum_{n=1}^N C_n \cos(2\pi f_d t \cos \alpha_n + \varphi_n) \quad (2-8)$$

$$h_Q(t) = E_0 \sum_{n=1}^N C_n \sin(2\pi f_d t \cos \alpha_n + \varphi_n) \quad (2-9)$$

根据中心极限定理，当路径数 N 的值足够大时， $h_I(t)$ 和 $h_Q(t)$ 可以近似为高斯随机过程。但是 Clarke 模型是一种理想型模型，物理上不可实现，该模型需要多个正弦波进行叠加，当 N 趋于无穷时才可以得到理想统计特性，实际仿真表明， N 至少要大于等于 50 才可以得到比较好的仿真性能。但是许多信道仿真模型都以 Clarke 模型的统计特性作为性能评估的标准，在此基础上也诞生了许多实际可实现的信道建模方法。

2.4.2 信道建模数学分析

Clarke 模型的主要实现算法包括正弦波叠加法和成型滤波法^[17]，其中正弦波叠加法的应用范围更加广泛（计算复杂度低）。

正弦波叠加法的基本思想是使用确定性过程模拟随机性过程。主要数学原理为：信号的实部和虚部生成时分别用多个不同频率的正弦波进行叠加，那么实部和虚部分别服从高斯分布，而两个高斯分布的平方和的根服从瑞利分布，因此根据此方法生成的信号的包络服从瑞利分布。正弦波叠加法易于实现，占用的资源很少，但是我们需要实现的是完全不相关的各径同相和正交分量，而该方法产生的多普勒功率谱是由多个离散频率点上的冲激响应构成的，并且相关性能不够理想，有很多可以改进的空间。

在上述原理的基础上，Jakes 提出了如下的基于正弦波叠加法的瑞利衰落信道的仿真模型^[18]：

$$h(t) = h_I(t) + jh_Q(t) \quad (2-10)$$

$$h_I(t) = \frac{2}{\sqrt{N}} \sum_{n=0}^M a_n \cos(2\pi f_n t) \quad (2-11)$$

$$h_Q(t) = \frac{2}{\sqrt{N}} \sum_{n=0}^M b_n \sin(2\pi f_n t) \quad (2-12)$$

式中 $N=4M+2$ ，并且：

$$a_n = \begin{cases} \sqrt{2} \cos \beta_0, n=0 \\ 2 \cos \beta_n, n=1, 2, \dots, M \end{cases} \quad (2-13)$$

$$b_n = \begin{cases} \sqrt{2} \sin \beta_0, n=0 \\ 2 \sin \beta_n, n=1, 2, \dots, M \end{cases} \quad (2-14)$$

$$\beta_n = \begin{cases} \frac{\pi}{4}, n=0 \\ \frac{n\pi}{M}, n=1, 2, \dots, M \end{cases} \quad (2-15)$$

$$f_n = \begin{cases} f_d, n=0 \\ f_d \cos \frac{2\pi n}{N}, n=1, 2, \dots, M \end{cases} \quad (2-16)$$

由上述公式可知，Jakes 仿真模型是一种确定型模型。相比于 Clark 仿真模型，Jakes 模型虽然实现复杂度降低了很多，不需要数量很大的 N 值，但是 Jakes 对模型中的随机相移进行了确定化，与实际的无线信道环境不相符合，但是该模型也是后续很多改进模型的重要参考标准。

基于 Jakes 仿真模型出现了许多的改进方法^[19]，基本上都是通过引入随机的多普勒频率，随机的正弦波初始相位等随机变量，改变了 Jakes 模型中的确定性。比如如下的改进模型：

$$h(t) = h_I(t) + j h_Q(t) \quad (2-17)$$

$$h_I(t) = \frac{2}{\sqrt{M}} \sum_{n=1}^M \cos(\psi_n) \cos(2\pi f_d t \cos \alpha_n + \varphi) \quad (2-18)$$

$$h_Q(t) = \frac{2}{\sqrt{M}} \sum_{n=1}^M \sin(\psi_n) \cos(2\pi f_d t \cos \alpha_n + \varphi) \quad (2-19)$$

$$\alpha_n = \frac{2\pi n - \pi + \theta}{4M}, n=1, 2, \dots, M \quad (2-20)$$

其中， θ 、 φ 、 ψ_n 分别是随机到达角度，随机初始相位，随机路径增益，均为 $[-\pi, \pi]$ 上独立同分布的均匀随机变量，一般情况下，当 $M=8$ 时已经可以获得充分的近似。

2.5 本章小节

本章首先介绍了本文组合传输方案的总体系统结构；之后分别介绍了 OFDM 系统和 SC-FDE 系统的基本原理、经典的实现结构及两个系统各自的优缺点，并

基于 OFDM 系统结构对躲干扰功能的实现进行了可行性分析；之后针对第一步仿真系统的搭建需求，介绍了瑞利信道仿真模型的基本原理及其实现方式，为后续仿真及实现工作提供了理论支持。

第三章 组合传输方案设计及仿真实现

本章根据工程设计中的实际需求，针对 OFDM 系统和 SC-FDE 系统设计了合适的系统参数和帧格式，对多径信道进行数学建模，从而搭建了仿真系统。根据系统的性能和算法复杂度进行算法选择，确定了最终的系统设计方案。其中详细介绍了导频的选取方案及其同步性能仿真结果，并针对双系统的协同通信进行了控制信道协议的设计。最后对本文仿真系统的仿真结果进行了描述和分析。

3.1 系统总体结构及参数设计

本文设计方案中共包含两个信道，其中 OFDM 系统作为业务信道负责业务信息的传递，SC-FDE 系统作为控制信道负责传递业务信道的调制方式，码率及子载波调度等控制信息，并负责双系统的同步工作。OFDM 系统中使用导频 Zadoff-Chu 序列用于接收端的载波同步和信道估计，SC-FDE 系统中使用导频 16384 点 GHG 序列，用于双系统同步及控制信道的信道估计。

业务系统采用正交频分复用 OFDM 系统，系统框架如图 3-1 所示：

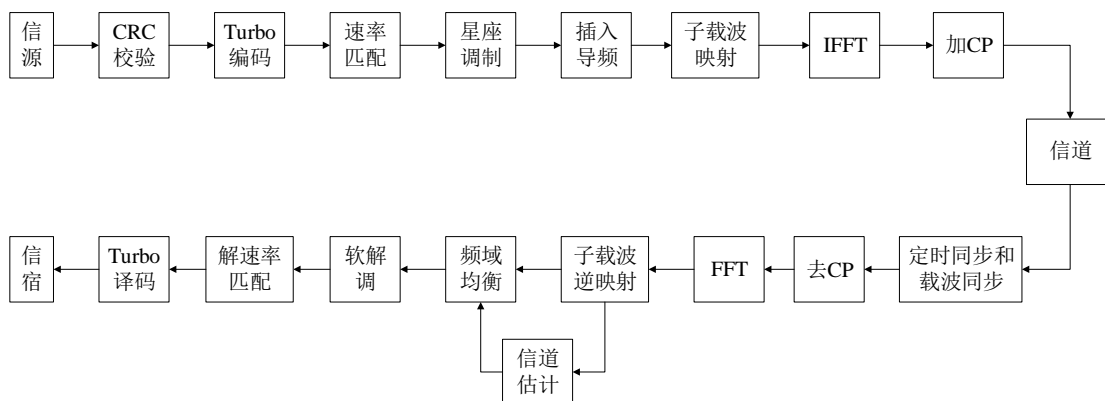


图 3-1 业务系统方案设计框图

OFDM 系统基带信号采样率为 40.96MHz，考虑到窄带干扰实际可用带宽大约为 30M，子载波间隔为 20kHz，因此一个 OFDM 符号内可用子载波数目为 1500。FFT 点数为 2048，符号周期为 0.05ms，那么 1ms 内共有采样点数 40960。其中 19 个 OFDM 符号共占 19*2048 个样点，剩余 2048 个样点分布在 19 个 OFDM 符号的 CP 中，其中第一个符号为导频数据，CP 长度为 122，其余 18 个符号结构相同，用来传送实际数据，CP 长度为 107。CP 占比 5%，最短 CP 的长度约为 2.612us，帧结构如下图 3-2 所示。Turbo 编码和速率匹配的码率为 1/2、1/3、2/3 三种，对应的调制方式分别为 16QAM、QPSK、QPSK，那么对应的比特速率分别为 54Mbps、18Mbps、36Mbps，满足大部分系统的速率要求。

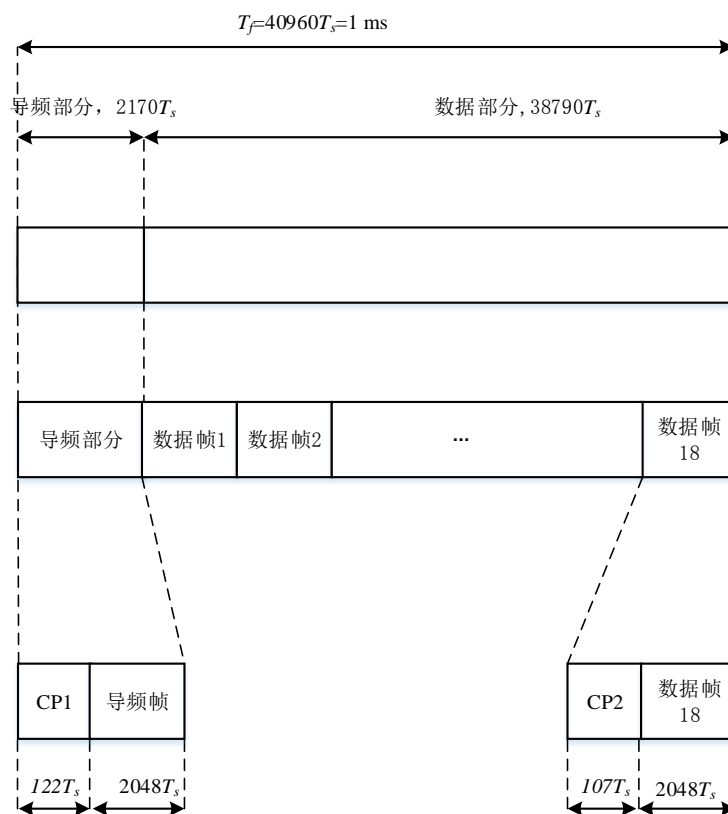


图 3-2 业务系统帧结构

控制信道采用单载波频域均衡 SC-FDE 系统，系统框架如图 3-3 所示：

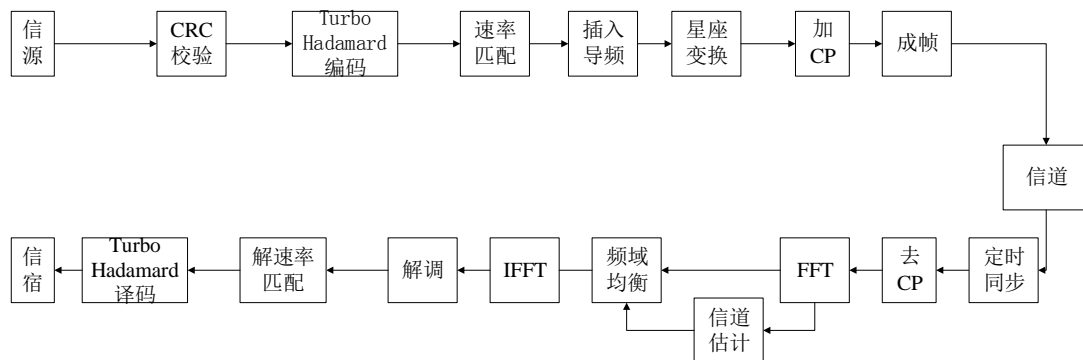


图 3-3 控制系统方案设计框图

SC-FDE 系统基带信号采样率为 20.48M，FFT 点数为 2048。SC-FDE 系统以 10ms 为单位发送一帧数据，10ms 内共有采样点 204800，由长为 17600 的导频部分和长为 187200 的数据部分组成，具体的帧结构由下图 3-4 所示：

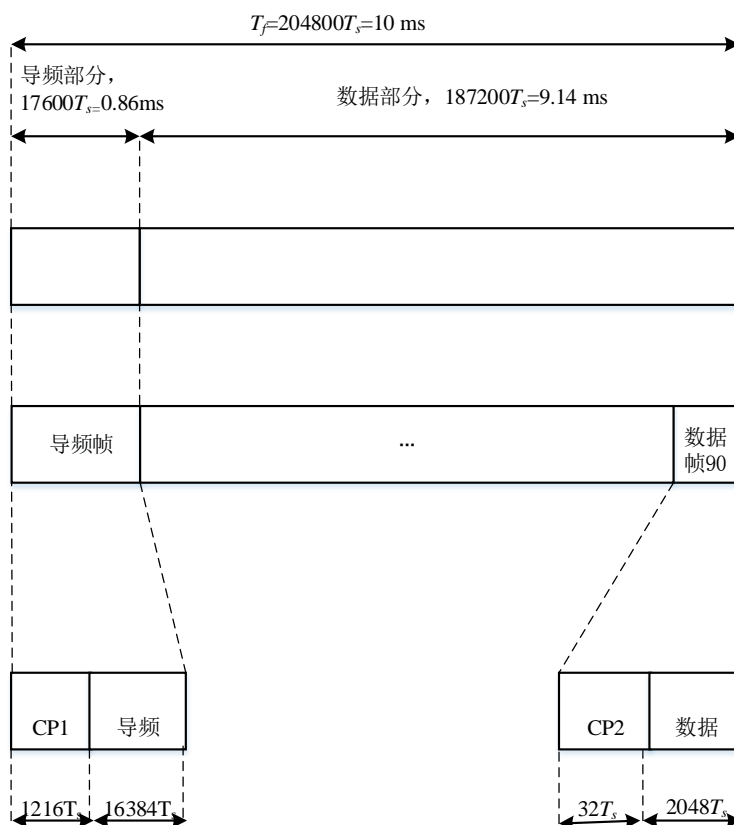


图 3-4 SC-FDE 系统帧结构

其中一个数据帧由 1 个导频帧和 90 个数据帧组成，导频的 CP 长度为 1216，数据部分的 CP 长度为 32，CP 总占比 2%，最短 CP 的长度约为 1.563us。

实际发送数据时考虑到数据重复带来的抗干扰增益，会以 100ms 为单位，即 10 个数据帧，其中各个帧的导频部分完全相同，其余部分发送的均是编码完之后的数据的重复序列，在接收端会将所有的重复序列合并，作为软信息输入到 Turbo-Hadamrd 译码模块，用于获得抗干扰增益。

3.2 OFDM 系统发送端设计方案

本系统中控制信道和业务信道为两个独立的系统，分别进行数字基带调制：

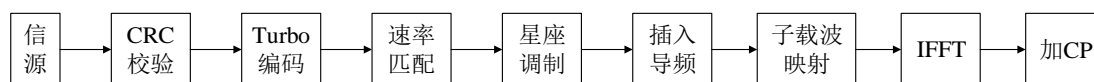


图 3-5 业务系统发送端流程

OFDM 系统发送端的具体工作流程为：对于信源出来的数据，首先添加总的 CRC（Cyclic Redundancy Check）校验，之后对于分块数据分别添加 CRC 校验，校验位的长度均为 24；考虑到实际的速率要求，Turbo 编码采取长度为 5440 的码块，速率匹配模块对编码完之后的数据进行打孔或者重复，根据对应的码率要求进行调整；星座调制模块采取 16QAM 和 QPSK 两种调制方式，输出实部和虚

部两路数据；导频采用长度为 1500 的块状导频 Zadoff-Chu 序列，用于接收端的信道估计，导频序列位于 19 个 OFDM 符号的第一个；IFFT 的长度为 2048，子载波映射模块根据可用的子载波资源将数据映射到 IFFT 的输入端；IFFT 模块将频域序列变换为时域序列，完成子载波信号的快速叠加；加 CP 模块对导频符号和数据符号分别添加对应的循环前缀，最后拼接成帧，上变频之后发送到无线信道中。

3.2.1 Turbo 编码

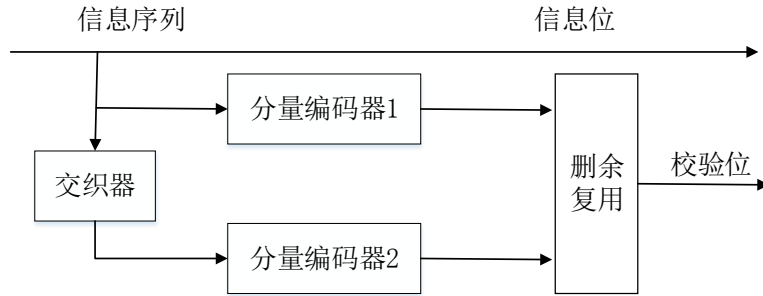


图 3-6 Turbo 编码结构框图

Turbo 编码^[21]的基本思想是利用短码来构造长码，通过对两个简单分量码的伪随机交织，实现大约束长度的随机编码。典型的 Turbo 编码结构包括两个结构相同的递归系统卷积编码器和一个随机交织器。如上图所示，分量编码器 1 的输入是原信息序列，分量编码器 2 的输入是随机交织后的信息序列，两个分量码编码器分别产生两路不同的校验序列，信息序列和两路校验序列经过复用和打孔之后得到一定码率的 Turbo 编码输出。

交织器的设计是影响 Turbo 编码的一个关键因素，它是实现 Turbo 码近似随机编码的关键。交织器的作用是将信息序列中的比特随机交换位置。对于长序列来说，采用近似随机的映射方式，也就是伪随机交织器，可以减小分量码输出校验序列的相关性和提高码重，从而带来编译码性能增益。QPP^[22]交织器的输入比特用 c_0, c_1, \dots, c_{K-1} 表示，其中 K 是输入比特的长度，即码长。交织器的输出比特用 $c'_0, c'_1, \dots, c'_{K-1}$ 表示。则输入与输入比特的关系可以表示为：

$$c'_i = c_{\Pi(i)} \quad (3-1)$$

其中， $\Pi(i)$ 满足下式：

$$\Pi(i) = (f_1 \cdot i + f_2 \cdot i^2) \bmod K \quad (3-2)$$

当码块被均等分为 2^N , $N = 0, 1, 2, \dots$ 个码段时，各码段之间可以实现完全无冲突交织，从而进行并行译码。其中，参数 f_1 和 f_2 由码块长度 K 确定。

分量码采用递归系统卷积码 (Recursive Systematic Convolutional code, RSC)，RSC 码具有系统码的优点，译码时无需变换码字，同时综合考虑了非系统卷积码

和非递归系统卷积码的特性。

业务系统中采取的 Turbo 码的码块长度为 5440，查表可知 QPP 交织器对应的 f_1 和 f_2 分别为 43 和 170，RSC 编码器采用码率为 $1/2$ 的递归系统卷积码，编码器 1 输出的序列长度为 5440 个信息序列，5440 个校验序列，二者间隔输出，最后输出 6 个尾比特；信息序列经过 QPP 交织器后送入编码器 2 的输入端，编码器 2 输出的序列结构和编码器 1 相同。由编码器 1 和编码器 2 的输出我们可以得到复用之前的 3 路序列，分别为 5440 长度的信息位，校验位 1，校验位 2。复用采用的结构为：首先输出长度为 5440 的信息位，之后校验位 1 和校验位 2 每比特间隔输出，最后附上总长为 12 的尾比特，最终得到长度为 16332 的编码结果，码率近似 $1/3$ 。OFDM 系统中有 3 中不同的码率要求： $1/3$ 、 $1/2$ 、 $2/3$ 的码率可以通过打孔和重复实现，也就是接下来我们要描述的速率匹配模块。

3.2.2 速率匹配

速率匹配^[23]模块用来根据物理信道的承载能力和实际的码率要求来调整编码的码率。

业务系统速率匹配模块的功能分为 3 部分，分别为比特分离，子块交织，比特收集。

比特分离模块按照 Turbo 编码结果的复用结构将数据流分为信息位，校验位 1，校验位 2 三路，12 位尾比特被平均分配到 3 路。

子块交织模块用于对每一路数据进行交织，交织算法为列间置换加行列交织：32 列，171 行。数据输入时首先在数据流之前加上 28 个空数据，列间置换的规则如下表 3-1 所示，按行输入时按照列间置换规则将数据存储在每行对应的列上，之后按列读出非空数据。

表 3-1 列间置换规则

列数	列间置换规则
32	[0, 16, 8, 24, 4, 20, 12, 28, 2, 18, 10, 26, 6, 22, 14, 30, 1, 17, 9, 25, 5, 21, 13, 29, 3, 19, 11, 27, 7, 23, 15, 31]

比特收集模块首先输出信息序列（5444 长度），之后按照一位校验位 1，一位校验位 2 的顺序将校验位拼接成数据流，直到达到码率所要求的输出长度，如果遍历完全部的校验位序列还未满足码率要求时，从校验位序列头开始循环输出校验位数据。

3.2.3 导频设计

业务系统中的导频用来实现业务系统接收端的信道估计，采用块状导频

Zadoff-Chu^[24]序列。所谓块状导频是指在 OFDM 系统的一个帧的 19 个符号中，导频位于第一个符号，也就是导频覆盖整个 OFDM 频带。块状导频的优势是使信道估计可以获得全频带的信道冲激响应，频域连续的导频也具有有良好的抗频率选择性衰落的能力。相比于插值获得的某些频带上的信道冲激响应，可以提高对频域干扰估计的精度。但是块状导频只能应用于时间慢衰落信道，信道响应在时间上变化缓慢时，相邻符号就可以使用相同的信道系数估计值。对于时间快衰落信道，信道变化特性较快，这样块状导频的分布就需要很密集，这样就会增大导频开销，降低数据传输的效率。

Zadoff-Chu 序列的数学描述如下式 3-3 所示：

$$p_k(N, u, q) = \begin{cases} e^{-\frac{j2\pi u}{N}(\frac{k^2}{2} + qk)}, & k = 0, 1, \dots, N-1, N \text{ 为奇数} \\ e^{-\frac{j2\pi u}{N}(\frac{k(k+1)}{2} + qk)}, & k = 0, 1, \dots, N-1, N \text{ 为偶数} \end{cases} \quad (3-3)$$

公式中， N 表示的是序列的长度， q 可以为任意整数， u 是与 N 互质的正整数。

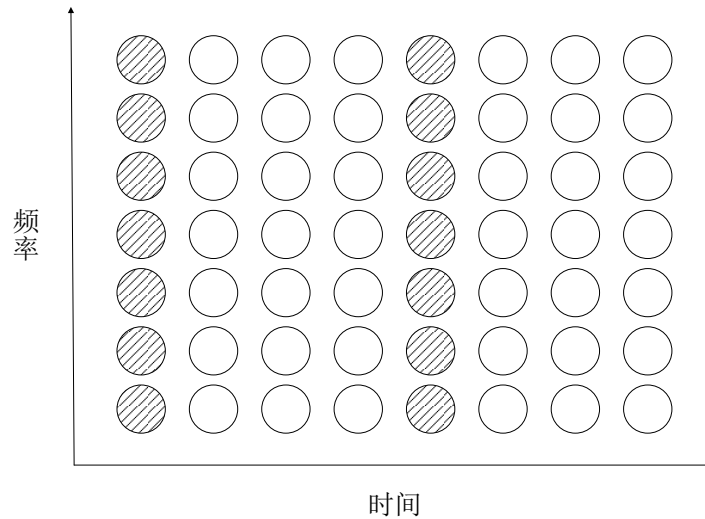


图 3-7 块状导频示意图

在 TD-LTE 系统中，Zadoff-Chu(ZC)序列主要用作上行参考信号序列、PRACH 前导序列以及主同步信号等，它在整个 TD-LTE 系统中起着非常重要的作用，是上下行链路同步过程以及信道估计过程中不可或缺的一种技术。Zadoff-Chu 序列本身具有良好的自相关性、互相关性、对称性和恒幅特性。对称性可以降低生成序列的复杂度；良好的自相关性使其自相关峰值十分尖锐，可以用于定时同步；良好的互相关性使其可以有效的实现多址信号的检测；恒幅特性有利于接收端实现信道估计。而且任意 Zadoff-Chu 序列经过 FFT/IFFT 变换后的序列仍为 Zadoff-Chu 序列，仍然具有 Zadoff-Chu 序列的所有性质。

3.2.4 星座调制

星座调制模块需要支持两种调制方式：QPSK 和 16QAM。数字调制用星座图描述，星座图中规定了星座点与传输比特的对应关系。

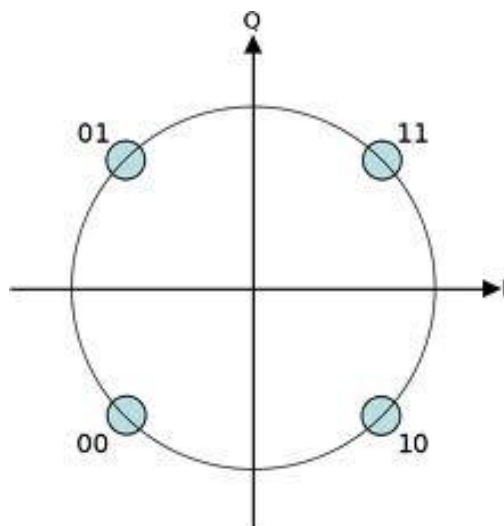


图 3-8 QPSK 调制星座图

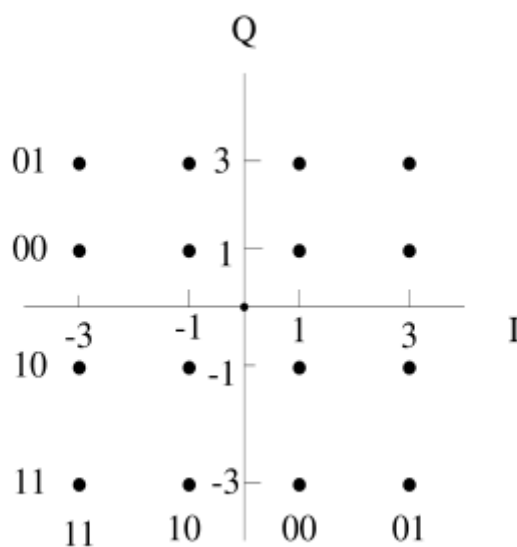


图 3-9 16QAM 调制星座图

QPSK (Quadrature Phase Shift Keying) 是一种应用广泛的数字调制方式。QPSK 规定了四种载波相位，分别为 45° 、 135° 、 225° 、 315° ，每两个比特映射成两路 I/Q 数据。16QAM (Quadrature Amplitude Modulation) 由两个正交载波的多电平振幅键控信号叠加而成，是一种综合考虑振幅和相位的调制方式，每 4 个比特映射成两路 I/Q 序列。

3.2.5 子载波映射和 IFFT

子载波映射模块和 IFFT 模块是本系统中实现躲干扰通信的关键所在。子载波映射是将 I/Q 数据流映射到 IFFT 的各个端口上，IFFT 快速实现多路数字基带

调制，完成子载波信号叠加。

本文的设计方案中针对的窄带干扰以子载波带宽为维度，比如窄带干扰为 1MHz 时，对于 OFDM 系统，每个子载波的带宽为 20KHz，也即窄带干扰会覆盖 50 个子载波。躲干扰的关键即是事先探知好信道的干扰情况^[25]，在子载波映射阶段就可以根据信道的干扰信息选择在信道条件较好的子载波上进行传递，这也是 OFDM 在频谱成型方面的优势所在。对于接收端同样需要知道这些映射规则信息进行解映射，这些规则信息由控制信道进行传递，由控制系统接收端正确解调之后传递给业务系统。

3.3 SC-FDE 发送端设计方案

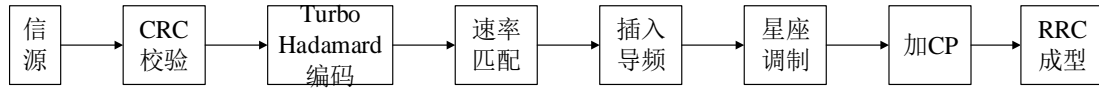


图 3-10 控制系统发送端流程

SC-FDE 系统发送端的具体工作流程为：信源出来的数据首先添加 CRC 校验，校验信息生成方式与 OFDM 系统相同；信道编码采用 Turbo-Hadamard 编码，码块长度为 192，编码后的长度为 1472，每个数据帧中使用 1 个编码块；速率匹配模块将 1472 序列进行重复，生成长度为 90×2048 的信息序列；导频采用长度为 16384 的广义分层格雷序列，用于接收端两个系统的同步捕获，确定帧头；星座变换模块采用 QPSK 调制方式，将两比特码组映射成两路两比特有符号 I/Q 数据；加 CP 模块对调制数据添加长度为 32 的循环前缀；RRC 模块用于将 2 比特调制数据进行成型滤波，输出 14 比特的数据；最后将数据按照指定的帧格式拼接成数据帧，上变频之后发送到无线信道中。

3.3.1 Turbo-Hadamard 编码

Turbo-Hadamard^[26]是一种由哈达玛矩阵和递归系统卷积码构成的低码率码。

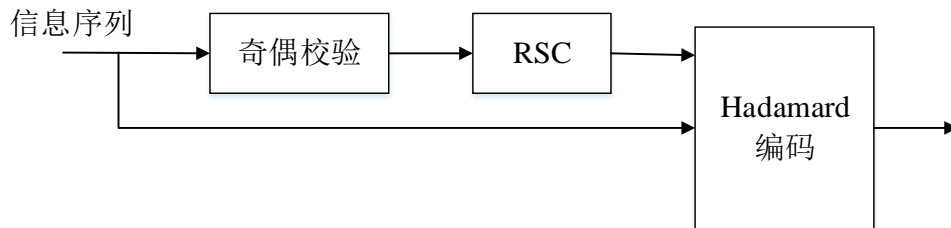


图 3-11 Turbo-Hadamard 编码框图

哈达玛矩阵是一个方阵，元素的值为-1 或者 1 两种，任意不同行（列）的内积为零。控制系统中采取的 Turbo-Hadamard 编码的码块长度为 192，输出序列长度为 1472，哈达玛矩阵设为 8 阶方阵，编码模块共使用 4 个分量码编码器，每个编码器的结构如上图 3-11 所示，输入是交织后的信息序列，交织器的算法与

Turbo 编码相同, RSC 为 1/2 码率的递归系统卷积码。

每个分量码编码器的编码流程为: 首先将信息序列经过交织后送入分量码编码器, 分量编码器第一步奇偶校验模块对每 3 位信息序列进行模 2 加, 得到一位奇偶校验位; 第二步把校验信息送入递归系统卷积码编码器, 将其中的校验位输出作为 Hadamard 矩阵 (总共有两个) 的选择信号; 最后将信息序列的 3 位数据作为地址, 读出对应的 Hadamard 矩阵中的 8 位数据, 格式为 3 位信息位 (即输入的 3 位信息位) 和 5 位校验位。

为了接收端译码方便, 我们输出编码模块的数据首先是 192 位的信息序列, 接下来是每个分量码编码器输出的 320 位校验位, 即编码后总共得到 1472 长度的序列。

3.3.2 速率匹配

控制系统中速率匹配模块是为了实现序列重复, 即将 1472 长度的编码结果重复为 90×2048 长度的序列。对于编码结果应该缓存起来, 以便进行多次复用。序列重复是为了获得抗干扰增益, 在接收端软解调后会将各个重复的部分复用在一起, 送去译码。

3.3.3 导频设计

在无线信道的接收端, 我们为了尽可能加快捕获速度, 缩短捕获时间, 所以需要采取匹配滤波器进行高速相关接收。在 SC-FDE 系统中, 我们采用广义分层格雷匹配滤波器^[27], 该匹配滤波器较传统的滤波器, 有更少的抽头数和更小的功率开销, 极大节省了硬件资源。

控制系统中使用的导频序列为码长为 $N = 2^{14} = 16384$ 的广义分层格雷序列。其迭代表示方法为:

$$\begin{cases} a_0(k) = \delta(k) \\ b_0(k) = \delta(k) \\ a_n(k) = a_{n-1}(k) + W_n b_{n-1}(k - D_n) \\ b_n(k) = a_{n-1}(k) - W_n b_{n-1}(k - D_n) \end{cases} \quad (3-4)$$

其中, $k = 0, 1, 2, \dots, 2^{14} - 1; n = 1, 2, \dots, 14$ 。为了减少接收端 GHG 匹配滤波器的规模和资源消耗, 我们需要在中间做一次截断。构造此序列需要确定延迟向量 D 和权重向量 W , 有:

$$D_i \in \{1, 2, 4, \dots, 2^{13}\}; W_i \in \{1, -1\}; i = 1, 2, \dots, 14$$

我们遍历 D 向量和 W 向量, 根据 GHG 序列归一化自相关后旁瓣峰值的大小, 确定生成序列的延迟向量 D 和权重向量 W 为:

$$D = \{1, 2, 4, 8, 32, 512, 1024, 64, 2048, 16, 4096, 128, 8192, 256\}$$

$$W = \{1, -1, 1, -1, -1, -1, 1, -1, -1, 1, -1, -1, -1, -1\}$$

迭代生成的 GHG 序列的自相关特性如图 3-12 所示，可以看出，在 $b(7)=a(7)$ 处做 1 次截断，旁瓣峰值为 0.103。

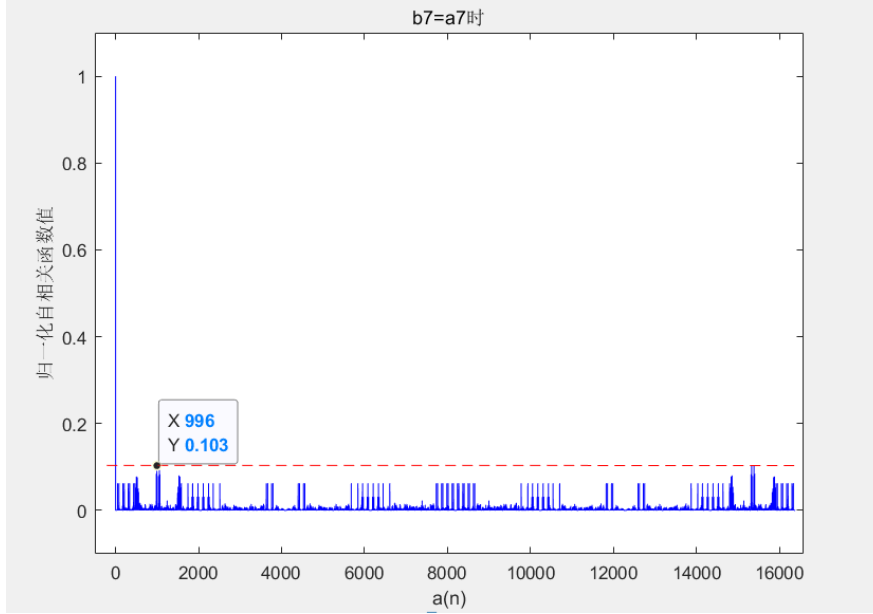


图 3-12 GHG 序列自相关结果

3.4 接收端设计方案

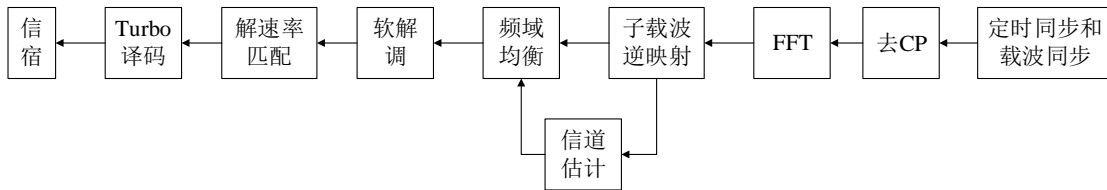


图 3-13 OFDM 系统接收端流程

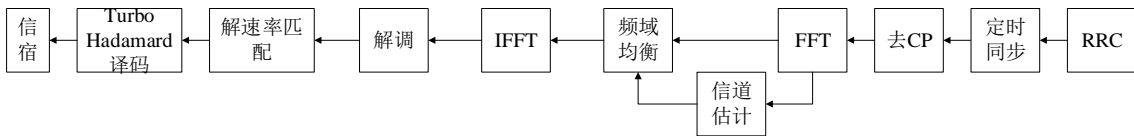


图 3-14 SC-FDE 系统接收端设计框图

OFDM 系统接收端流程框图如上图 3-13 所示，接收端下变频、DAC 之后得到数字基带信号。本文中定时同步由控制信道负责，在这里我们先假设已经得到正确的数据流。载波同步模块依据导频部分的循环前缀实现频偏估计和频偏补偿，消除载波频偏的影响，保证子载波之间的正交性；去 CP 和 FFT 模块将去除 CP 的数据做 FFT 变换，得到频域数据，之后依据控制信道传递的子载波映射规则信息实现子载波逆映射；信道估计模块利用接收到的导频序列和实际发送的导频序列通过 LS 算法实现频域信道系数估计，复用后作为全频带所有数据的信道系数估计值；频域均衡模块使用迫零均衡算法弥补信道特性；软解调模块使用 Max-

log-map 算法得到解调后的软信息；解速率匹配模块依据控制信道传递的码率指示信号，得到原始发送序列；Turbo 译码模块利用迭代译码算法多次迭代，实现接近最大似然译码的性能；译码结果将发送给上位机，进行 CRC 校验，完成接收。

SC-FDE 系统接收端流程框图如上图 3-14 所示：接收端下变频，DAC 之后得到数字基带信号。首先经过根升余弦滤波器，完成匹配滤波的功能；定时同步模块使用广义分层格雷匹配滤波器进行高速相关接收，捕获之后传输数据（包含 8192 长度导频，用于信道估计）到下一模块。去 CP 模块去除相应的循环前缀；FFT 模块将导频部分和数据部分变换到频域，以便接下来实现信道估计和频域均衡；信道估计模块使用 8192 的导频序列，分为 4 段分别进行 LS 估计，估计算法与 OFDM 系统相同，然后求平均值，之后通过 IFFT 变换到时域进行 DFT 去噪，最后通过 FFT 变换到频域，得到 2048 长度的频域信道系数；频域均衡模块利用估计的信道系数在频域完成数据的信道补偿，消除码间干扰，最后经过 IFFT 模块变换到时域；解调模块完成 QPSK 软解调，算法与 OFDM 系统相同；解速率匹配模块对解调完之后的数据进行解重复（发送端每帧，每 10 帧的业务数据不断重复），将对应位置数据累加，提供译码增益，之后送入译码模块，进行迭代译码。译码结果将发送给上位机，进行 CRC 校验，完成接收流程。

3.4.1 控制信道匹配滤波器设计

在控制系统中，我们采用广义分层格雷匹配滤波器，该匹配滤波器较传统的滤波器，有更少的抽头数和更小的功率开销，极大节省了硬件资源。根据生成 GHG 序列的 D 向量和 W 向量，我们可以得到 GHG 滤波器的 D 向量和 W 向量为：

$$D = \{1, 2, 4, 8, 32, 512, 1024, 64, 2048, 16, 4096, 128, 8192, 256\}$$

$$W = \{1, -1, 1, -1, -1, -1, 1, -1, -1, 1, -1, -1, -1, -1\}$$

对式 3-4 做 Z 变换，得到：

$$\begin{cases} A_0(z) = 1 \\ B_0(z) = 1 \\ A_n(z) = A_{n-1}(z) + W_n B_{n-1}(z) z^{-D_n} \\ B_n(z) = B_{n-1}(z) - W_n A_{n-1}(z) z^{-D_n} \end{cases} \quad (3-5)$$

由此我们将滤波器的权重向量和延迟向量带入式 3-5 中，得到滤波器的传递结构图：

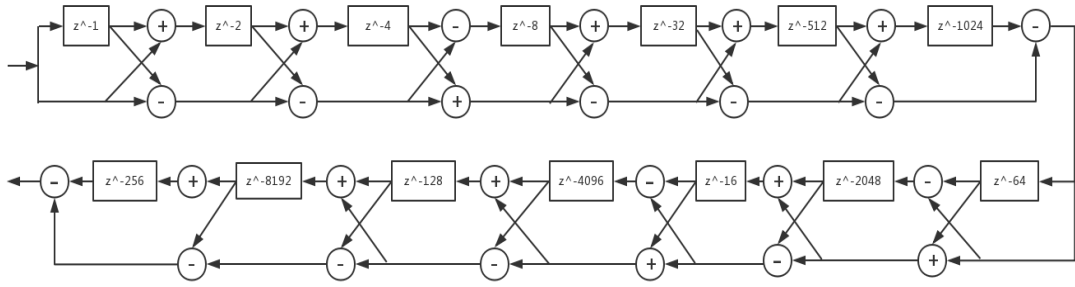


图 3-15 GHG 滤波器的结构图

由上图 3-15 所示，接收端 GHG 滤波器的设计结构为 2 个滤波器级联，滤波器 1 的抽头数为 $2^7=128$ ，滤波器 2 的抽头数为 $2^7=128$ 。总的滤波器抽头数为 256。

3.4.2 OFDM 系统载波同步

由于无线信号传播环境中的多普勒频移和收发晶振的不完全同步，接收信号往往存在一定的载波频偏偏差，这将破坏子载波之间的正交性，造成信道间干扰，且这种频差对相位的影响还有累加性，因此为了保证 OFDM 系统的性能，必须进行载波同步。

载波同步主要是对载波频率偏差进行估计，再根据偏差值对接收机的射频频率进行补偿来解决接收端信号的 ICI 等问题。OFDM 系统采用了循环前缀，它是周期重复的序列，我们采用基于循环前缀的最大似然估计算法^[28]，利用循环前缀的相关性进行频偏估计，具体的推导过程不再赘述。

$$\varepsilon_{ML}(d) = -\frac{1}{2\pi} \text{angle}(r(d)) \quad (3-6)$$

$$r(d) = \sum_{k=d}^{d+L-1} r(k)r^*(k+N) \quad (3-7)$$

式中 d 为循环前缀位置，本文中上级模块已经进行定时同步，这里可假设已经得到全部的数据流，即 d 为 2048。

本系统中将载波同步模块分为 3 部分，延时相关累加、频偏估计、频偏补偿。

延时相关累加将导频 CP 和延迟后的 CP 部分进行相关累加，累加后的值送入频偏估计模块，此模块采用的算法为：

$$r(N) = \sum_{m=0}^{G-1} [r(m)r^*(m+N)] \quad (3-8)$$

其中 G 等于 122，为导频 CP 长度。

频偏估计模块将累加后的值求出补偿因子：

$$\varepsilon = -\frac{1}{2\pi} \tan^{-1} \left[\frac{\text{Im}[r[N]]}{\text{Re}[r[N]]} \right] \quad (3-9)$$

最后频偏补偿模块将补偿因子与接收到的数据复乘运算进行频偏补偿。

3.4.3 OFDM 系统子载波逆映射

因为窄带干扰的存在,发送端在子载波映射模块根据实际的干扰情况在各个子载波上选择传递信息,而这些规则信息由控制信道进行传递,在接收端解析后发送给业务系统,子载波逆映射模块即要根据实际使用的子载波资源信息,才能正确解析出全部的频域数据流。

3.4.4 信道估计

在无线信道中,由于多径传输和噪声的影响,接收端接收到的信号会有一定程度的失真,为了有效的去除信道的影响,恢复发送端的信号,我们需要进行信道估计。

常见的信道估计算法^[29]包括频域最小二乘 (LeastSquare, LS) 算法,最小均方误差 (Minimum Mean SquareError, MMSE) 算法等。

LS 算法具体原理如下:假设 \mathbf{X} 是由发送信号构造的对角矩阵, \mathbf{Y} 是由接收信号构成的列向量, \mathbf{H} 是由信道频域响应构成的列向量。则三者之间的关系可以表示为:

$$\mathbf{Y} = \mathbf{H}\mathbf{X} + \mathbf{N} \quad (3-10)$$

公式中 \mathbf{N} 代表高斯白噪声的频域变换构成的列向量, LS 算法的目标是使 $(\mathbf{Y} - \mathbf{X}\hat{\mathbf{H}})^H(\mathbf{Y} - \mathbf{X}\hat{\mathbf{H}})$ 最小,其中 $\hat{\mathbf{H}}$ 表示信道系数估计值。那么 LS 算法可以表示为:

$$\hat{\mathbf{H}} = \mathbf{X}^{-1}\mathbf{Y} \quad (3-11)$$

即可以得到频域信道系数,但 LS 算法没有考虑噪声的影响,估计值存在误差。LS 在性能上虽然不是最佳的,但是在信噪比可以接受的范围内,它的实现复杂度很低,实用性很高。

MMSE 算法即最小均方误差算法,采用均方误差 MSE 估计准则,其目标是使 $E\{(\hat{\mathbf{H}} - \mathbf{H})(\hat{\mathbf{H}} - \mathbf{H})^H\}$ 最小,即找一个矩阵 \mathbf{G} , 使 $\mathbf{G}\mathbf{Y}$ 更接近 \mathbf{X} 。当噪声和信号相互独立时, MMSE 信道估计式可以表示为:

$$\mathbf{H}_{MMSE} = \mathbf{R}_{HY} \mathbf{R}_{YY}^{-1} \mathbf{Y} \quad (3-12)$$

公式中

$$\mathbf{R}_{HY} = E\{\mathbf{H}\mathbf{Y}^H\} = \mathbf{R}_{HH} \mathbf{X}^H \quad (3-13)$$

$$\mathbf{R}_{YY} = E\{\mathbf{Y}\mathbf{Y}^H\} = \mathbf{X}\mathbf{R}_{HH} \mathbf{X}^H + \sigma_n^2 \mathbf{I} \quad (3-14)$$

其中 σ_n^2 是噪声的方差， \mathbf{R}_{HY} 是传输函数与接收信号的互协方差矩阵， \mathbf{R}_{YY} 是接收信号的自协方差矩阵， \mathbf{R}_{HH} 是传输函数的自协方差矩阵， \mathbf{X}^H 是发射导频的共轭转置。

那么 MMSE 的估计值可以表示为：

$$\mathbf{H}_{MMSE} = \mathbf{R}_{HH} (\mathbf{R}_{HH} + \sigma_n^2 (\mathbf{X}^H \mathbf{X})^{-1})^{-1} \mathbf{H}_{LS} \quad (3-15)$$

相比于 LS 算法，MMSE 算法有更加优良的性能，几乎可以实现接近理想的信道估计。但是此算法非常复杂，由式 3-15 可以看到，导致复杂的是矩阵求逆运算和相关运算，当 FFT 点数变大时，矩阵的运算就会变得十分巨大。因此我们要在性能和实现复杂度之间做出权衡。

插入导频的方式有两种，一种是时域频域均离散的梳状导频分布，另一种是频域连续的块状导频分布。对于非连续导频，需要对导频进行时域和频域的插值。

(1) 线性插值

线性插值一般认为临近子载波的频域响应有很好的相关性，利用导频部分的信道估计获得数据部分的信道估计。线性插值常用的算法包括一阶线性插值和二阶线性插值。一阶线性插值用相邻导频点进行估计，二阶线性插值用前后 3 个导频点进行估计，阶数更高信道估计值越精确，实现复杂度也更高。

(2) DFT 插值和去噪

DFT 插值的思想是：对于 N 点的信道系数待估计值，假设我们只有 P 个导频点，那么将 P 点的导频系数进行 IFFT/IDFT 变换到时域，补齐 N-P 个零之后，进行 N 点的 FFT/DFT 变换到频域得到 N 点信道系数估计值。

DFT 去噪^[30]的思想是：首先设置的循环前缀长度应大于信道冲激响应的长度，频域响应经过 IFFT 变换到时域后，将信道冲激响应中大于循环前缀长度的值置零去除时域噪声，最后进行 DFT 变换得到频域信道系数。

本文中采用块状导频，所以不需要使用插值算法。LS 算法虽然没有考虑噪声的影响，但其实现简单，我们在 LS 之后再采用相应的去噪算法去除噪声的影响，可以得到接近理想信道估计的性能。

(1) 对信道系数进行平滑

在 OFDM 系统中我们使用 LS 算法和平滑去噪。即将 LS 估计得到的系数一定范围内取平均值，平滑噪声的影响。对信道系数取平均虽然平滑了噪声的影响，但是也平滑了信道系数的变化，二者都会影响系统的性能，所以平滑点数的选取非常重要，我们将在本章的最后进行仿真分析。

(2) 采用 DFT 去噪

传统的基于 DFT 的时域去噪只是消除了信道冲激响应中循环前缀长度之外的噪声，循环前缀长度内的噪声没有得到消除，还有很大的提升空间。

在 SC-FDE 系统中使用基于 DFT 的信道估计改进算法。在原算法的基础上，对循环前缀内的信道估计值做进一步的处理，消除循环前缀长度的信道系数中噪声的干扰。首先使用 LS 算法对 4 段长度为 2048 的导频序列分别进行信道估计，对估计得到的 4 段信道系数值取平均值，提高估计精度。

在 DFT 去噪阶段，首先与原算法一样，得到 IFFT 变换后的时域信道估计值，那么循环前缀长度以外的数据全部为干扰噪声，可以根据这些值求出时域干扰噪声方差。循环前缀长度内的信道系数还包含噪声，我们设定一个阈值进行过滤。阈值由两部分组成，参考公式 3-16、3-17，第一部分是第一步得到的噪声方差，另一部分是循环前缀内所有路径的信道响应幅度的模平方在循环前缀内的平均分布；最后用这个门限对循环前缀内的数据做进一步的去噪处理：把小于门限的值置零。信道系数中虽然可能存在小于门限的值从而被置零，但是这种影响可以忽略。

$$\lambda_1 = e_{wt}^2 = \frac{1}{N - N_g} \sum_{n=N_g}^{N-1} h^2(n) \quad (3-16)$$

$$\lambda_2 = \frac{1}{N_g} \left(\sum_{n=0}^{N_g-1} h^2(n) - N_g e_{wt}^2 \right) \quad (3-17)$$

其中 N_g 为循环前缀的长度， N 为 FFT 点数， $h(n)$ 为估计得到的信道系数。

3.4.5 频域均衡

均衡模块根据信道估计的结果执行相应的算法对信号进行补偿。FFT 之后我们得到了各个符号的频域样点，信道估计模块我们得到了每个频域点上对应的信道系数，可以很方便的实现频域单抽头均衡。常见的线性均衡系统包括迫零均衡 (Zero Forcing, ZF)、最小二乘均衡 (Minimum Mean Squared Error, MMSE) 等^[31]。

迫零均衡可以用公式 3-18 和公式 3-19 描述：

$$\mathbf{Y}^* \mathbf{H}^* = \mathbf{X}^* \mathbf{H}^2 + \mathbf{N}^* \mathbf{H}^* \quad (3-18)$$

$$\frac{\mathbf{Y}^* \mathbf{H}^*}{\mathbf{H}^2} = \mathbf{X} + \frac{\mathbf{N}^* \mathbf{H}^*}{\mathbf{H}^2} \quad (3-19)$$

迫零均衡相对简单，在信道衰落不严重的环境下表现良好，但在衰落严重的无线信道中，信道频域响应中会出现很深的凹槽，均衡器在放大频谱的同时也将该频段中的噪声增强。

MMSE 均衡在迫零均衡的基础上考虑了噪声带来的影响，相比于没有考虑噪声的 ZF 算法，有效克服了噪声增强的问题。MMSE 均衡可以用公式 3-20 来描述：

$$\frac{\mathbf{Y}^* \mathbf{H}^*}{\mathbf{H}^2 + \frac{\sigma^2}{2}} = \frac{\mathbf{X}}{\mathbf{H}^2 + \frac{\sigma^2}{2}} + \frac{\mathbf{N}^* \mathbf{H}^*}{\mathbf{H}^2 + \frac{\sigma^2}{2}} \quad (3-20)$$

3.4.6 软解调

软信息一般用来衡量比特可靠性，在通常情况下解调器使用对数似然比（Logarithm of Likelihood Ratio）作为软信息输出，软信息通常要跟译码模块的迭代译码结合使用，以常见的软解调算法^[32]log-MAP 为例：

对于 16QAM 调制解调方式，在时刻 k ，4 个比特被映射成一个 QAM 复调制符号。在接收端，接收信号可以表示为： $r_k = x_k + jy_k$ 。其中 x_k 是接收信号的同相分量， y_k 是接收信号的正交分量。

$$x_k = a_k A_k + I_k \quad (3-21)$$

$$y_k = a_k B_k + Q_k \quad (3-22)$$

其中 a_k 在高斯白噪声信道下为 1， A_k 和 B_k 均是复平面上的实数对， I_k 和 Q_k 是均值为 0，方差为 δ_N^2 的高斯噪声，二者相互独立，那么同相分量和正交分量是两个相互独立的随机变量。对于第 k 个符号的第 i 个比特，对数似然比定义为：

$$\Lambda(u_{k,i}) = \text{Log} \frac{P\{u_{k,i}=1/x_k, y_k\}}{P\{u_{k,i}=0/x_k, y_k\}} = \text{Log} \frac{P\{x_k, y_k/u_{k,i}=1\}}{P\{x_k, y_k/u_{k,i}=0\}} \quad (3-23)$$

在映射过程中，第 k 个符号的第 i 个比特 $u_{k,i}=1$ 和 $u_{k,i}=0$ 将星座图分成了两个部分，可以假设两部分星座点的集合分别为 $C_1(i)$ 和 $C_0(i)$ ，那么公式 3-23 可以表示为：

$$\Lambda(u_{k,i}) = \log \frac{\sum_{(X_n, Y_n) \in C_1(i)} P\{x_k = a_k X_n + I_k, y_k = a_k Y_n + Q_k\}}{\sum_{(X_n, Y_n) \in C_0(i)} P\{x_k = a_k X_n + I_k, y_k = a_k Y_n + Q_k\}} \quad (3-24)$$

其中， I_k 和 Q_k 是均值为 0，方差为 δ_N^2 的高斯噪声， X_k 和 Y_k 分别具有均值 $a_n X_n$ 和 $a_n Y_n$ ，方差为 δ_N^2 ，那么公式 3-24 可以表示为：

$$\Lambda(u_{k,i}) = \log \frac{\sum_{(X_n, Y_n) \in C_1(i)} e^{-\frac{(x_k - a_k X_n)^2 + (y_k - a_k Y_n)^2}{2\sigma_N^2}}}{\sum_{(X_n, Y_n) \in C_0(i)} e^{-\frac{(x_k - a_k X_n)^2 + (y_k - a_k Y_n)^2}{2\sigma_N^2}}} \quad (3-25)$$

由公式 3-25 可以看到，该式计算复杂度很高，直接用来计算 LLR（Log Likelihood Ratio）时需要执行复杂的指数运算，因此一般情况下采用近似算法

max-log-Map。

16QAM 的调制过程可以看成是两个独立 ASK 信号的叠加，即同相信号和正交信号相互独立，调制比特可以分为两部分分别解调，因此我们分别求同相信号和正交信号的 LLR。

当使用如图 3-9 所示的星座图时，定义 U_X 和 U_Y 分别为映射到同相分量和正交分量的比特集合，则 $\{u_{k,1}, u_{k,2}\} \in U_X$ ， $\{u_{k,3}, u_{k,4}\} \in U_Y$ ， U_X 和 U_Y 互不相关，可以分开求 LLR。例如在图 3-10 中，第一个比特为 1 时对应的同相分量的值集合为 $\{-3, -1\}$ ，值为 0 时对应的同相分量的值集合为 $\{1, 3\}$ ；第二个比特为 1 时对应的同相分量的值集合为 $\{-3, 3\}$ ，值为 0 时对应的同相分量的值集合为 $\{-1, 1\}$ ，正交分量的分析与同相分量类似。我们可以使用如下近似计算公式：

$$\ln \sum_i e^{x_i} \approx \max\{x_i\} \quad (3-26)$$

定义 $S_{x,1}(i)$ 和 $S_{x,0}(i)$ 分别是 $u_{k,i} = 1$ 和 $u_{k,i} = 0$ 在星座图中所映射点的集合，分比特解调时需要计算 X_k 与 $S_{x,1}(i)$ 和 $S_{x,0}(i)$ 中星座点之间的最小距离，例如对于同相分量的第一个比特，最终的计算公式为：

$$\Lambda(u_{k,1}) = \begin{cases} \frac{1}{2\sigma_N^2} [(x_k - 1)^2 - (x_k + 3)^2] = -\frac{4}{\sigma_N^2} (x_k + 1), & \text{当 } x_k < -2 \\ \frac{1}{2\sigma_N^2} [(x_k - 1)^2 - (x_k + 1)^2] = -\frac{2}{\sigma_N^2} x_k, & \text{当 } -2 \leq x_k < 2 \\ \frac{1}{2\sigma_N^2} [(x_k - 3)^2 - (x_k + 1)^2] = -\frac{4}{\sigma_N^2} (x_k - 1), & \text{当 } 2 \leq x_k \end{cases} \quad (3-27)$$

对于同相分量的第二个比特：

$$\Lambda(u_{k,2}) = \begin{cases} \frac{1}{2\sigma_N^2} [(x_k + 1)^2 - (x_k + 3)^2] = \frac{2}{\sigma_N^2} (-x_k - 2), & \text{当 } x_k \leq 0 \\ \frac{1}{2\sigma_N^2} [(x_k - 1)^2 - (x_k - 3)^2] = \frac{2}{\sigma_N^2} (x_k - 2), & \text{当 } 0 < x_k \end{cases} \quad (3-28)$$

正交分量的算法与同相分量类似，公式中的 1 和 3 为星座图上的值。

3.4.7 解速率匹配

业务系统中解速率匹配模块为速率匹配模块的逆过程，分为解比特收集，解比特交织，解比特分离三部分，需要输入控制信道传递的码率指示信号，按照指示信号得到发送端发送的原始序列长度。

解比特收集模块按照发送端整块信息位，校验位 1 校验位 2 按位交替的结构将输入信息流经过串并变换分为 3 路，如果其中某些校验比特在编码过程中被删除，那么在校验序列的对应位置以 0 来代替，如果其中某些校验比特被重复，直接舍弃，最后得到 3 路长度为 5444 的序列。

解比特交织模块执行交织模块的逆过程，按照发送端子块交织的逆算法将交织后的数据恢复为交织之前的 3 路数据流。

解比特分离模块将 3 路序列按照首先 5440 的整块信息位，其次两块分别为 5440 长度的校验位 1 和校验位 2 按位交替，最后 12 位比特尾比特的结构将 3 路数据流合并为 1 路，送入 Turbo 译码模块进行迭代译码。

控制系统中的解速率匹配模块是为了实现解重复功能。在 SC-FDE 系统的发送端我们将编码后的 1472 长度的序列重复成 90×2048 的序列，在接收端需要将这些重复序列按照 SC-FDE 系统的帧格式解重复后进行复用，累加在一起后送入 Turbo-Hadamard 译码模块，获得抗干扰增益。

3.4.8 译码

对于 Turbo 码这样的并行级联码，性能优异的根本原因之一是使用了迭代译码，通过软信息在分量译码器之间的交换从而提高了译码性能^[33]，Turbo 译码的结构框图如下图 3-16 所示：

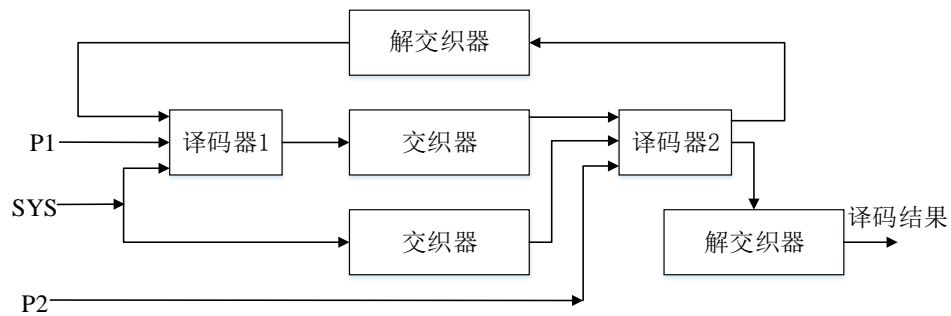


图 3-16 Turbo 译码结构框图

译码器的外部输入分为系统信息位 SYS，校验位 P1，校验位 P2 三路。译码器中的每个分量译码器的输入都包括系统信息、校验信息、以及先验信息，先验信息即另一个分量码译码器生成的外部信息经过交织/解交织之后的 LE 序列。在上图中，分量译码器 1 的输出是对数似然比减去系统信息位和先验信息的结果，因此译码器 1 输出的外部信息与输入的先验信息和系统信息无关，从而可以在交织后作为译码器 2 的先验信息输入，提高译码器的准确性，在第一次迭代阶段，译码器 1 的先验信息可初始化为 0。分量译码器 2 的输出也会减去系统信息位和先验信息位，因此在解交织后可以反馈为译码器 1 的先验信息输入。随着迭代次数的增加，外部信息对于译码性能的提升越来越少，一般在迭代 4~8 次后，外信息，即后验概率比值趋于稳定，最后将译码器 2 的输出经过解交织之后再经过硬判决得到译码输出，送入上位机进行 CRC 校验。

Turbo-Hadamard 码的译码模块总体结构与 Turbo 码译码类似，也是通过外信息在分量译码器之间的交换来提高译码性能。

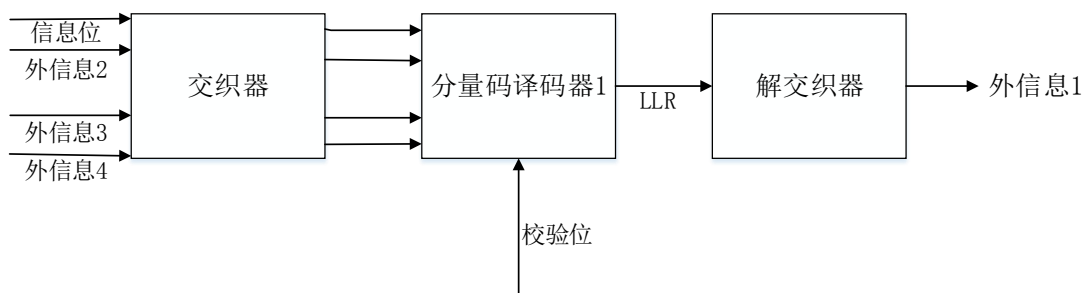


图 3-17 Turbo-Hadamard 译码框图

SC-FDE 系统中权衡了译码复杂度和译码性能，选用了 4 个分量码译码器，在迭代 20 次以上时译码性能不再有明显的提升，分量译码器 1 的结构框图如上图 3-17 所示。对于总模块来说，输入的信息（本系统中）包含 192 长度的信息位， 320×4 长度的校验位，模块内首先对信息位进行 4 路复用后经过交织模块，同时将校验位串并转换，复用之后得到的 4 路信息位和校验位序列会分别送入 4 个分量码译码器，每个译码器的输入还包括其他译码器输出的外信息，所有这些外信息在送入译码器之前要经过一个交织器来保证随机性译码，分量译码器之间采取串行结构。分量译码器的输出可以在交织后作为其他译码器的先验信息输入，提高译码器的准确性。本系统中译码模块迭代 20 次，最后得到的译码器 4 的输出经过硬判决之后得到译码结果，送入上位机进行 CRC 校验。

3.5 控制信道协议设计

本文的设计方案中，业务系统发送端可以选择三种速率，分别对应不同的调制方式和信道编码码率，同时发送端根据已探知的信道干扰情况进行了相应的子载波资源调度，接收端需要根据这些信息来相应的解调，恢复原信息。控制信道就是用来传递这些控制信息的，主要承载以下两种控制信息：

（1）码率指示信号。业务系统中 Turbo 编码和速率匹配的码率为 $1/2$ ， $1/3$ ， $2/3$ 三种，对应的调制方式分别为 16QAM，QPSK，QPSK，那么对应的比特速率分别为 54Mbps，18Mbps，36Mbps，接收端需要根据不同的方案选择对应的接收方案进行解调接收，三种方案的指示信号可以用两比特来完全表示。

（2）下行的子载波调度信息，用于业务系统中下行子载波的正确接收。即告诉业务系统接收端发送的信息分布在哪些子载波上，使接收端可以正确的进行子载波逆映射，恢复原信息。

由 SC-FDE 系统发送端的设计方案可知，发送序列中有用信息包括 1 个 Turbo-Hadamard 码块，总长度为 192 比特，而子载波资源调度信息涉及 2048 个子载波，那么控制信道的协议要考虑一定的信息压缩算法。

码率指示信号包含三种信息，用 2 比特数据便可完全表示，用于子载波资源

分配方案的短码设计是这个协议的难点所在。

本系统中子载波的调度选取主要是为了对抗人为的窄带干扰，因此在频域上窄带干扰的分布不会太多太密集。OFDM 系统的调制带宽为 40.96M，在有人为干扰的情况下假设可用带宽为 30M，假设窄带干扰的带宽不会超过 1MHz，我们将整个系统分为 128 个子带，那么每个子带的带宽为 320KHz，包含 16 个子载波，最坏情况下的窄带干扰包含 3 个子带。考虑到窄带干扰的分布，我们通过传递所有子带的干扰情况来传递子载波调度信息。

接下来分析传递方案所需的比特数。子带数量一共 128 个，可以通过 0/1 比特来指示子带是否被干扰，那么总共需要 128 比特，1 代表该处子带可用且有信息传递，0 代表该子带处有窄带干扰。其余信息比特可以用来区分不同的用户或者来传递其它控制信息。

那么控制信道数据部分帧结构可以设计为：

码率指示信号 (2bit)	子带干扰情况 (128比特)	用户信息或其他控制信息 (62比特)
------------------	----------------	--------------------

图 3-18 子载波调度协议格式

在接收端可以先根据协议规定的数据格式解析出干扰子带的位置，之后解析成对应的受干扰子载波位置，最后依据子载波的干扰情况生成 2048 个 0/1 序列，1 代表子载波上有信息传递，0 代表无信息传递，发送到业务信道中，完成控制信息的传递过程。

3.6 GHG 序列同步方案及仿真结果

同步系统的捕获性能会影响信息的正确接收和系统的误码情况，因此同步系统应该具有高可靠。本文设计方案中，OFDM 系统我们使用子载波映射模块实现了相应的子载波调度算法，实现了躲干扰的功能，但这也带来了系统中实际传递的有效信息的比重下降。本文中将同步功能由控制信道来实现主要基于以下两方面的考虑：

- (1) 低信噪比下同步序列的长度会严重制约通信系统中有效信息所占的比重，降低通信系统的通信效率；
- (2) 为针对窄带的人为干扰，我们进行了相应的子载波调度，只在无干扰或干扰较小的频带上传递信息，而这些调度信息需要通过控制信道来传递，在接收端同步时尚未解析出来，因此会影响同步序列的自相关结果，也会影响同步的结果。

GHG 序列的同步性能仿真使用导频和数据的帧结构设计，帧结构如下：



图 3-19 GHG 仿真系统的帧结构

我们使用上文生成的 16384 点 GHG 序列作为导频，为了消除码间干扰，为每个数据块添加了循环前缀，长度为 32，每一帧包含 20 个数据段，长度为 2048，因此，每一帧的数据长度为 57984。我们使用 QPSK 作为调制信号，I 路和 Q 路均使用此 GHG 序列作为导频，信道选择 AWGN 信道，在 -30dB 信噪比的条件下，进行了仿真实验。

在接收端，信号经过 GHG 滤波器后做归一化处理，再将 I 路和 Q 路的数据进行模方，我们将得到的数据做 4096 点的分段处理。在每段数据中，找到最大值的点，然后用这个点的数据除以其他位置的数据的均值，得到的相对值，再将相对值与相对门限比较，由此判断此点是否为数据帧的起始位置。

以下为 10 帧长度的数据经过滤波器后的相对值示例：

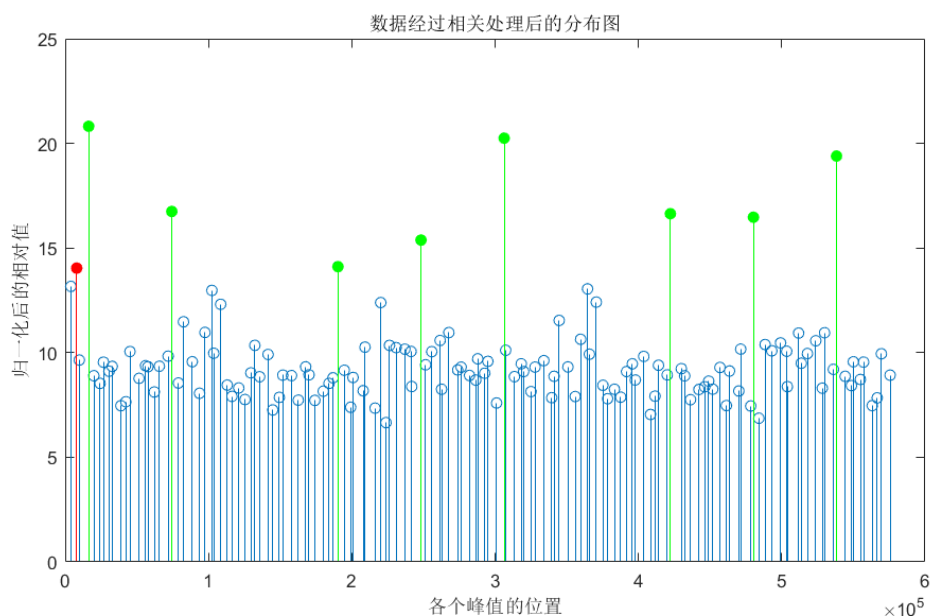


图 3-20 10 帧长度的数据分布图

在此仿真实验中，我们将相对门限值设定为 13.9。上图中，绿色的点表示此位置数据大于相对门限值且此位置为数据帧的起始位置；红色的点表示此位置数据大于相对门限但是此位置不是数据帧的起始位置。

在信噪比为 -30dB 的 AWGN 仿真系统中，经过多次实验，我们得到此系统同步捕获的性能为：虚警概率为 0.1%，漏警概率为 28.1%，正确捕获的概率为 71.8%。

3.7 信道建模和系统仿真结果

3.7.1 莱斯信道仿真实现

本小节在第二章信道仿真模型的原理分析和数学分析的基础上，依据改进型 Jakes 算法，实现了莱斯信道的建模。

我们首先设置多径参数：假设多径数量为 3，每径的功率分配（归一化）分别为 0.6334、0.2433、0.1233，延迟点数分别为 0、4、8。依据公式 2-19、2-20，我们需要产生 3 组长度分别为 10 的 $[-\pi, +\pi]$ 之间的随机数，用于公式中的随机路径增益，随机到达角度，随机初始相位。

依据公式 2-19、2-20，OFDM 系统中每一帧包含 40960 个数据，我们没有对每一点都计算 8 个正弦波叠加生成信道系数，而是将 40960 分成 160 组，生成 160 组 8 个正弦波信号叠加后的值，40960 个信道系数通过 160 个系数插值来实现，简化了实现复杂度。在信号经过仿真信道时，每径信号延迟对应的点数之后复乘对应的信道系数，叠加在一起成为最终的输出信号。

上述设计是针对瑞利分布的信道建模，对于莱斯信道，只需要在瑞利信道正弦波叠加的基础上，叠加一条固定相位的直射路径。例如在本系统中，我们将第一径的 88.9% 的功率用于直射路径，固定相位的值使用之前生成的随机数的其中一个，其余 11.1% 用于普通的正弦波叠加，另外两径的信道系数与瑞利信道的生成方式相同。

3.7.2 系统仿真结果

本节中我们搭建了 OFDM 和 SC-FDE 浮点仿真系统进行算法选择和性能调优，借助 MATLAB 工具对仿真结果进行处理，将不同信噪比下系统的误码率曲线作为系统性能的评估标准。

首先在 AWGN 信道下，我们统计系统的误码率曲线，评估整个系统算法的正确性，其次在 AWGN 和多径信道下通过误码率曲线评估系统的整体性能，之后对比了不同的均衡算法对系统性能的影响。对于 OFDM 系统比较了 LS 算法后未采取平滑去噪、采取平滑去噪、不同的平滑点数对信道估计性能的影响；在 SC-FDE 系统中对比了 LS 信道估计算法中不同的去噪方案对系统性能的影响。

SC-FDE 仿真系统中以 10 帧为单位（即重复有效数据序列在 10 帧范围内重复，可以带来 10db 的增益）。每次仿真过程发送 20000 个数据帧，统计其中的误码情况，仿真结果如下：

(1) AWGN 信道

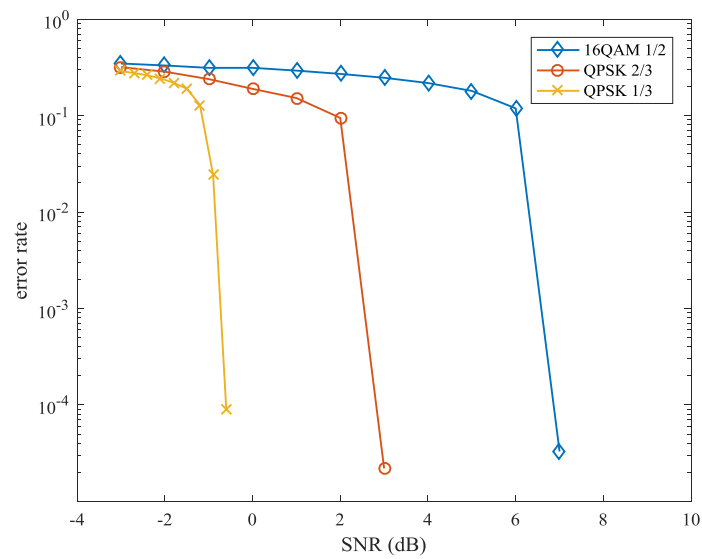


图 3-21 AWGN 信道下 OFDM 系统的误码率曲线

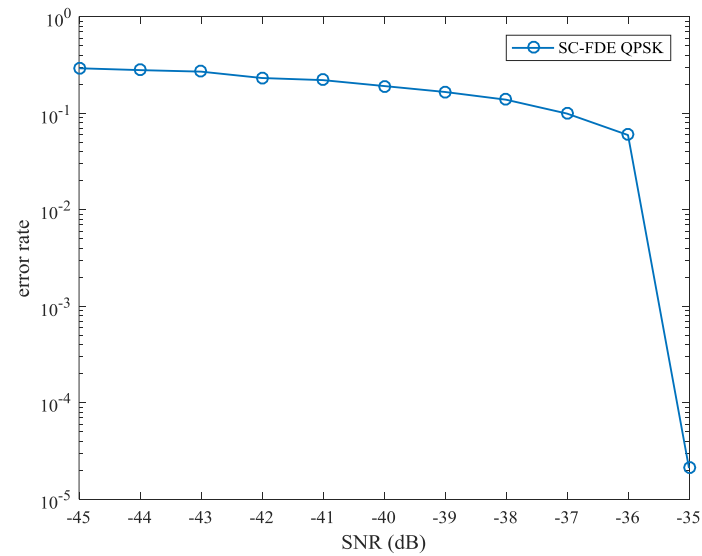


图 3-22 AWGN 信道下 SC-FDE 系统的误码率曲线

(2) 莱斯信道

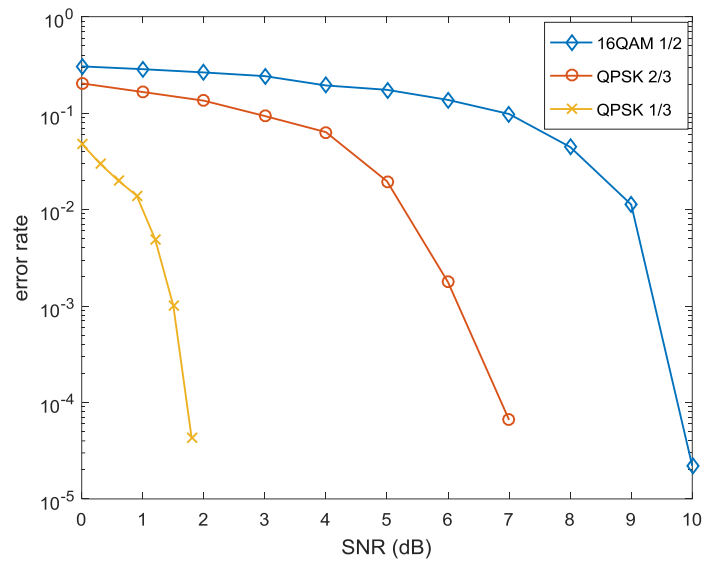


图 3-23 莱斯信道下 OFDM 系统的误码率曲线

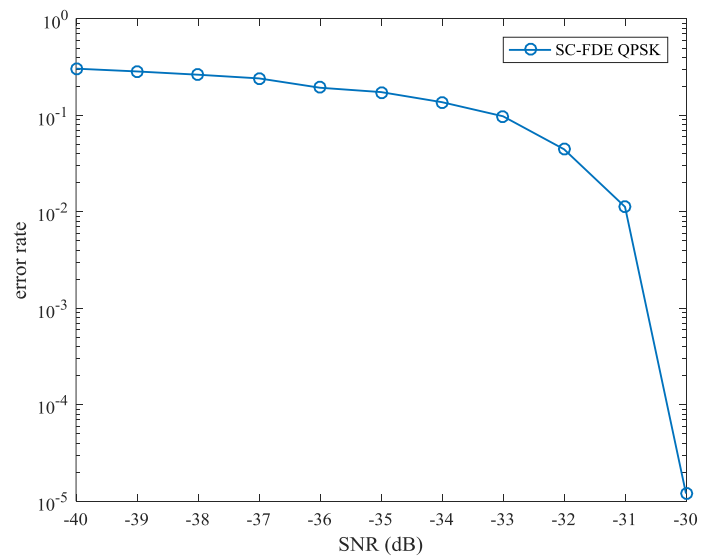


图 3-24 莱斯信道下 SC-FDE 系统的误码率曲线

(3) 信道估计算法

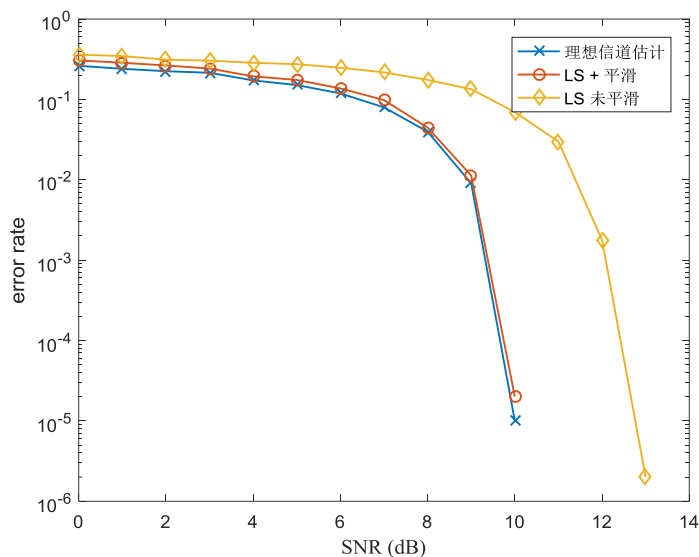


图 3-25 OFDM 系统中 LS 信道估计与理想信道估计

我们在调制方式为 16QAM，码率为 1/2 的 OFDM 系统中对比了理想信道估计，LS 算法和平滑之后的 LS 算法的性能，所谓理想信道估计就是指信道参数完全已知（本系统中仿真信道的系数可以得知），但即使是理想信道估计，由于信道深衰落和 AWGN 的影响，也只是非常接近理想性能。本系统中 LS 算法之后我们对每 15 点系数取了平均，可以平滑噪声的影响，由上图可以看出，平滑噪声后系统的性能有了很大的提升，综合采用 LS 算法、并平滑噪声，使信道估计算法得到了逼近理想信道估计的性能。

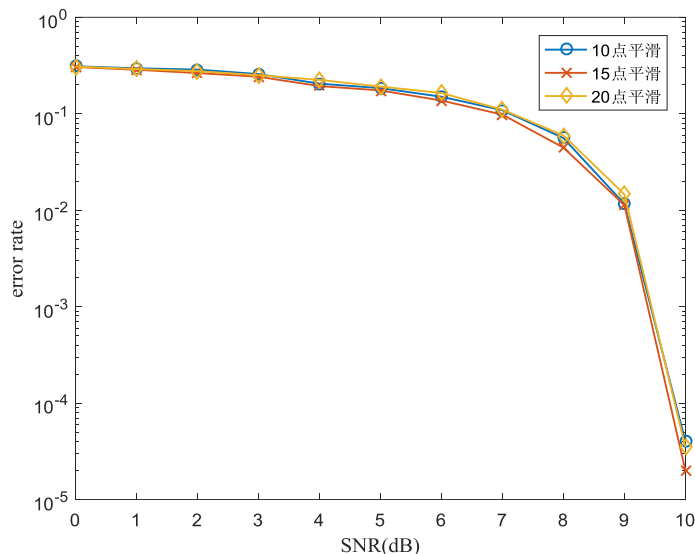


图 3-26 OFDM 系统中 LS 平滑噪声不同平滑点数

对信道系数取平均虽然平滑了噪声的影响，但是也平滑了信道系数的变化，

所以平滑点数的选取非常重要，上图中我们对 10 点、15 点、20 点平滑进行了仿真，最终选取了性能最好的 15 点平滑作为 LS 之后的消噪方案。

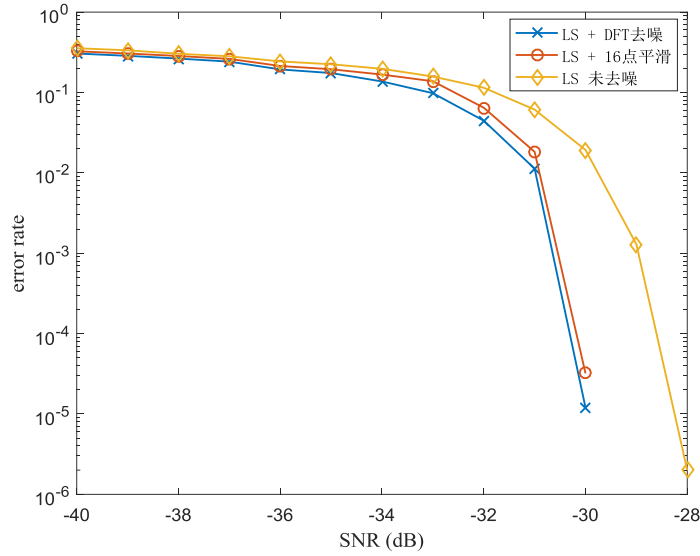


图 3-27 SC-FDE 系统中不同去噪方案

SC-FDE 系统中使用 4 段 2048 点的导频序列进行 LS 信道估计，最后得到的信道系数是 4 次估计的综合值，有效的避免了信道的突发衰落，但还是没有去除噪声的影响，在 OFDM 系统中我们对 LS 之后的信道系数取了平均，平滑了噪声的影响，本系统中我们对比了 16 点平滑去噪和 DFT 去噪的性能。从上图 3-31 可以看出，我们对信道系数做 IFFT 变换到时域进行双重去噪后，系统的性能得到了改善。

(4) 均衡算法

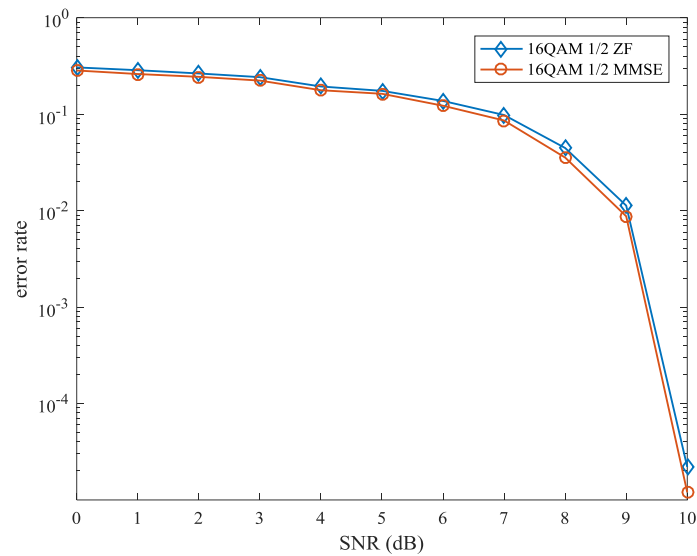


图 3-28 OFDM 系统 16QAM 调制，1/2 码率误码率曲线

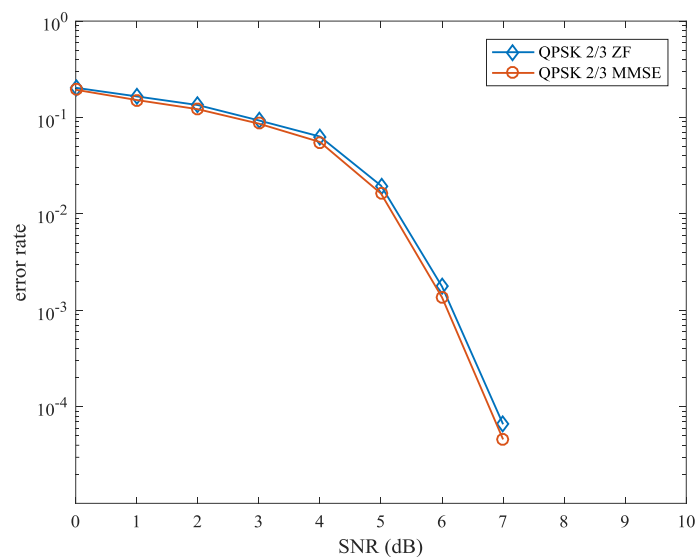


图 3-29 OFDM 系统中 QPSK 调制, 2/3 码率误码率曲线

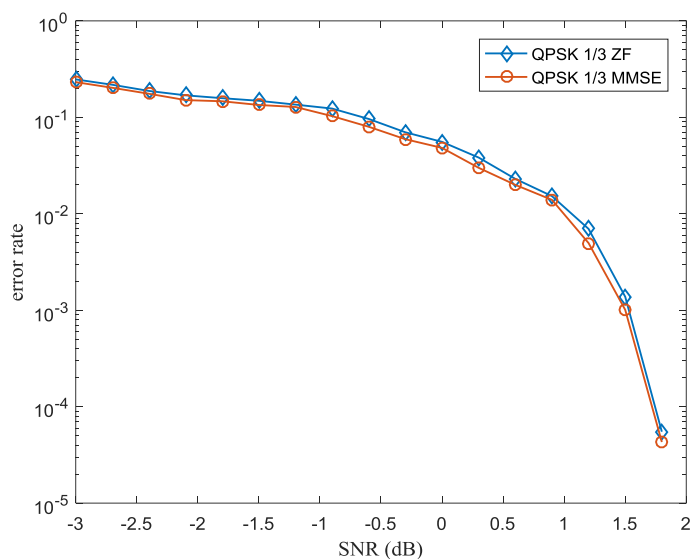


图 3-30 OFDM 系统中 QPSK 调制, 1/3 码率误码率曲线

由业务系统的仿真结果可知, 三种调制方式、码率的系统中使用 MMSE 均衡方式的性能略优于迫零均衡。从实现复杂度上来分析, MMSE 均衡方式考虑了噪声的影响, 软硬件实现的复杂度高于迫零均衡。

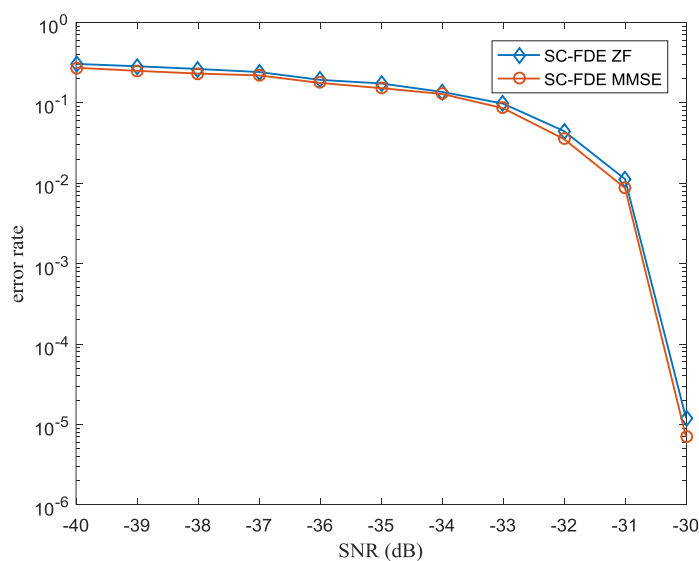


图 3-31 SC-FDE 系统不同均衡算法

由上图 3-31 可以看出，迫零均衡和 MMSE 均衡的性能与 OFDM 系统得到的结果相同，在性能差距可以接受且 MMSE 均衡算法的实现复杂度高于迫零均衡的情况下，我们在两个系统中选取的均衡算法都是迫零均衡。

3.8 本章小结

本章首先介绍了双系统组合传输方案的系统结构，针对实际需求设计了具体的系统参数、帧结构；其次介绍了系统发送端和接收端的设计方案及各个模块的算法原理；针对仿真系统设计了多径信道，进行性能仿真和算法性能对比，根据仿真结果和算法实现复杂度确定了最终的设计方案。其中具体描述了强干扰下导频序列的设计方案，分析了该导频序列的自相关性能；之后针对控制系统实际传递信息的不足，考虑到实际的窄带干扰情况，本章设计了一定的子载波调度信息及其它的控制信息的传输格式。

第四章 组合传输方案 FPGA 实现

现场可编程门阵列（Field-Programmable Gate Array, FPGA）是在可编程阵列逻辑（Programmable Logic Array, PLA）、通用阵列逻辑（Generic Array Logic, GAL）、可编程逻辑器件（Programmable Logic Device）等可编程器件的基础上进一步发展的产物。通过硬件描述语言（Verilog 或者 VHDL）编写的电路设计，可以经过综合和布局，烧录到 FPGA 上进行测试，是目前 IC 设计验证的主流。

本文选择了 Xilinx 公司的 Kintex UltraScale FPGA 开发板作为设计方案的硬件平台，核心芯片的具体型号是 XCKU085，它内部包含 1088325 个 Slice，4100 个乘法器资源，1620 个 36kb 的 Block RAM 资源，1517 个 I/O 引脚数。我们在 Xilinx 公司的电子设计自动化软件工具 Vivado 上进行程序设计，下面对 FPGA 平台上的系统实现进行详细介绍。

4.1 FPGA 系统总体框架

我们参考仿真系统的结构，考虑到 FPGA 实现的问题，对浮点系统中的数据进行了定点量化，对系统中的各算法进行了定点程序实现，比较定点仿真系统和浮点仿真系统的性能差距来调整各个功能模块的代码，最终在性能差距可以接受的情况下以定点仿真平台为参考，采取自顶向下的设计方式，在 FPGA 平台上进行了系统搭建和各个功能模块的 RTL 级开发，发送端和接收端的结构如下图所示：

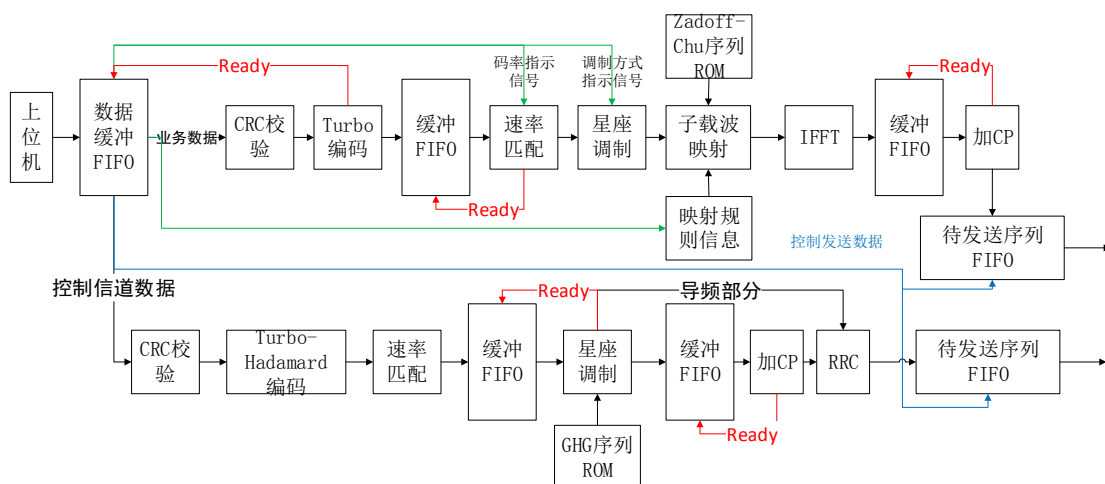


图 4-1 发送端 FPGA 结构框图

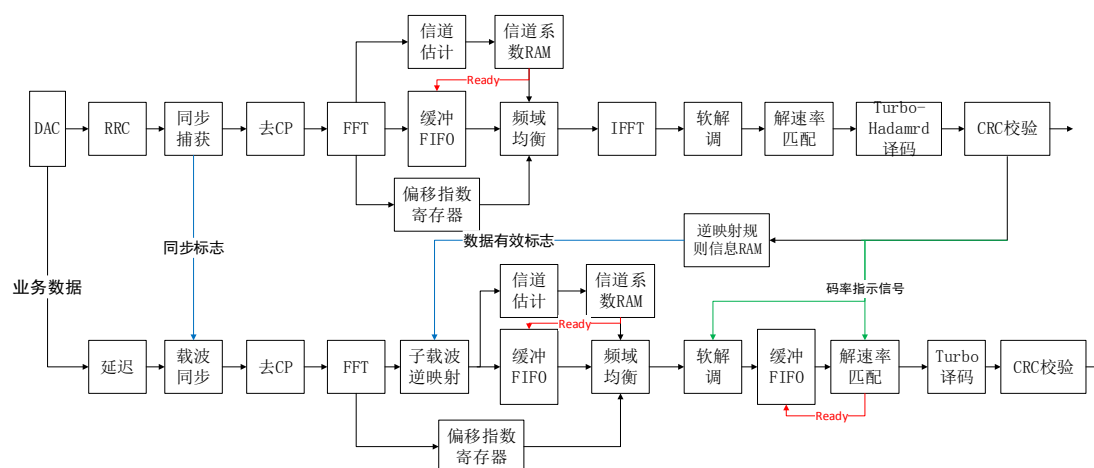


图 4-2 接收端 FPGA 结构框图

控制信道和业务信道的数据在 ARM 中生成，通过 16 比特位宽接口送入 FPGA 的 FIFO 模块进行缓存，发送端从 FIFO 中读取数据进行数字基带调制。

4.2 OFDM 系统发送端 FPGA 实现

4.2.1 CRC 校验模块

CRC 校验最基本的实现方式^[34]是使用寄存器的移位和异或运算实现上述 3.2.1 节的长除法。当校验位的长度为 16 时具体算法实现如下：

(1) 将待添加校验的比特流的前 16 位比特串行输入，存入一个长度为 16 的寄存器；

(2) 若寄存器的最低位（最先输入）值为 1，那么将寄存器右移 1 位（再输入一位比特），再与 16 位 CRC 生成多项式的后 16 位异或；否则再输入一位比特，即寄存器右移一位（不做异或运算）；

(3) 按照步骤 2 的方法顺序输入串行数据流，最后留在寄存器中的 16 位数据即为校验比特值。

上述算法中的第二步是对消息逐位进行处理，这样效率是很低的。可以每输入 8 比特执行一轮异或运算，而实际的异或过程只与当前的消息字节和寄存器的低字节有关。所以可以采取以空间换时间的做法，生成长度为 256 的表（用 ROM 实现，存储 16 位的异或结果），把当前的消息字节和寄存器的低字节异或后的值作为地址，读出 16 位异或结果，再与寄存器的高字节异或。24 位的 CRC 校验生成方式与上述相同，首先定义长度为 24 的寄存器，以 8 比特为单位进行输入，ROM 中需要存储 24 位的异或值，查表后的值与寄存器的高 16 位进行异或。最后留在寄存器的 24 位比特即为校验序列。

根据 3.2.1 节中 Turbo 编码的算法原理，Turbo 编码模块的 FPGA 实现结构如下图 4-3 所示：

图 4-3 Turbo 编码 FPGA 实现结构图

分量编码器的结构为:

图 4-4 递归系统卷机码结构

4.2.3 速率匹配模块

OFDM 系统中速率匹配模块的 FPGA 实现结构如下图 4-5 所示：

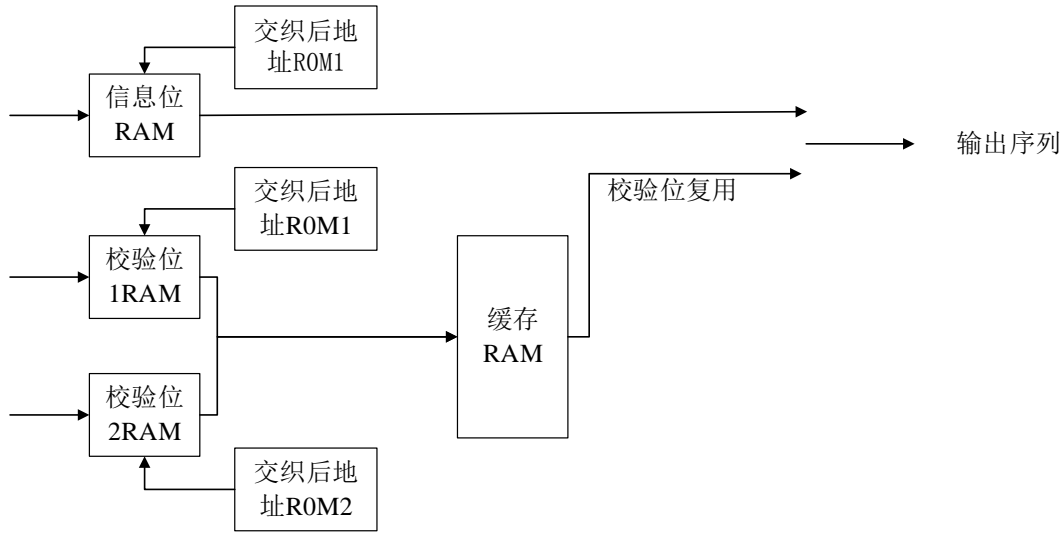


图 4-5 速率匹配 FPGA 实现结构图

速率匹配模块承接 Turbo 编码输出，同时需要输入码率指示信号（由上位机传递），输出相应码率对应的数据序列。

Turbo 编码模块的输出已经分为 3 路，因此速率匹配模块省略了比特分离模块，对于交织模块，考虑到时延问题和算法复杂度问题，我们将交织模块（包含列间置换和行列交织）的输出结果对应的发送序列的地址造数据表，生成 COE 文件存放在 ROM 中，将输入进来的数据按顺序存放在 RAM 中，地址从 28 开始（考虑到算法中的空比特），对于一个 CB 块，存放完毕之后，控制 ROM 的读地址（跳过空比特对应的读地址）开始累加，开始从 ROM 中输出对应的原数据的地址作为 RAM 的读地址，输出 RAM 中对应的数据，也就是交织的结果。

比特收集模块考虑到交织模块的并行输出及整个模块的延时问题，对于信息位的交织结果顺序输出速率匹配模块，同时将校验位 1 和校验位 2 的交织结果按照{校验位 1, 校验位 2}的格式存放在位宽为 2 的 RAM（输入位宽为 2 比特，输出位宽为 1 比特，即输出深度为输入的两倍）中，待信息位输出完成之后，控制输出 RAM 中的校验位。其中 RAM 的读使能由信息位的最后一个输出和码率要求的位数来共同控制，校验位输出模块类似于并串转换，需要一定的时间，所以定义 Ready 信号来控制上级模块发送数据块的时间。

4.2.4 星座调制模块

OFDM 系统星座调制模块承接速率匹配的输出结果，同时需要输入从上位机传来的调制指示信号，也即速率匹配模块的码率指示信号。将调制的结果量化成 9 比特（考虑到 IFFT 模块对数据的放缩）的数据，分别存放在对应的调制方式的 ROM 中，对于输入的比特数据使用对应长度的寄存器进行缓存，用寄存器

的值作为 ROM 的地址读出对应的调制结果。

4.2.5 导频存储模块

OFDM 系统采用 Zadoff-Chu 序列, 在发送端将 1500 长度的导频序列量化成 9 比特 (与调制结果数量级一样) 的定点数据, 存放在一个 ROM 中, 在业务系统发送端导频数据和业务数据并行实现调制, 具体的实现方案我们在加 CP 模块描述。

4.2.6 子载波映射和 IFFT 模块

本模块首先需要考虑子载波规则信息的存储问题, 在 OFDM 系统的发送端, 子载波规则信息由上位机传递下来, 考虑到在一个数据帧中有 19 个 OFDM 符号, 会有循环读取规则信息的需求, 因此我们将规则信息解析成 2048 个 0/1 序列, 存储在一个深度为 2048 的 RAM 中, 其中 1 代表对应频带子载波可用, 0 代表对应频带子载波资源不可用。子载波映射模块需要规则信息和调制之后的数据两路信息, 而子载波规则信息先存储完毕, 待调制模块输出有效数据后, 延迟两个时钟输入规则信息 (以便让数据先写进 FIFO, 避免读写冲突)。在模块内部, 直接将调制结果用 FIFO 进行缓存, 判断子载波规则信息, 为 0 时输出数据 0, 为 1 时从 FIFO 中读取数据, 即将数据映射到可用的子载波上, 规则信息会根据调制数据循环读取。

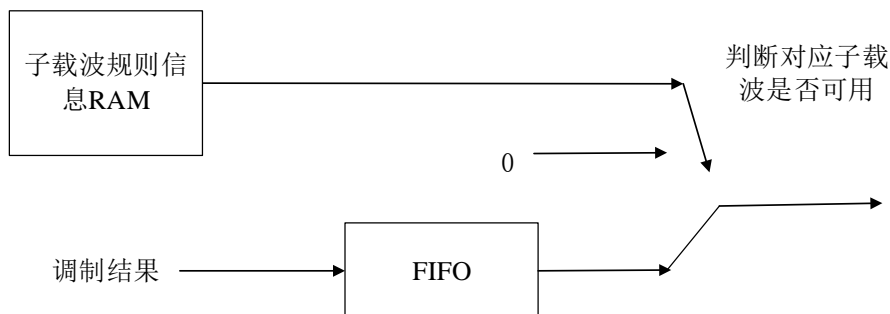


图 4-6 子载波映射 FPGA 实现结构图

IFFT/FFT 的算法依据 Xilinx 的 IP 核 Fast Fourier Transform V5.0, 该 IP 核提供了多种结构, 可以根据用户的需要进行灵活选用。FFT IP 核总共有 4 种结构可以选择, 用户可以在资源占用和需要时间的长短之间灵活取舍:

流水线、Streaming I/O 结构, 占用最多的逻辑资源, 但是允许连续的数据处理;

基 4、Burst I/O 结构, 需要数据导入/导出阶段, 数据的导入和处理是单独进行的;

基 2、Burst I/O 结构, 与上一种结构类似, 使用较少的逻辑资源;

基 2、Lite Burst I/O 结构, 这是一种基于基 2 结构的变体, 它处理数据的时间最长, 但是因为采用了时分复用的方式, 使用了最少的逻辑资源。

在发送端的 IFFT 模块,采用流水线、Streaming I/O 结构,IFFT 长度为 2048,可以进行连续的数据处理。考虑到 IFFT 运算的数据溢出问题,一般情况下,我们需要设置压缩比例表 (Scale_SCH)。而在本文中,IFFT 的输入数据是调制之后的数据,数据范围恒定,因此我们将星座图的数据定点成 9 比特 (仿真得到的 IFFT 之后不会溢出的定点数)。将 9 比特的实际数据映射到 IFFT 的输入端,而 IFFT 的输入和输出分别设置为 14 比特,因此简化了 IP 核的使用复杂度,截位规则可以设置为不截位。

4.2.7 加 CP 模块

OFDM 系统将导频部分加 CP 功能和数据部分加 CP 功能分成两个功能模块,因为二者的数据都需要经过子载波映射和 IFFT 模块,因此对 IFFT 之后的数据利用计数器进行分流。对于前者,一个数据帧中只包括一个导频符号,因此对 I/Q 两路的数据分别使用一个 RAM,对输入进来的数据流进行计数,同时将数据存储在 RAM 中,待计数器累加到 1925 时,将输入进来的数据直接赋值给输出 (同时也存储在 RAM 中),即导频模块的 CP 数据,计数器累加到 2048 时,开始从 RAM 中输入 2048 个导频数据,即输出的数据流是 CP 加数据的结构。

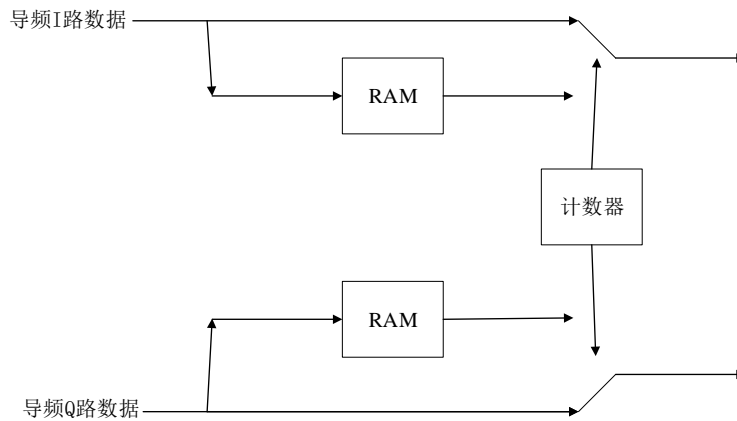


图 4-7 OFDM 导频部分加 CP 结构图

数据部分涉及到 18 个符号,每个符号的 CP 长度为 107。我们对 I 路和 Q 路分别设置双 RAM 以实现输出连续数据。通过 I 路来举例说明,如下图 4-8 所示。假设两个 RAM 分别为 RAM1 和 RAM2,对于每输入进来的 2048 个数据进行轮换写 RAM1 和 RAM2。对于每个数据符号,输出 CP 和数据的时间需要 2155 个时钟,为了实现不间断输出数据的功能,需要接下来符号的计数器刚好累加到 1941 (即下一个符号存储进另一个 RAM1941 个数据),以便接下来输出第二个符号的 CP。也就是说对于输入数据,如果是 2048 个有效数据和 107 个时钟间隔这样的分段数据,我们可以不间断的输出加完 CP 之后的数据。那么需要对 IFFT 之后的数据进行缓存,模块内定义 Ready 信号。Ready 信号在每次输出符号内 CP

的时候拉低，CP 输出完之后拉高，控制数据按照要求分段流入加 CP 模块。

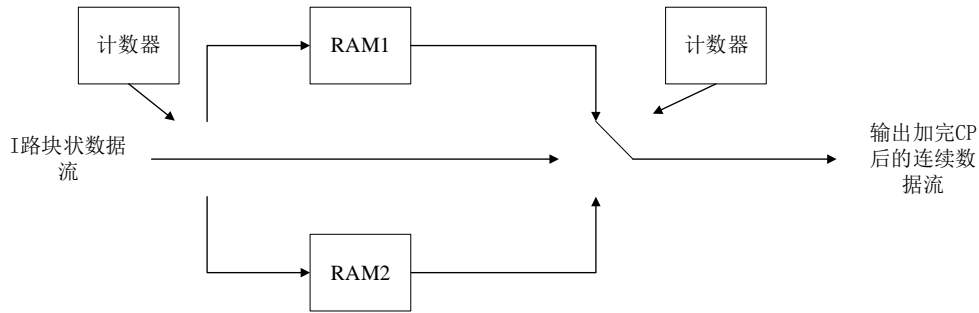


图 4-8 数据部分加 CPI 路结构图

对于导频和数据部分加完 CP 之后的数据(完整的数据流)，我们用 FIFO 功能模块来缓存。对于每一个数据最高位加两比特指示信号，帧头用 10 表示，中间数据用 00 表示，结尾用 01 表示，即送进 FIFO 的数据被封装成 16 比特。由上位机传递指示信号作为 FIFO 的读使能，综合考虑发送端的整体处理流程和时延情况，最终将 FIFO 的深度设为两帧，读出信号的时候去掉两比特指示信号。

4.3 SC-FDE 系统发送端 FPGA 实现

4.3.1 Turbo-Hadamard 编码模块

Turbo-Hadamard 编码模块 FPGA 实现结构如下图 4-9 所示：

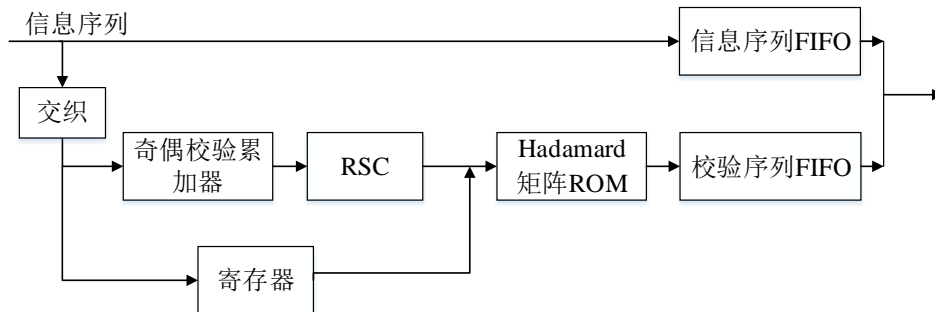


图 4-9 Turbo-Hadamard 编码 FPGA 实现结构图

输入的信息序列一路直接送入缓存 FIFO，另一路串并转换成 4 路信息位序列，分别经过 QPP 交织器，交织器的实现方式和 OFDM 系统相同。交织后的序列每 3 比特又分为两路，一路通过延时寄存器，另一路经过模二累加器、RSC（用状态机实现）后输出一位 Hadamard 矩阵选择信息，将两路信息合为一路 4 比特数据作为 Hadamard 编码信息存储 ROM 的地址。上述 ROM 深度为 16（两个 Hadamard 矩阵），分别存储了 5 位校验位数据，对应的地址为 Hadamard 矩阵选择信息和三位信息位的综合。输出校验位后送入校验序列缓存 FIFO，待全部数据编码完毕之后，先输出信息序列，之后输出校验序列。

4.3.2 速率匹配模块

SC-FDE 系统的速率匹配是为了实现序列重复。模块需要输入编码模块的编码结果，在数据输入阶段（持续 1472 时钟），将输入映射为输出，同时将输入序列存储进 RAM 中，在重复阶段从 RAM 中循环读取，因为读使能和读出的数据会有一个时钟的延迟，所以需要提前一个时钟拉高 RAM 的读使能。在数据输出阶段，定义累加器对输出数据进行计数，控制输出一帧数据，输出的数据直接送入 FIFO 中进行缓存，待导频部分调制完成之后开始输入到调制模块。

4.3.3 导频存储模块

SC-FDE 系统采用长度为 16384 的 GHG 序列，由于 SC-FDE 系统不涉及子载波映射，所以可以将加完 CP 后的导频序列全部存储进 ROM 中，发送端发送时，直接从 ROM 中读出导频序列，送入 QPSK 调制模块。

4.3.4 加 CP 模块

SC-FDE 系统加 CP 模块是对 QPSK 调制之后的数据添加长度为 32 的循环前缀。对于每一帧数据来说，送入加 CP 模块的数据流包括 90 个 FFT 符号，该结构与 OFDM 系统中对数据部分加 CP 模块类似，可参考 OFDM 系统的实现方案。对 I 路和 Q 路分别设置双 RAM 以实现不间断的输出数据，唯一不同的是，对于每个数据符号，输出 CP 和数据的时间需要 2080 个时钟，要求输入输入流是 2048 个有效数据和 32 个时钟间隔这样的分段数据。调制模块和加 CP 模块之间用 FIFO 模块进行数据缓冲，用模块内的 Ready 信号控制从 FIFO 中读取分段数据。

4.3.5 RRC 模块

数字通信系统中，基带信号的频谱一般较宽，为了有效利用信道，在信号传输之前要对信号做成形处理，以改善频谱特性，提高信道的频带利用率。按照奈奎斯特第一准则，最简单的成型滤波器是理想低通滤波器，但其在物理上不可实现，一般情况下我们使用根升余弦滤波器，使理想低通滤波器的边沿缓慢下降。

（1）针对 SC-FDE 系统我们设计了 RRC 滤波器：使用 Matlab 软件的 Filter Design 工具，生成滤波器系数：

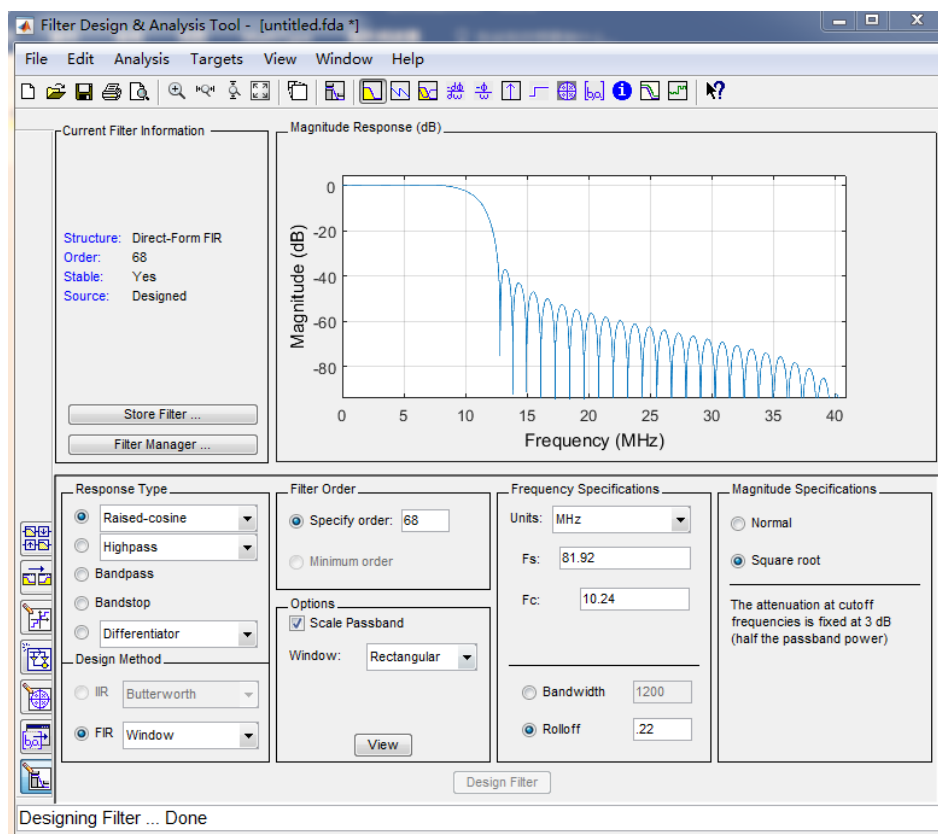


图 4-10 RRC 滤波器参数配置

如图 4-10 所示， F_c 设为 10.24M，采样频率设为 80.92M，窗函数选择矩形窗，滤波器阶数设为 68 阶，滚降系数设为 0.22。Design 后生成 69 个系数，幅度响应如图 4-11 所示：

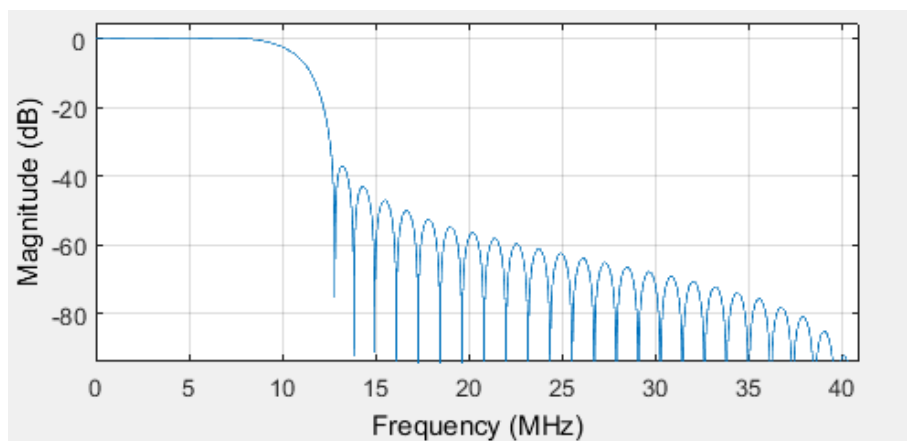


图 4-11 RRC 滤波器的频谱图

(2) 在 Vivado 中生成 RRC 滤波器，调用 FIR 核，将 MATLAB 生成的滤波器系数生成 COE 文件，作为 FIR 核的滤波器系数，最终完成的功能为输入两比特有符号数据，输出 14 比特。

对于 RRC 输出的 14 比特数据，用一个 FIFO 模块进行数据缓冲，在输入的

数据的高位添加两比特帧头帧尾标志（从 FIFO 中输出时去掉），由上位机来控制 SC-FDE 系统和 OFDM 系统发送端在同一时刻输出数据，上变频之后发送到无线信道中去。

4.4 接收端 FPGA 实现

4.4.1 同步捕获模块

定时同步模块分为 4 个功能模块，分别为频偏估计补偿、匹配滤波、同步捕获和同步验证。如图 4-12 所示：

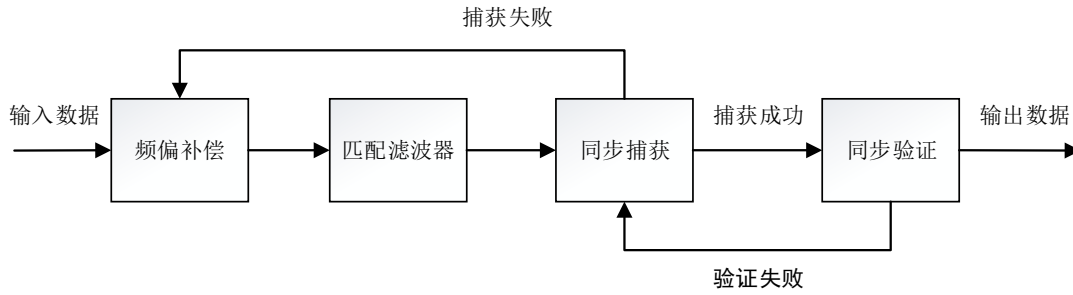


图 4-12 FPGA 平台同步框图

频偏补偿模块对数据的频偏进行估计和补偿。我们使用的晶振频率为 15GHz，实际的频偏在 -7.5~7.5KHz 范围内，ppm 为 1。因此将此范围分为 8 段，分别为 0~2KHz、0~-2KHz、2~4KHz、-2~-4KHz、4~6KHz、-4~-6KHz、6~7.5KHz、-6~-7.5KHz，并行执行频偏补偿操作。8 段频偏补偿的频偏估计从 0 开始，向两边更新，即频偏估计初始值分别为：-6KHz、-4KHz、-2KHz、0、2KHz、4KHz、6KHz。频偏估计值的步进设置为 50Hz，即若同步捕获失败，则将频偏估计值增加或者减少 50Hz。使用 Vivado 的 DDS 核，相位增量值即为频偏估计值，对于 DDS 核，其输出频率 f_{out} ，时钟频率 f_{clk} ，频率分辨率 Δf ，相位累加器中的数据位宽 $B_{\theta(n)}$ 及相位增量 $\Delta\theta$ 的相互关系如下：

$$f_{out} = \frac{f_{clk} \Delta\theta}{2^{B_{\theta(n)}}} \quad (4-1)$$

$$\Delta f = \frac{f_{clk}}{2^{B_{\theta(n)}}} \quad (4-2)$$

根据输入的相位增量，在每个时钟上升沿，输出 $e^{-j\Delta\theta k T_{clk}}$ 对应的正余弦值，分别对 I/Q 两路数据实现频偏补偿。

匹配滤波器的原理图如图 3-15 所示。根据匹配滤波器结构图，我们采用流水的方式进行设计，共 14 级，每一级包含两个加法器和一个移位寄存器。为了节省资源，较长的移位寄存器我们使用 BRAM 实现，较短的直接使用移位寄存

器 IP 核和寄存器实现。每级流水包含三个步骤的操作，分别为从前一级移位寄存器移出数据、加减计算和将结果移入移位寄存器。即前一级流水将结果移入移位寄存器，同时移位寄存器移出数据给本级流水进行加减计算，然后将计算结果移入移位寄存器，下一级流水开始工作。

同步捕获模块用于寻找数据帧的起始位置。将从匹配滤波模块送入的 I 路和 Q 路数据进行模方操作，然后将得到的模值做 4096 点的分段处理。在分段处理时，找到每段数据最大模值点的位置，然后用这个点的模值除以其他所有位置的模值和的均值，得到最大模值相对值，再将相对值与相对门限比较。如果此点的相对值大于相对门限，则判断此点为数据帧起始位置，并从下一帧导频序列的一半位置开始，给定时同步后面的模块送入数据，同时进入同步验证模块；反之则不是数据起始点，继续进行同步捕获操作。若经过两帧长度数据仍无法确定起始位置，则反馈给频偏补偿模块，更新频偏估计值，重新进行频偏补偿后送入同步捕获模块。在同步捕获模块成功同步后，给载波同步模块送入同步标志，业务系统开始往后续模块发送数据。

同步验证模块对同步捕获得到的数据帧起始位置进行“九中取五”验证。即暂时以同步捕获确定的数据帧起始位置作为假定的数据帧同步位置，送入接下来的 9 帧数据，复用同步捕获中的处理逻辑，判断是否有 5 次及以上的结果：此起始点为此点所在分段的 4096 个数据点的最大值。如果一致，则定时同步成功；如果不一致，则反馈给同步捕获模块，重新进行同步捕获操作，并停止向下一模块发送数据。

4.4.2 载波同步模块

OFDM 系统载波同步的 FPGA 实现框图如下图 4-13 所示，整个模块分为 4 部分：数据分流、延时相关累加、载波频偏估计、载波频偏补偿。

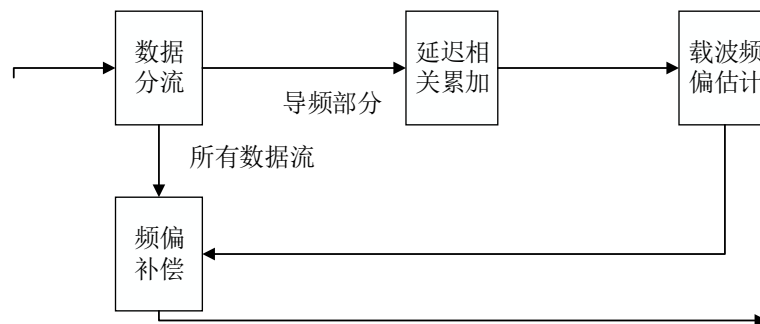


图 4-13 载波同步框图

数据分流模块主要完成将定时同步后送来的信号取出前 122 个点和从 2048 开始的 122 个点（即导频的 CP 和延迟后的 CP），用于作相关累加，同时所有的输入数据都要送入频偏补偿模块，待频偏估计结束后进行频偏补偿（因为计算的时延问题部分数据没有得到补偿）。

延时相关累加将导频 CP 和延迟后的 CP 部分进行相关累加，累加后的值送入频偏估计模块。

频偏估计模块将累加后的值求出补偿因子。具体实现分为两步：一是利用 CORDIC 算法求出 $\text{angle}(r(N))$ ，即相位，将相位值除以 2048，得到相位累加因子；二是利用 DDS 模块输入相位累加因子得到 SIN 和 COS 补偿因子。

最后频偏补偿模块结构与延时相关累加模块类似，实现补偿因子和信号复数相乘。采用 4 个乘法器和 2 个加法器完成一次补偿操作。因为之前 3 个模块的运算时延问题，有几个数据没有得到补偿，分析帧结构可知，这些数据位于 CP 内，将在去 CP 模块内被删除。

4.4.3 去循环前缀和 FFT 模块

去循环前缀模块依据系统设计好的帧结构，对接收到的序列（已同步）去除循环前缀。利用计数器对输入序列进行计数，根据循环前缀所在的位置来决定是否要输出数据。

OFDM 系统 FFT 模块结构采用基 2、Burst I/O 结构、使用块浮点，即在 FFT 核中不设置截位规则，而是在每次 FFT 运算结束之后输出一个偏移指数，代表该块数据的缩放量。因此该模块除了正常的输出数据之外，同时需要输出一个每次 FFT 运算结束之后的指示信号 FFT_DONE 及对应的偏移指数。我们定义了一个位宽为 4、深度为 19 的寄存器，在每次 FFT 运算结束之后，根据 FFT_DONE 信号将偏移指数存储在寄存器对应的位置上，之后将该寄存器的数据输入到均衡模块用于数据对齐。

SC-FDE 系统 FFT 模块采用流水型、Streaming I/O 结构、块浮点定点方式，虽然这种核结构占用最多的逻辑资源，但可以支持连续的数据处理和足够大的数据吞吐率。其输出的偏移指数同样需要寄存器进行存储，之后送入均衡模块用于数据对齐。

4.4.4 OFDM 系统子载波逆映射模块

子载波映射规则信息由控制信道进行传递，在业务信道接收端存储的方式与发送端相同，二者可共用一个 FPGA 模块。相比于发送端，接受端的解映射过程逻辑简单一些，对于每一个 FFT 符号，输入的长度是 2048，而输出 1500 长度的解映射结果，因此不需要 FIFO 进行数据缓存，只要将规则信息与实际数据对齐输入解映射模块，就可以根据规则信息的值（0 或 1）来判断是否应该输出数据。规则信息存储完毕之后（控制信道正确接收），解映射的结果才会发往后续模块。

4.4.5 信道估计模块

信道估计模块采用 LS 算法。以 OFDM 系统为例，对接收序列与发送导频乘加之后对 I/Q 两路分别除以对应的导频的平方，由于 Zadoff-Chu 序列量化之前是

归一化的序列，其 I/Q 两路模方和为 1，即此处的除法便可以通过移位来实现。

FPGA 实现结构如下图 4-14 所示，模块输入接收到的导频数据，将与发送端相同的导频序列存在模块内的 ROM 中，待导频数据输入时开始从 ROM 中输出，二者同时有效时执行乘加操作。分析算法过程可知，LS 算法可以使用乘法器和加法器来实现，之后累加操作通过对乘加之后的数据进行计数来实现，平滑去噪除法操作可以转换为乘法来实现。对于 $1/15$ ，可以将其量化成 6 比特数据（取整为 4），经过乘法器后，再向右位移 6 比特得到除法结果。将得到的 100 个结果存储在 RAM 中，控制读地址在存储完成之后开始累加，每 15 个时钟读地址增加 1，最终输出 1500 个信道系数，在总模块中存储在一个 RAM 内，以待接下来的需求进行循环读取。

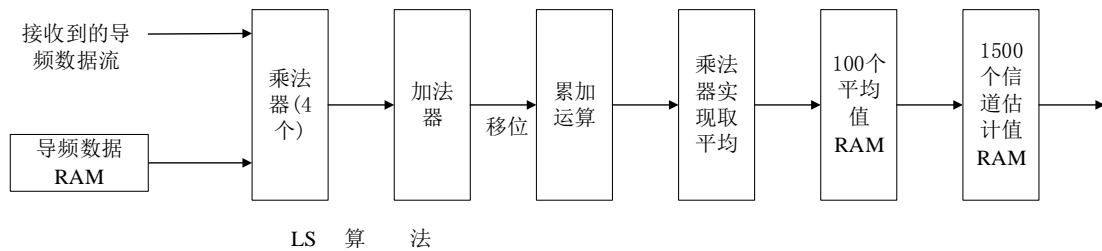


图 4-14 信道估计 FPGA 实现结构

SC-FDE 系统中综合使用了 LS 算法和 DFT 时域去噪，总体的算法流程为：首先通过 LS 算法估计出信道的频域响应，之后通过 IFFT 变换到时域上进行去噪处理，再通过 FFT 变换到频域得到频域信道系数。

第一步的估计阶段我们将 8192 点的导频序列分为 4 段分别进行 LS 估计。首先将与发送端相同的导频序列分段存入不同 ROM 中，对串行输入的数据进行计数，选取对应的导频序列段从 ROM 中读出执行相应的乘加操作。截位后存入深度为 2048 的 RAM 中，不同数据段的导频估计值进行累加，待 4 段数据的估计算法执行完毕后，将每一地址数据模 4 运算（右移两位），得到 2048 点估计值。

第二步的去噪阶段对 2048 点的信道系数估计值进行时域去噪处理，FPGA 实现结构如图 4-15 所示。时域去噪模块前后的 FFT/IFFT 变换使用基 2、Burst I/O 结构、块浮点定点方式，对应的偏移指数进行加减运算。

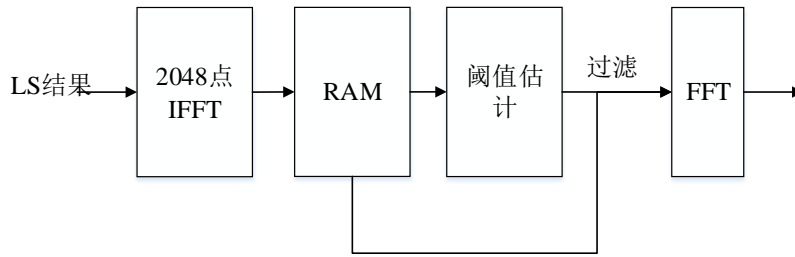


图 4-15 DFT 时域去噪结构图

4.4.6 均衡模块

迫零均衡算法的实现首先考虑输入数据的缓存问题。均衡模块的输入需要信道估计的结果，实际的数据符号和 FFT 的偏移值，信道估计模块运算需要一定的时间，而子载波逆映射模块（OFDM）/FFT 模块（SC-FDE）会不断输出，那么应该对导频之后的数据用 FIFO 进行缓存。待信道估计运算结束后，将数据一起输入均衡模块。

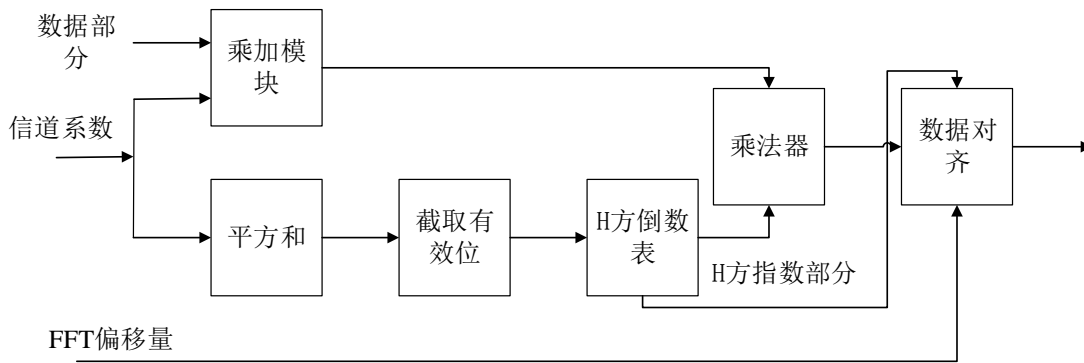


图 4-16 信道均衡 FPGA 实现结构

如上图 4-16 所示，参考迫零均衡算法原理，将公式 3-19 中的分子和分母分成两路并行执行，分子 $Y * H^*$ 用 4 个并行乘法器及接下来的两个加法器实现；对除以 H^2 的操作我们转换为乘法来实现：接收端 D/A 后的数据长度为 14 比特，那么 H^2 范围为 27 比特，我们从 H^2 （正数）的第一个非零位开始截取 11 位有效位（使用后 10 位）来查表，表的地址范围为 0-1023，数据为当 H 等于 1024-2047 时 $1/H^2$ 对应的浮点数量化成 10 比特后的定点值，该表可以用 ROM 来实现。对于 H^2 的比特范围可以分为 3 部分，第一部分为符号标志，第二部分为我们截取的 11 位比特，第三部分数据的位宽可以理解为 H^2 的指数位，该指数位和 FFT 的偏移指数之后一起执行数据对齐的计算操作。分母部分的数据处理会相对时延比较高，因此使用寄存器对分子部分的运算结果进行延时寄存，将延时后的值和 $1/H^2$ 的计算结果送入最后一个乘法器。

最后对结果进行数据对齐和截位。FFT 的偏移指数相当于对数据进行了缩放， H^2 的查表操作也相当于对数据进行了缩放，不同的 FFT 块偏移指数和 H^2 的指数

部分会导致实际定点数据的权值不同，因此需要对这些指数进行加减操作。将对应的数据右移加减操作的结果对应的位数（结果为负时相当于向左移），最后将数据截位成 14 比特输出均衡模块。之后软解调模块的算法需要 H^2 有效位的值及对应的指数部分，即均衡模块的输出数据还包括 H^2 有效位的值及对应的指数部分。

4.4.7 软解调模块

实际调制过程中，我们将数据量化成了一定的比特值，因此在接收端需要在仿真程序中统计数据的范围来确定实际接收到的星座图范围。在 FPGA 系统中，我们不关心数据的绝对大小，需要关注的是所有数据应该有相同的量化级数。对于 H^2 来说，由之前的均衡模块可知，送进来的数据为截取后的 11 位比特值，因此在软解调的算法中，需要左移对应的指数因子将数据对齐。最后分析解调后数据的范围，做出一定的饱和处理，将数据截取成 8 位有符号数送入下一模块。

4.4.8 译码模块

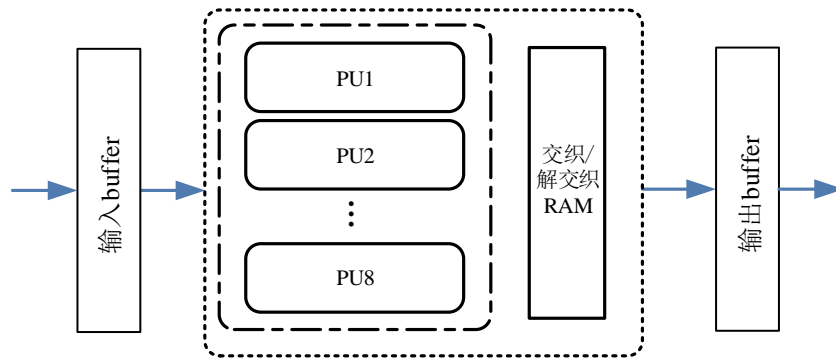


图 4-17 Turbo 译码结构图

Turbo 译码的 FPGA 实现框图如上图所示：Turbo 并行译码器主要包含输入缓冲模块、并行 PU 模块、交织/解交织模块和输出缓冲模块^[35]。输入输出缓冲模块用于串并与并串转换并实现乒乓操作以提高吞吐量。交织/解交织模块用于实现交织器和解交织器功能。8 个并行的 PU 模块将数据分为 8 段进行并行译码。

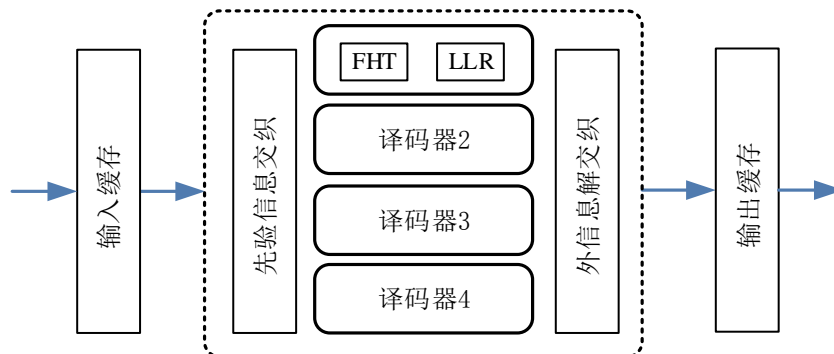


图 4-18 Turbo-Hadamard 译码结构图

Turbo-Hadamard 译码采用全串行译码，FPGA 实现框图如上图所示。其中

输入缓存模块将信息位序列分为 4 路分别存入交织结果对应的 RAM 中，将校验位序列串并转换进行缓存（RAM）；每个译码器的输入包括校验位、交织后的信息位、交织后的其余 3 路先验信息，首先对每 8 比特（3 位信息位，5 位校验位）数据进行快速哈达玛变换（FHT）计算中间结果，在 LLR 计算模块得到 LLR 信息，存入解交织 RAM 中，待块数据计算完成之后，输出先验信息，与其它先验信息一起经过交织 RAM，接下来进行下一次分量码译码。

4.5 资源使用情况

表 4-1 组合方案资源使用情况

	Resource Utilization on Xilinx KU085			
	Slice	I/O	DSP48	BRAM(36kb)
资源使用情况	43024	259	361	385
可用资源	1088325	1517	4100	1620
占用率(%)	4.0	17.1	8.9	23.8

本文设计的基于 FPGA 的组合传输方案的整体硬件资源消耗如表 4-1 所示。其中，Slice 资源使用 43024 个，占总 Slice 资源的 4.0%；I/O 资源使用了 259 个，占总的 I/O 资源个数的 17.1%；DSP48 资源使用了 361 个，占总的 DSP48 资源的 8.9%；36Kb 大小的块 RAM 资源使用了 385 个，占总的块 RAM 资源的 23.8%。

4.6 本章小结

本章完成了基于 FPGA 的双系统组合传输方案的硬件实现。以浮点仿真系统确定的最终方案为参考，首先搭建了系统的总体框架，之后在 ViVado 平台上对各个模块做了 RTL 级的实现，其中详细阐述了控制系统负责的双系统同步的工作原理及子载波调度等信息的传输方案，最后分析了整个系统使用的资源情况。

第五章 总结和展望

5.1 工作总结

随着通信技术的不断发展和成熟,未来的信息化战争在抗干扰、信息速率、安全性等方面对军用通信系统的性能提出了更高的要求。正交频分复用(OFDM)系统和单载波频域均衡(SC-FDE)系统是宽带无线通信系统中有效抵抗多径衰落的两种实现方式,其中 OFDM 系统在频谱成形方面具有单载波传输无法匹敌的优势。本文综合考虑了两种传输技术的优势及其不足之处,将控制信息和业务信息相分离,分别通过控制信道(SC-FDE)和业务信道(OFDM)进行传递,设计并实现了一种综合 SC-FDE 技术和 OFDM 技术的组合传输方案。

论文的主要工作内容包括:

(1) 首先研究了 OFDM 技术和 SC-FDE 技术的基本原理和数学实现,分析了两种技术各自的优势及不足之处,针对实际的通信需求设计了合适的系统参数和帧格式,在 Visual Studio 平台上搭建了 OFDM 系统和 SC-FDE 系统的仿真系统,仿真了多径信道,通过各算法下系统的性能和算法复杂度进行算法选择,确定了最终的系统设计方案。

(2) 针对双系统的协同工作进行了方案设计。考虑到军用通信中的人为窄带干扰,利用 OFDM 技术的多路并行传输机制执行相应的子载波资源调度从而实现躲干扰功能,利用控制信道传递业务信道实际使用的子载波信息和调制方式、码率等信息,针对实际的窄带干扰情况设计了控制信道的传输协议;针对系统在很低信噪比下的通信性能问题,设计了一种自相关性很强的导频序列,并在-30DB 信噪比的条件下进行了同步性能仿真验证,结果表明具有良好的同步捕获性能,利用此同步序列设计了双系统接收端的同步捕获方案。

(3) 在组合传输方案的设计基础上,以仿真系统的结构及各个功能模块为依据,采取自顶向下的硬件设计方式,首先搭建了系统的总体框架,确定了各个功能模块及模块间的数据流向,之后使用 Verilog 编程语言在 ViVado 平台上对各个模块做了 RTL 级的实现,最终在 FPGA 平台上实现了数字基带通信系统并进行了功能验证和资源分析。

5.2 展望

在完成上述工作内容的基础上,本文在此提出以下几个有待研究和改进的方向:

(1) 控制系统中采取的 Turbo-Hadamard 编码码块长度为 192，其中使用了 4 个分量码编码器，是综合了实现复杂度和性能之后所采取的方案，而实际过程中我们发现，更详细、更精确的子载波调度信息需要更多的信息比特数或更高效的信息压缩算法，由于时间问题本文只是针对实际可能的窄带干扰进行了子带干扰信息传递。

(2) 本文设计的导频插入方式依据时间上变化比较缓慢的多径信道，块状导频可以使信道估计得到全频带的信道情况，而面对时变性很大的无线信道时就需要采用更全面的导频插入方式，如在时、频域均离散的导频设计。

(3) 可以采取更精确的信道估计和信道均衡算法，本文在实现复杂度和性能之间做出了权衡，在资源允许的情况下，可以采取复杂度更高，性能更好的估计、均衡算法，如 MMSE、LMS、压缩感知信道估计，最大似然 (ML) 均衡等。

参考文献

- [1] 张丙峰. 基于宽带无线信道的多载波调制理论与技术研究[D]. 山东大学, 2008.
- [2] 赵亚红, 李伟华, 吴伟陵. 正交多载波调制 (OFDM) 技术及其应用[J]. 电讯技术, 2001(1):92-95.
- [3] 王保财, 王佩. 可视化 OFDM 通信仿真系统的设计与实现[J]. 计算机与信息技术, 2012(2):45-48+51.
- [4] 严添明. 浅谈 OFDM 原理及其应用[J]. 西部广播电视, 2004(2):14-18.
- [5] 黄震亚, 管云峰, 孙军. 无线信道中的单载波频域均衡技术研究[J]. 通信技术, 2007(4):1-3.
- [6] 姜涛. OFDM 技术及其在无线信道中应用[J]. 现代电子技术, 2006, 29(21):20-22.
- [7] Czylik A . Comparison between adaptive OFDM and single carrier modulation with frequency domain equalization[C]// IEEE Vehicular Technology Conference. IEEE, 1997.
- [8] Cabric D , Mishra S M , Brodersen R W . Implementation issues in spectrum sensing for cognitive radios[M]. 2004.
- [9] 刘田. OFDM 同步算法研究[D]. 江西理工大学, 2012.
- [10] 王远哲, 杨伟超. 正交频分复用技术 OFDM 原理及其技术研究[J]. 科技创新导报, 2007(29):19-20.
- [11] 董伟杰, 王琼. 基于 IEEE802.11g 的 OFDM 系统峰均比降低方法[J]. 电视技术, 2008, 32(7):60-62.
- [12] Schafhuber D , Matz G , Hlawatsch F . Pulse-shaping OFDM/BFDM systems for time-varying channels: ISI/ICI analysis, optimal pulse design, and efficient implementation.[C]// IEEE International Symposium on Personal. IEEE, 2002.
- [13] Rupp M . Limited Feedback in OFDM Systems for Combating ISI/ICI Caused by Insufficient Cyclic Prefix Length[C]// Conference on Signals, Systems & Computers. IEEE, 2015.
- [14] 崔璐. 单载波频域均衡 (SC-FDE) 技术的研究[D]. 西安电子科技大学, 2009.
- [15] 李成杰, 裴峥. 无线信号服从瑞利分布的验证方法[J]. 通信技术, 2009, 42(5):51-53.

- [16] 张敏. Clarke 模型仿真系统设计与实现[J]. 湖南邮电职业技术学院学报, 2006, 5(4):17-21.
- [17] Zheng Y R , Xiao C . Simulation models with correct statistical properties for Rayleigh fading channels[J]. IEEE Transactions on Communications, 2003, 51(6):920-928.
- [18] Dent P , Bottomley G E , Croft T . Jakes fading model revisited[J]. Electronics Letters, 1993, 29(13):1162-1163.
- [19] 夏喆, 朱晓明, 张海涛. 改进型 JAKES 模型在 OFDM 系统中的仿真[J]. 电子科技, 2007(12):12-16.
- [20] 李晓珍, 苏建峰. 循环冗余校验 CRC 算法分析及实现[J]. 中国科技信息, 2010(13).
- [21] Berrou C, Glavieux A, Thitimaishima P. NEAR SHANNON LIMIT ERROR-CORRECTING CODING AND DECODING: TURBO-CODES(1)[C]// Icc 93-ieee International Conference on Communications. 2002.
- [22] 王视环, 宋荣方. QPP 交织器的性能分析[J]. 吉林大学学报(信息科学版), 2010, 28(3):219-224.
- [23] 李小文, 王振宇. TD-LTE 系统 Turbo 速率匹配算法及 DSP 实现[J]. 电子技术应用, 2012, 38(5):52-55.
- [24] Mansour M M. Optimized Architecture for Computing Zadoff-Chu Sequences with Application to LTE[C]// Global Telecommunications Conference. 2009.
- [25] 张洋祥, 易玉燕, 韩鹏. 具有认知干扰躲避能力的 MC-CDMA 系统[J]. 电子技术应用, 2009, 35(7):116-118.
- [26] Ping L , Leung W K , Wu K Y . Low-rate turbo-Hadamard codes[J]. IEEE Transactions on Information Theory, 2003, 49(12):3213-3224.
- [27] 牛凯, 王双全, 吴伟陵. 一种新颖的 W—CDMA 主同步信道匹配滤波器[J]. 电子学报, 2002, 30(10):1474-1476.
- [28] Van d B J J , Sandell M , Borjesson P O . ML estimation of time and frequency offset in OFDM systems[J]. IEEE Transactions on Signal Processing, 1997, 45(7):1800-1805.
- [29] Beek J J V D , Edfors O , Sandell M , et al. On Channel Estimation in OFDM Systems[C]// Vehicular Technology Conference. IEEE, 1995.
- [30] Edfors O , Sandell M , Beek J J V D , et al. Analysis of DFT-Based Channel Estimators for OFDM[J]. Wireless Personal Communications, 2000, 12(1):55-70.

- [31] Gupta B , Gupta G , Saini D S . BER performance improvement in OFDM system with ZFE and MMSE equalizers[C]// International Conference on Electronics Computer Technology. IEEE, 2011.
- [32] 张红霜. LTE 系统中的软解调研究[J]. 电子测试, 2010(6):6-9.
- [33] 张帆, 吴军基. Turbo 编码的 OFDM 系统研究与仿真[J]. 工业仪表与自动化装置, 2006(5):71-73.
- [34] 顾文斌, 王怡, 马莉. 基于 FPGA 的 CRC 算法的实现[J]. 计算机与现代化, 2008, 2008(5):111-113.
- [35] 张倩. LTE 高速 Turbo 码译码器设计与仿真[D]. 北京邮电大学, 2011.
- [36] 田耘, 徐文波, 胡彬. Xilinx ISE Design Suite 10.x FPGA 开发指南.逻辑设计篇[M]. 人民邮电出版社, 2008.
- [37] 何宾. Xilinx FPGA 设计权威指南:vivado 集成设计环境[M]. 清华大学出版社, 2014.

致谢