



## 本科实验报告

课程名称：数字逻辑设计

姓 名：于振云

学 院：计算机科学与技术学院

系：

专 业：计算机科学与技术

学 号：3150103978

指导教师：施青松

2016年 12月 6日

# 浙江大学实验报告

课程名称： 数字逻辑设计 实验类型： 综合

实验项目名称： 锁存器与触发器

学生姓名： 于振云 专业： 计算机科学与技术 学号： 3150103978

同组学生姓名： 汪砚戎 指导老师： 施青松

实验地点： 东 4-509 实验日期： 2016 年 11 月 30 日

## 一、实验目的和实验环境

### 实验目的

1. 掌握锁存器与触发器构成的条件和工作原理。
2. 掌握锁存器与触发器的区别。
3. 了解静态存储器 SRAM 存储单元结构。
4. 掌握基本 RS 锁存器的基本功能与使用要点。
5. 掌握 RS、D 触发器的基本功能及基本应用。

6. 掌握集成触发器的使用和异步清零的作用
7. 了解用 D 触发器实现分频电路;
8. 了解用 D 触发器构成单稳态电路(开关去抖动)。

实验环境

实验设备

1. 计算机(Intel Core i3 以上,1GB 内存以上)系统
2. SWORD Board 开发板
3. Xilinx ISE12.4 及以上开发工具

材料

无

## 二、实验任务

实验任务

1. 用原理图实现 RS 锁存器并仿真验证;
2. 实现门控 RS 锁存器、D 锁存器并仿真验证;
3. 用 RS 锁存器实现 RS 主从触发器并仿真验证;
4. 用 D 锁存器和用 RS 锁存器实现主从 D 触发器并仿真验证;
5. 用原理图实现维持阻塞型 D 触发器;

## 6. 触发器物理测试

### 三、实验原理

什么是锁存器

锁存器三个基本条件

能长期保持给定的某个稳定状态;

有两个稳定状态,“0”、“1”;

在一定条件下能随时改变状态

即:set

置“1”或 reset 置“0”。

最基本的锁存器有 R-S 锁存器和 D 锁存器

用反向门互锁:实现长期保持稳定状态

使能(enable)NAND 或 NOR 可实现

破坏互锁实现 set 或 reset

禁止(disable)

NAND 或 NOR 可实现

只有二个状态

最基本 RS 锁存器

RS 锁存器包括两种结构，其一是 NAND 结构 RS 锁存器，另外一种是 NOR 结构 RS 锁存器。它们的控制正负逻辑相反，但是原理上还是比较类似的。

在 RS 锁存器的基础上还可以增加电平使能的功能。这和以往的使能控制比较类似了，就不赘述了。

主从 RS 触发器

锁存器存在的问题

锁存器的输出端可以直接反应出输入端的数据

在时序电路存储状态时出现“空翻”无法控制

解决思想:切断回路,同步变化一次→触发

主从触发器

用使能信号控制回路,切断直接通路

边沿触发器

维持阻塞型边沿触发器(正边沿)

D 触发器应用:分频电路

多个触发器一维调用(串联)

D 触发器应用:单稳态电路

#### 四、实验操作与实现

本次实验当中总共需要设计两个工程。

设计工程一:Locker

◎ 设计 RS 锁存器

㊦ 用与非门实现并仿真验证

㊦ 增加使能控制并仿真验证

◎ 设计电平控制 D 锁存器

㊦ 调用 RS 锁存器实现并仿真验证

◎ 此工程不下板做物理调试和验证

设计工程二:Trig

◎ 设计 RS 主从触发器

㊦ 调用工程一 RS\_EN 锁存器实现

㊦ 仿真并物理验证

◎ 设计 D 主从触发器(接近边沿功能)

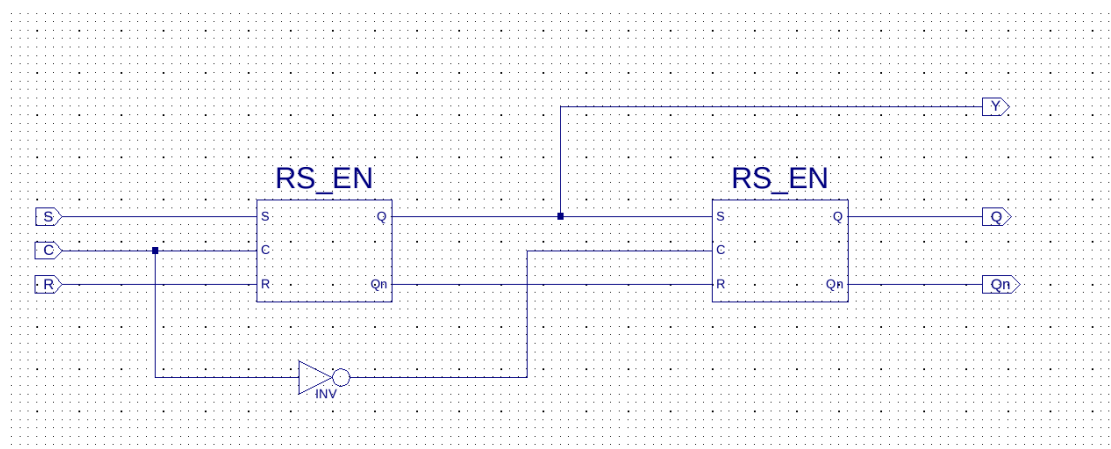
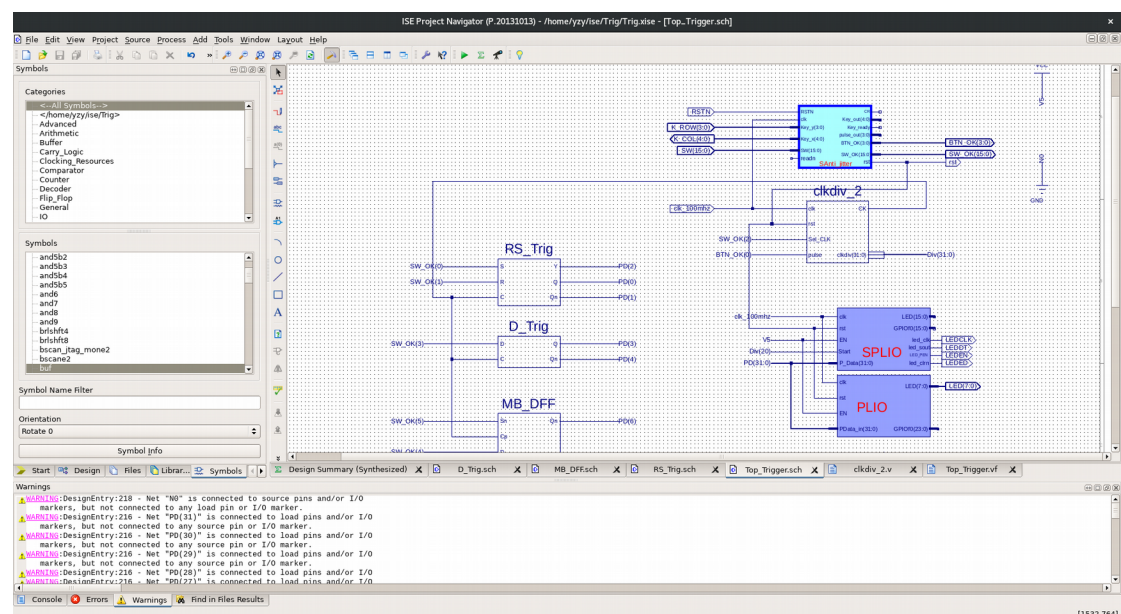
调用工程一 D\_EN 和 RS\_EN 锁存器实现

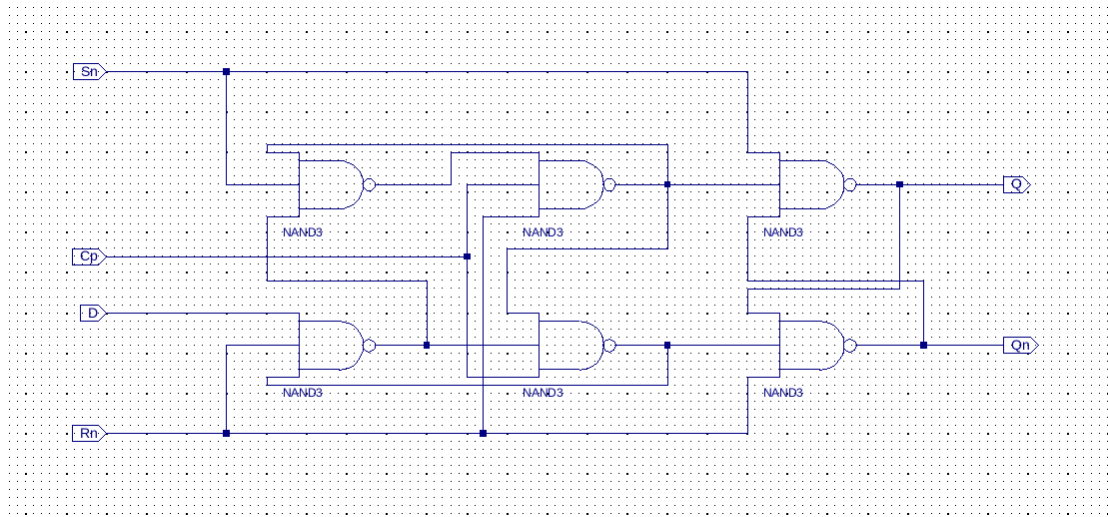
仿真并物理验证

设计维持阻塞型正边沿 D 触发器(习题 5-3)

仿真并物理验证

两个工程的部分截图我将附在报告内。工程会打包一起提交。





```

module clkdiv(

    input wire clk,

    input wire rst,

    output reg[31:0] clkdiv

);

    always @ (posedge clk or posedge rst) begin

        if (rst) clkdiv <= 0;

        else clkdiv <= clkdiv + 1'b1;

    end

```



endmodule