

تمرین درس FPGA – سری چهارم

دکتر شریفیان

۱۹ آبان ۱۳۹۸

۱. ماژول توصیف شده در زیر که فیلتر **Moving Average** را بر روی سیگنال پیاده‌سازی می‌کند، طراحی کنید.

پورت‌های ورودی ماژول به شرح زیرند:

• start: 1 bit

• clock: 1 bit

• reset (synchronous): 1 bit

• In_Signal: 16 bit

دو مقدار n و m که به ترتیب، طول مجموعه سیگنال‌های ورودی و طول پنجره فیلتر هستند، به صورت Generic تعریف می‌شوند. پورت‌های خروجی نیز به شرح زیر هستند:

• done: 1 bit

• max_val: 16 bit

• min_val: 16 bit

• Out_Signal: 16 bit

در این ماژول سیگنال start به صورت پیش‌فرض مقدار High دارد. با دیدن یک پالس کامل Low در start (ابتدا لبه پایین‌رونده و سپس لبه بالارونده) ماژول در لبه بالارونده n کلاک بعدی، n عدد ۱۶ بیتی از پورت In_Signal می‌خواند.

مقدار Out_Signal نتیجه اعمال فیلتر Moving Average با طول پنجره m به سری اعداد ورودی خوانده شده است.

مقدار خروجی فیلتر Moving Average با طول پنجره m به سیگنال x به صورت زیر تعریف می‌شود:
(i شمارنده تعداد اعداد دریافتی است. i بین 0 تا n-1)

$$y[i] = \frac{1}{m}(x[i] + x[i-1] + x[i-2] + \dots + x[i-m+1])$$

$$\Rightarrow y[i] = \frac{1}{m} \sum_{j=0}^{m-1} x[i-j]$$

بنابراین در لبه بالارونده n تا کلاک، ضمن دریافت مقدار سیگنال از پورت ورودی، سیگنال فیلترشده نیز در پورت خروجی قرار می‌گیرد. در پایان دریافت هر n مقدار، در لبه بالارونده کلاک بعدی، ماکزیمم و مینیمم مقادیر ورودی بر پورت‌های متناظر خروجی قرار می‌گیرند و done، 1 می‌شود. در کلاک بعد از آن نیز done دوباره 0 خواهد شد و منتظر رسیدن پالس Low بعدی start می‌شویم.

توجه:

- می‌توانید از کتابخانه numeric_std استفاده کنید.
- reset را به صورت سنکرون به صورتی تعریف کنید که مدار با ریست شدن، به حالت انتظار برای پالس کامل Low سیگنال start بازنشانی شود.
- برای m-2 داده اول، مقادیر گذشته سیگنال ورودی ($x[i < 0]$ ها) در فرمول داده شده را 0 در نظر بگیرید.

۲. **امتیازی*:** در این بخش باید یک تقسیم‌کننده فرکانس کلاک طراحی کنید. این ماژول ضمن دریافت یک کلاک ورودی و پارامتر n به صورت Generic یک کلاک خروجی با فرکانس $\frac{1}{n}$ برابر تولید می‌کند. یک reset آسنکرون برای این ماژول به نحوی در نظر بگیرید که مقدار شمارنده را به صفر بازنشانی کند.

توجه: دقت کنید که در این ماژول، کلاک خروجی تولید شده باید متقارن باشد (duty_cycle = 0.5). برای این کار نیاز است که شمارش با هر دو لبه پایین‌رونده و بالارونده کلاک ورودی صورت گیرد. کد نمونه شمارش با هر دو لبه کلاک ورودی در کانال تلگرام قرار گرفته‌است و می‌توانید با اصلاح آن ماژول خود را تعریف کنید. توضیح کامل عملکرد باید در گزارش آورده شود.
در صورت متقارن نبودن کلاک خروجی نمره امتیازی تعلق نمی‌گیرد.

با استفاده از indent و نام‌گذاری مناسب برای متغیرها، سعی کنید کد خود را تمیز بنویسید. در فایل تست بنچ، حتما مقادیری که به ماژول اصلی می‌دهید تا تست شود، به صورت کامنت بنویسید تا درستی عملکرد ماژول مشخص باشد.

تحويل این سری تمرین تنها از طریق سامانه courses.aut.ac.ir صورت می‌گیرد و باید پاسخ خود را در همین سامانه آپلود کنید.

فایل ارسالی باید حتما یک فایل rar یا zip با نام به فرمت زیر باشد:

StNum_HW#_FPGA.rar

که در آن StNum شماره دانشجویی شما و # عدد سری تمرین است. در ایمیل ارسالی نیز به همین ترتیب موضوع HW#_FPGA درج شود.

مهلت تحويل: ساعت ۱۲ ظهر چهارشنبه ۲۷ آذر ۹۸