

طراحی پردازنده کامپیوتر

* بخش اول (شخص کردن state ها) است های این پایپ لاین شامل 5 مرحله،

fetch, decode, execute, memory, writeback است. در مرحله fetch، دستورات

از memory به IR می رود. در decode، مقادیر registerهای گسترده و سیگنال های گسترده ALU فرستاده

می شود. در execute مقادیر سیگنال گسترده دارد رجیسترهای مختلف شده و عملیات ALU انجام می شود.

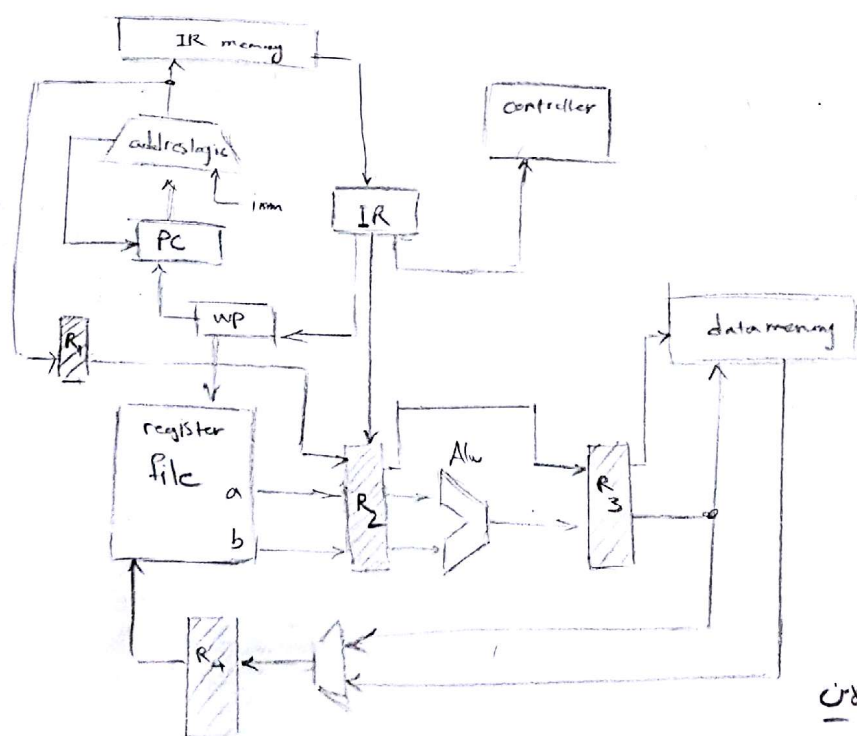
در مرحله memory، در صورت نیاز مقادیر مختلف از حافظه خوانده و در حافظه نوشته می شود. در مرحله آخر

که یعنی write back، مقادیر محاسبه شده و نیازمند نوشتن شدن در رجیسترها نوشته می شود.

* بخش دوم (طراحی data path) برای طراحی پاید بین تمام استیت ها، رجیستری برای ذخیره کردن داده و دستورات تکرار شده

شود. هم چنین برای این که بتوان مرحله fetch و memory را برطرف همزمان انجام داد حافظه دستورات را از

حافظه داده جدا کرد.



که در این شمای کلی از کامپیوتر ساده
هر یک از رجیسترهای R_1, R_2, R_3, R_4 شامل
داده رجیستر برای ذخیره بخش های مختلف
لازم دستورات است.

شکل 1-2: شمای کلی پایپ لاین

* بخش سوم: انواع هازارد:

1.3 Structural Hazard: مشکلات مربوط به یکی بودن حافظه ها در این جامم مشابه Mip وجود داشت

رس در ابتدای طرح این بهره گیری از معماری مسین برطرف شد

هازارد معی مربوط به زمانی است که ذخایم به طور همزمان در writeback در رجیستری میزنم

و در decode از رجیستری بخوانیم. برای حل این هازارد یک رجیستر wp برای نوشتن

اضافه می کنیم. به این صورت که wp و مقادیر مشخص شده R_0, R_1 به شکل مثل هند ۱۱

در صورت دریافت دستور awp، wp-2 به همراه دستور به رجیسترهای سیانی فرستاده

می شود تا اگر زمانی به دستور writback رسید مشکلی بوجود نیاید.



* wp هازارد داده ای نخواهد داشت. در واقع چون سیگنال های کنترلی تماما در است

decode، set می شود پس مقدار wp+2 در پایان decode حاضر و در wp نوشته

می شود و با هازاردی با همخوانی شدن wp (در نتیجه استباه خواندن از رجیستر فای

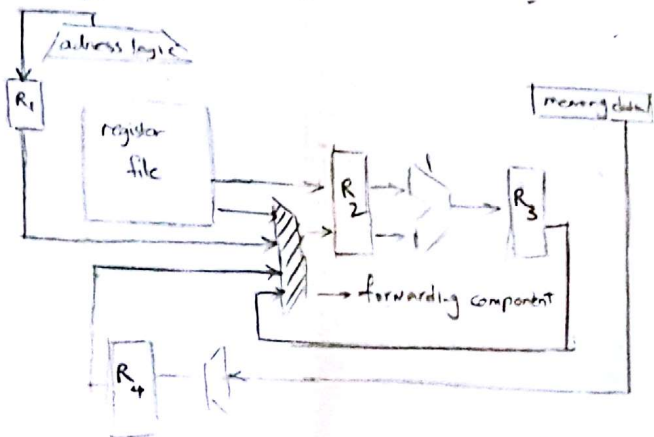
ربرد نخواهیم شد)

← اداره بخش: انواع هارارد:

2.3. Data Hazard: در این بخش تنها یک هارارد داریم read after write است. این هارارد زمانی رخ می دهد

که یک رجیستر مورد مقدار دهی شده وی در دستور بعدی بلافاصله سی خواهم بخوانیم. برای حل این مشکل

از روش forwarding استفاده می کنیم که حتی از Alu یک خروجی برای رجیستر قابل نیز در نظر می گیریم



رس این بخش به datapath اضافه می شود:

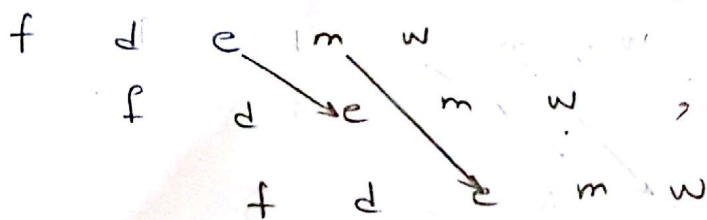
این هارارد در هنگام برخورد با دستوراتی رخ می دهد

که باید خروجی اش در R_D ذخیره شود (یعنی دستوراتی

که مربوط به Alu هستند (خروجی های mux برابر است با

خروجی های Alu (R_3), خروجی حافظه (R_4), خروجی از رجیستر مایل و

خروجی $address\ logic$ برای دستور ($PC+I$)

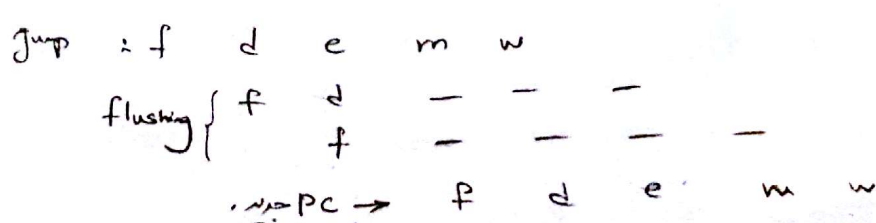


3.3. Control Hazard: این هارارد زمانی اتفاق می افتد که با دستورات $branch$, $jump$ روبروی شویم

در دستورات $jump$ چون مقدار PC بعد از exe مشخص می شود، زمانه این استیت بریم بعد از

دستور استانه $fetch$ می کنیم (در دستور $Jump\ Address$ نیاز به $forwarding$ نیست به علاوه مقدار R_D را می توان زد در

دریافت کرد) به همین منظور حافظه $flush$ می کنیم و با مقدار PC جدید که در مرحله exe



مشخص می شود، اداره می دهیم

← ادامه حبس 3.3

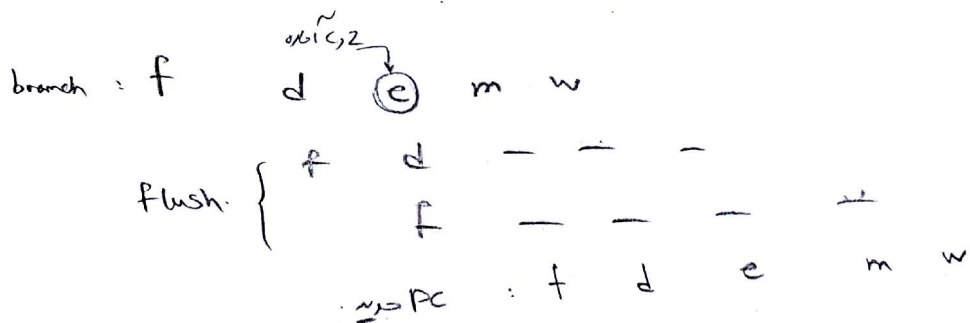
برای بررسی branch، باید توجه داشت که مقدار z ، چون در مرحله exe قطعی کتابه شده است و ما

در صورت exc به آن امتیاج داریم پس شکلی با کاتبه شرکت branch نداریم. حال (در حالت داریم)

حالت اول اسی کہ در مرحلہ exe مستحضر شود کہ نیاز بہ ویرش نیست کہ در این صورت باید لاین

بدون مشکل بینی ورود . حالت دم : نیاز به درش باشد که حماه jump باید . با flushing باید .

کتابه کنیم - که به این منظور باید reset رجیسترهای مختلف توسط controller مثال شود.



بخش 4: کنترلر پایپ لاین:

در کتری که طراحی کردیم در مدار کتری فلی در نظر گرفتیم. مدار $flushing$ ، مدار $forwarding$. برای کنترل مدار $flushing$ (در صورت تشخیص نیاز به $branch / jump$ در مرحله exe) باید در دستور بعدی که بعد از این دستور دارد شده باشد $reset$ رجیسترهای R_1 ، R_2 ، IR را فعال کنیم که در مرحله $fetch$ و $decode$ هسته را از پایپ لاین حذف کنیم و دستورات جدید با آدرس مع $fetch$ کنیم.

برای کنترل مدار $forwarding$ نیز باید در صورتی که دستوری که در مرحله exe در حال خواندن از روی رجیستری باشد، که در مرحله mem در حال نوشتن روی همان رجیستر باشیم. در این اگر دستور در مرحله mem با دستور موجود در مرحله wb یکسان باشد باید مدار $forwarding$ را فعال کنیم. هنگام فعال شدن $select$ ماکس مشخص شود در شکل را با توجه به عامل فعال کننده ماکس انتخاب می کنیم.

سین 5: datapath

