

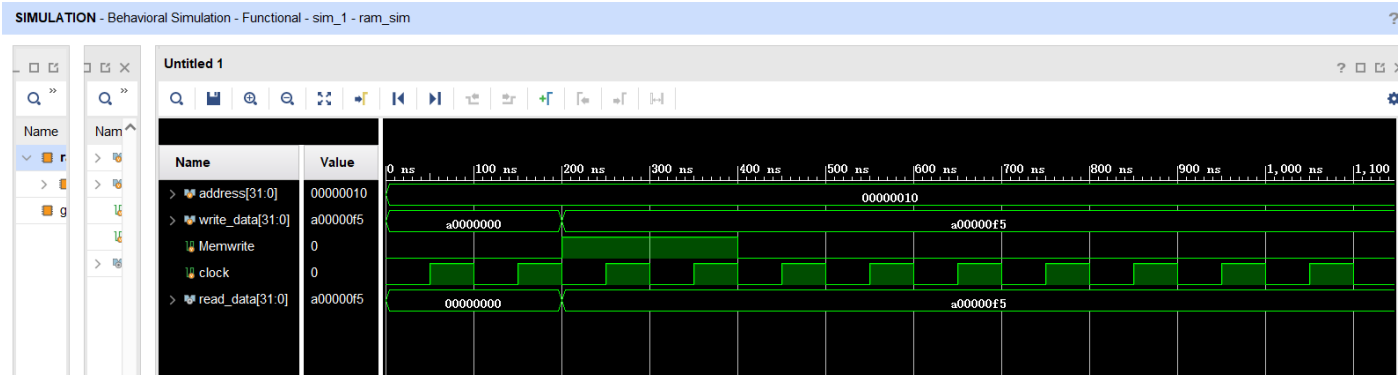
计算机系统综合设计

存储单元仿真时序

09017227 卓旭（SEU-本 18-09017227-卓旭）

仿真时序图：

ram_sim.v



注：由于 MOOC 的演示中数据存储器的 IP 核勾选了 Primitives Output Register，而我所做的实验中没有勾选该选项，因此时序波形图与 MOOC 中将有不同。经验证，如果我亦勾选 Primitives Output Register，则时序图与 MOOC 演示中一致。

代码：

```
dmemory32.v
`include "public.v"

module dmemory32(read_data,address,write_data,Memwrite,clock);
    output[31:0] read_data;
    input[31:0] address;      // 来自 memorio 模块，源头是来自执行单元算出的 alu_result
    input[31:0] write_data;  // 来自译码单元的 read_data2
    input Memwrite;          // 来自控制单元
    input clock;

    wire clk;
    assign clk = !clock;      // 因为使用 Cyclone 芯片的固有延迟，RAM 的地址线来不及在时钟上升沿准备好，
                                // 使得时钟上升沿数据读出有误，所以采用反相时钟，使得读出数据比地址准
                                // 备好要晚大约半个时钟，从而得到正确地址。

    // 分配 64KB RAM，编译器实际只用 64KB RAM
    ram ram(
        .clka(clk),
        .wea(Memwrite),
        .addra(address[15:2]),
        .dina(write_data),
        .douta(read_data)
    );
endmodule
```