



**University of California, San Diego**

ECE260B: VLSI Integrated Circuits and Systems Design

# **Final Project**

Completed on: March 22nd, 2024

## **Crazy Thursday**

Yuxiang Wu, Zheng Kuang, Qijia Shi, Xiaotian Fang

**Advisor: Prof. Mingu Kang**

**PATH** /home/linux/ieng6/ee260bwi24/yuw213/final\_project

# 1 Introduction

In the development of neural network accelerators, high throughput and low power have become a standard goal. In this project, we employ a dual-core 1D vector accelerator and investigate methods to optimize performance in digital front-end and back-end designs.

We focused most on the timing violation problem, since it determines the functionality of a chip. First, for Mac arrays, we reduce setup violations with pipeline and adder tree methods. Second, for the divider, we compare two methods: the pipelined shift-subtract divider and the multi-cycle path, and finally adopt the latter. Third, we employ a parallelized decoder to reduce the fanout of long vectors to solve the timing violation problem of SRAM.

In addition to timing optimization, we also focus on performance optimization. In terms of CDC, we compared two methods: toggle synchronizer and asynchronous FIFO. Then, we used clock gating to reduce power consumption. Finally, we propose the solution of expanding multiple cores, designing 5 stage calculation, increasing the number of cores from 2 to 4, which improves the parallelism and throughput.

## 2 Basic Implement

The overall system view of our dual core accelerator is shown below. In the following, we will take four steps to complete the design.

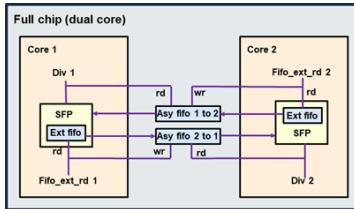


Figure 1: system view of dual core accelerator

### 2.1 Step1 - Single core RTL, Syn and PNR

In step 1, we construct a single-core acelerator to perform  $8 \times 8$  multiply-add operations. The data are first written to the corresponding memories (K and Q). Then the data are sent to the mac array for operation and the result is pushed to the OFIFO, which finally writes to the psum memory. We simulate the CPU's control of the coprocessor through test bench.

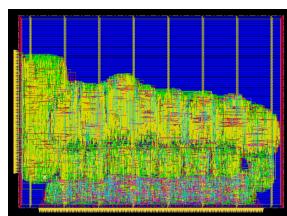


Figure 2: single core route.enc

#### 2.1.1 Design Criteria

Our design criteria are: input ports on the west side and output ports on the south side, 700 x 500 chip size, 1 Ghz frequency and 0.2 nS IO latency.

#### 2.1.2 Performance

| Metrics     | Synthesis                 | PnR                       |
|-------------|---------------------------|---------------------------|
| Area        | 140000.76 $\mu\text{m}^2$ | 374400.00 $\mu\text{m}^2$ |
| Power       | 57.08 mW                  | 240.63mW                  |
| Timing(WNS) | -0.615 nS                 | -0.265 nS                 |
| Notes       |                           | DRC 0, LVS 0              |

#### 2.1.3 Pre-sim & Post-sim

```
##### start batch 0 #####
##### Q data txt reading #####
##### Estimated multiplication result #####
prd @cycle 0: 000bf0fffb3ffffc8005efffa1fff4ffffe0ffffaa
prd @cycle 1: 00069ffffaffdb8001fffff7ffff7ffffefffe9
prd @cycle 2: 0004c006c00190003fffffc800057ffffefffc9
prd @cycle 3: 00043fed800088007dffffb7ffffefffc2ffffcd
prd @cycle 4: 000a1ffdbffffb0000dfeedffff6ffffd37ffc8
prd @cycle 5: 000540004000d000440000e0001ffffc7ffffd3
prd @cycle 6: fffda00c0031ffff9ffffe0005c00177ffec
prd @cycle 7: fff82000a400407ffd2ffffe00138002500025
##### Mem writing #####

```

Figure 3: Step 1 estimated result



Figure 4: Step1 RTL Level Wave



Figure 5: Step1 post PnR Wave

The comparison verified that the RTL level simulation is identical to the gate level simulation of Post PnR.

### 2.2 Step2 - Output normalization

#### 2.2.1 Design Criteria

In this part, we used the SFP to compute the norm( $Q^*K$ ). After  $Q^*K$  is computed and stored in pmem, the SFP starts to read the pmem and calculate their sum. The accumulation results are stored in the fifo inside the SFP. After the sum is done, the vectors stored in pmem are read into the SFP and divided by the summation results read from the SFP fifo.

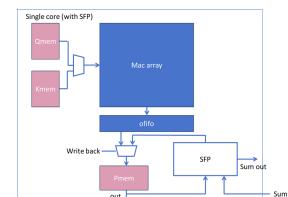


Figure 6: Block View of Signle Core with SFP

Since only single core is used in this part, the sum out port which is the summation from another core is set to zero. One thing to notice is that the divisor is the summation from the fifo with the least 7 significant bits discarded, so the quotient will be visible to us.

### 2.2.2 Simulation



Figure 7: Step2 RTL Level normalization output

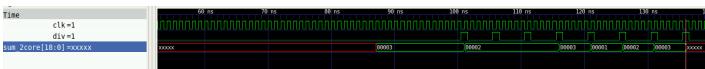


Figure 8: Step2 RTL level sum of 2 core waveform

```
#### Estimated multiplication result #####
prd @cycle 0: 000bbffffb3fffc0005fffffafe0ffffaa
prd scaled absolute summation @cycle 0: 0003
prd normalizatoin result @cycle 0: 0003e0001800010001f000200003c000a8001c
prd @cycle 1: 00069ffffaffdb8001fffff7fffffeffff9
prd scaled absolute summation @cycle 1: 0002
prd normalizatoin result @cycle 1: 000340002800120000c000400040000a0000b
prd @cycle 2: 0004c0006c00190003fffc80057fffffeffff9
prd scaled absolute summation @cycle 2: 0002
prd normalizatoin result @cycle 2: 000260003400008001f0001c0002800008001b
prd @cycle 3: 00043ffed800088007fffffbfffff2ffffd
prd scaled absolute summation @cycle 3: 0002
prd normalizatoin result @cycle 3: 000290009400040003e000240002000680019
prd @cycle 4: 0001ffffdbffffb000dfffffeffffd37ffcb
prd scaled absolute summation @cycle 4: 0003
prd normalizatoin result @cycle 4: 000340000c0001800040005c00030000f00012
prd @cycle 5: 00054000604000d000440000e0001fffffc7ffcd
prd scaled absolute summation @cycle 5: 0001
prd normalizatoin result @cycle 5: 00054000604000d00044000e0001c00040002d
prd @cycle 6: fffda000c00031ffffffffe005c00177ffec
prd scaled absolute summation @cycle 6: 0002900060001880003000000002c000b8000a
prd normalizatoin result @cycle 6: 0002900060001880003000000002c000b8000a
prd @cycle 7: ffff20000000407ffdfdfdf0e013800250025
prd scaled absolute summation @cycle 7: 0003
prd normalizatoin result @cycle 7: 0002a0003400150000f000000068000c0000c
#### Qmem writing #####

```

Figure 9: Step 2 estimated result

As shown in the figures above, the normalization output and the scaled summation of 2 cores from behavioral simulation agree with the estimated results.

## 2.3 Step3 - Hierarchical Synthesis

### 2.3.1 SRAMs

We synthesized and PnR the sub-module sram in core, which we defined as Q/K SRAM with Bit Width = 64 and depth = 16 and Psum SRAM with Bit Width = 152 and Depth = 16.

In the PnR step, we set the max. route layer as M4, the size of the Psum SRAM as  $700 \times 60$ , and of the Q/K SRAM as  $300 \times 60$ . The control signals flow in from the west, the inputs from the south, and the outputs from the north.

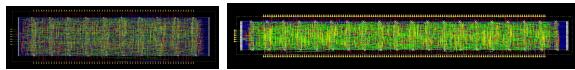


Figure 10: Submodule - Q/K Sram and Psum Sram

### 2.3.2 Single Core

We quote the submodule in the PnR of the fullchip, create three memory instances, configure the power ring for them, and then do the PnR for the fullchip.

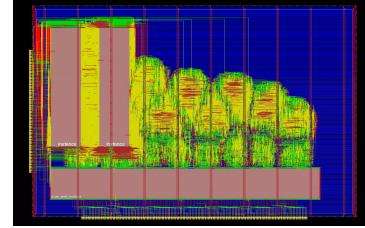


Figure 11: Hierarchical Sigle Core route.enc

As you can see in the figure 11, We place the submodules according to the orientation that data flows in from the left and out from the bottom. Qmen and Kmen are clockwise flipped by 90 degrees so that the Pin can correspond to the input data from, and Pmem is flipped vertically so that it can correspond to the Pin that the data flows out from the fullchip.

### 2.3.3 Pre-sim & Post-sim

The RTL level simulation is identical to the gate level simulation of Post PnR. The comparison verified the functionality after PnR.



Figure 12: Step3 RTL Level Wave



Figure 13: Step3 Post PnR Wave

## 2.4 Step4 - Hierarchical Syn. of Dual Core

### 2.4.1 Single Core

We hierarchically synthesized the single core by a similar method as in Q3, and it's important to note that we shifted the position of Pmem upward to make room more for SFP placement

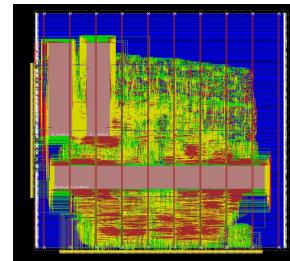


Figure 14: Single Core with SFP

### 2.4.2 Dual Core

To increase the parallelism and throughput, we implemented parallel processing using dual cores. The two cores adopt different clock domains and are able to exchange their respective sum results and add them for normalization.

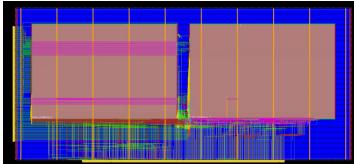


Figure 15: Dual Core with SFP

### 2.4.3 CDC Criteria

For the clock domain crossing problem, we use asynchronous FIFO. Each core has two FIFOs, an internal and an external FIFO. Each core calculate Psums and stores them in the internal and external FIFOs. The result of the sum is sent to the other core. The read signal for the external FIFO is controlled by the clock of the other core.

#### 2.4.4 Performance

In this question, we have retained the original structure, and as a result, we will have some loss of timing violations, and we will discuss and address the issues in 3 optimization.

| Metrics     | Synthesis                  | PnR                        |
|-------------|----------------------------|----------------------------|
| Area        | $402956.634 \mu\text{m}^2$ | $2666400.00 \mu\text{m}^2$ |
| Power       | 1382.9 mW                  | 1045.5 mW                  |
| Timing(WNS) | -2.813 nS                  | -1.711 nS                  |
| Notes       |                            | DRC 2, LVS 0               |

**Clarification 1:** When we calculated the power and area of synthesis, we used  $fullchip + 2 \times (core + Qmem + Kmem + Pmem)$ .

**Clarification 2:** When we calculated the power of the PnR, we used the vcd file to measured the power of each submodule and calculated it according to  $fullchip + 2 \times (core + Qmem + Kmem + Pmem)$ .

### 2.4.5 Pre-sim & Post-sim

The RTL level simulation is identical to the gate level simulation of Post PnR. The comparison verified the functionality after PnR.

Figure 16: Step 4 estimated result



Figure 18: Step4 Post PnR Wave

### 3 Optimization

### 3.1 Timing Violations

After applying the following techniques, we achieved 0 WNS after synthesis.

### 3.1.1 Pipelined Mac-8in

In the mac-8in multiply-add calculation, we tried to complete all the operations in one cycle, but this led to setup violations, so we added one stage of ff between the multiply-add using pipeline to avoid timing violations

### 3.1.2 Adder Tree

In both mac-8in and SFP, we have operations that need to perform addition on 8 partial sums. We design the adder tree, which changes the serial to parallel add. The addition needs to be calculated only once per clock cycle, which reduces the critical path.

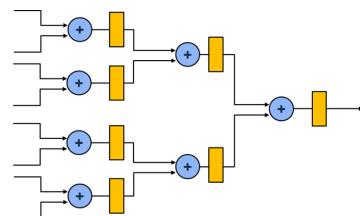


Figure 19: 8-4-2-1 adder tree

### 3.1.3 Pipelined Divider VS Multi Cycle Path

We propose two ways to avoid the setup violation of the divider, the first is to replace the RTL level division with a micro-architecture divider (such as a shift-substract divider) and pipeline the division operation for each bit. The second is to set up a MULTIPLE CYCLE PATH to check the setup time after the execution of the division operation is completed.

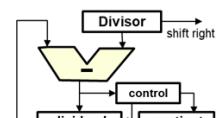


Figure 20: Enter Caption

After test and comparing the above two method, it is enough to eliminate the setup violation by checking the setup time of the divider after 3-4 cycles, but the pipeline divider needs 19 cycles (one shift and subtract for each cycle), considering the timing cost, we finally use the method of multi cycle path.

### 3.1.4 Fan-out Decouple

In SRAM, we use one wordline to drive a vector. For Pmem, there are 152 bit cells on a vector, and the fan-out on the wordline is very heavy, so we use two address decoders to drive half of the vector in parallel, thus reducing his fan-out.

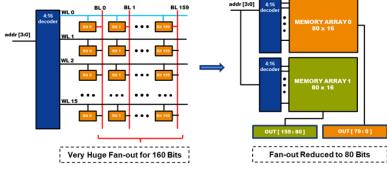


Figure 21: Fan-out Decouple

## 3.2 Performances

### 3.2.1 Toggle Synchronizer VS Asyn. FIFO

For CDC data transfer, we consider two methods, toggle synchronizer and asynchronous FIFO

The toggle synchronizer we adopt is shown in Fig. 23. In the input domain, the en signal allows the data to enter the shift register. On the falling edge of en, the toggle signal is flipped and passed to the out clock domain through the synchronizer. The shift register data is written into the out domain in parallel, and then shifted to the serial output. This structure is suitable for CDC with any length burst.

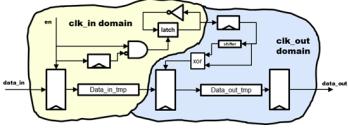


Figure 22: Toggle Synchronizer

Compared with asyn. FIFO, toggle synchronizer saves storage space, but it is slower: R & W of toggle synchronizer are not parallel, and serial-to-parallel transfer cause clock cycle expenses. While R & W of asyn. FIFO can happen simultaneously, so finally, we choose asyn. FIFO for CDC.

### 3.2.2 Clock Gating

We added the en port for the ff and set the clock gating style, use the -gate-clock compile option during synthesis. As seen in Figure 23, the ENCLK signal appears after Syn, indicating that the clock gating was successfully applied.

```
module SNPS_CLOCK_GATE_HIGH_sram_152b_w16_0 ( CLK, EN, ENCLK );
  input CLK, EN;
  output ENCLK;
  wire net2937;

  LNQ01 latch (.D(EN), .EN(CLK), .O(net2937));
  CKANZD1 main_gate (.A1(net2937), .A2(CLK), .Z(ENCLK));
endmodule
```

Figure 23: Example CG Cell

| design | Step4     | Clock Gating |
|--------|-----------|--------------|
| Power  | 1045.5 mW | 496.8 mW     |

### 3.2.3 Four-core Implementation

We implemented the 4-core version of the accelerator to further improve the throughput.

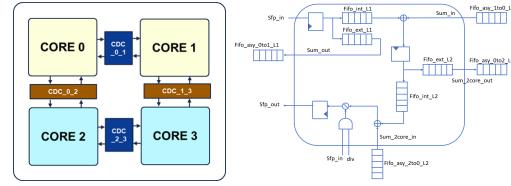


Figure 24: (a) Four Core (b) sfp of one core

The following figure shows circuitry inside the SFP of core 0. Based on this structure, we defined 5 stages for normalization, which can be performed in a pipelined manner if there are more than one batch (8 vectors) in the pmem of each core.

**Stage 1:** SFP-in comes. The absolute sum is calculated and written into fifo-int-L1 and fifo-ext-L1.

**Stage 2:** Read fifo-ext-L1 and write to fifo-asy-0to1-L1.

**Stage 3:** Read fifo-asy-1to0-L1 and fifo-int-L1 and calculate sum of core 0 and core 1. Then write the sum to fifo-int-L2 and fifo-ext-L2.

**Stage 4:** Read fifo-ext-L2 and write to fifo-asy-0to2-L2.

**Stage 5:** Assert the div signal. Read fifo-asy-2to0-L2 and fifo-ext-L2 and calculate sum of 4 cores. Perform the division and write back to pmem.



Figure 25: 4 core RTL level simulation

```
parameter clk_1=8
parameter clk_2=10
parameter clk_3=12
parameter clk_4=14
parameter clk_5=16
parameter clk_6=18
parameter clk_7=20
parameter clk_8=22
parameter clk_9=24
parameter clk_10=26
parameter clk_11=28
parameter clk_12=30
parameter clk_13=32
parameter clk_14=34
parameter clk_15=36
parameter clk_16=38
parameter clk_17=40
parameter clk_18=42
parameter clk_19=44
parameter clk_20=46
parameter clk_21=48
parameter clk_22=50
parameter clk_23=52
parameter clk_24=54
parameter clk_25=56
parameter clk_26=58
parameter clk_27=60
parameter clk_28=62
parameter clk_29=64
parameter clk_30=66
parameter clk_31=68
parameter clk_32=70
parameter clk_33=72
parameter clk_34=74
parameter clk_35=76
parameter clk_36=78
parameter clk_37=80
parameter clk_38=82
parameter clk_39=84
parameter clk_40=86
parameter clk_41=88
parameter clk_42=90
parameter clk_43=92
parameter clk_44=94
parameter clk_45=96
parameter clk_46=98
parameter clk_47=100
parameter clk_48=102
parameter clk_49=104
parameter clk_50=106
parameter clk_51=108
parameter clk_52=110
parameter clk_53=112
parameter clk_54=114
parameter clk_55=116
parameter clk_56=118
parameter clk_57=120
parameter clk_58=122
parameter clk_59=124
parameter clk_60=126
parameter clk_61=128
parameter clk_62=130
parameter clk_63=132
parameter clk_64=134
parameter clk_65=136
parameter clk_66=138
parameter clk_67=140
parameter clk_68=142
parameter clk_69=144
parameter clk_70=146
parameter clk_71=148
parameter clk_72=150
parameter clk_73=152
parameter clk_74=154
parameter clk_75=156
parameter clk_76=158
parameter clk_77=160
parameter clk_78=162
parameter clk_79=164
parameter clk_80=166
parameter clk_81=168
parameter clk_82=170
parameter clk_83=172
parameter clk_84=174
parameter clk_85=176
parameter clk_86=178
parameter clk_87=180
parameter clk_88=182
parameter clk_89=184
parameter clk_90=186
parameter clk_91=188
parameter clk_92=190
parameter clk_93=192
parameter clk_94=194
parameter clk_95=196
parameter clk_96=198
parameter clk_97=200
parameter clk_98=202
parameter clk_99=204
parameter clk_100=206
parameter clk_101=208
parameter clk_102=210
parameter clk_103=212
parameter clk_104=214
parameter clk_105=216
parameter clk_106=218
parameter clk_107=220
parameter clk_108=222
parameter clk_109=224
parameter clk_110=226
parameter clk_111=228
parameter clk_112=230
parameter clk_113=232
parameter clk_114=234
parameter clk_115=236
parameter clk_116=238
parameter clk_117=240
parameter clk_118=242
parameter clk_119=244
parameter clk_120=246
parameter clk_121=248
parameter clk_122=250
parameter clk_123=252
parameter clk_124=254
parameter clk_125=256
parameter clk_126=258
parameter clk_127=260
parameter clk_128=262
parameter clk_129=264
parameter clk_130=266
parameter clk_131=268
parameter clk_132=270
parameter clk_133=272
parameter clk_134=274
parameter clk_135=276
parameter clk_136=278
parameter clk_137=280
parameter clk_138=282
parameter clk_139=284
parameter clk_140=286
parameter clk_141=288
parameter clk_142=290
parameter clk_143=292
parameter clk_144=294
parameter clk_145=296
parameter clk_146=298
parameter clk_147=300
parameter clk_148=302
parameter clk_149=304
parameter clk_150=306
parameter clk_151=308
parameter clk_152=310
parameter clk_153=312
parameter clk_154=314
parameter clk_155=316
parameter clk_156=318
parameter clk_157=320
parameter clk_158=322
parameter clk_159=324
parameter clk_160=326
parameter clk_161=328
parameter clk_162=330
parameter clk_163=332
parameter clk_164=334
parameter clk_165=336
parameter clk_166=338
parameter clk_167=340
parameter clk_168=342
parameter clk_169=344
parameter clk_170=346
parameter clk_171=348
parameter clk_172=350
parameter clk_173=352
parameter clk_174=354
parameter clk_175=356
parameter clk_176=358
parameter clk_177=360
parameter clk_178=362
parameter clk_179=364
parameter clk_180=366
parameter clk_181=368
parameter clk_182=370
parameter clk_183=372
parameter clk_184=374
parameter clk_185=376
parameter clk_186=378
parameter clk_187=380
parameter clk_188=382
parameter clk_189=384
parameter clk_190=386
parameter clk_191=388
parameter clk_192=390
parameter clk_193=392
parameter clk_194=394
parameter clk_195=396
parameter clk_196=398
parameter clk_197=400
parameter clk_198=402
parameter clk_199=404
parameter clk_200=406
parameter clk_201=408
parameter clk_202=410
parameter clk_203=412
parameter clk_204=414
parameter clk_205=416
parameter clk_206=418
parameter clk_207=420
parameter clk_208=422
parameter clk_209=424
parameter clk_210=426
parameter clk_211=428
parameter clk_212=430
parameter clk_213=432
parameter clk_214=434
parameter clk_215=436
parameter clk_216=438
parameter clk_217=440
parameter clk_218=442
parameter clk_219=444
parameter clk_220=446
parameter clk_221=448
parameter clk_222=450
parameter clk_223=452
parameter clk_224=454
parameter clk_225=456
parameter clk_226=458
parameter clk_227=460
parameter clk_228=462
parameter clk_229=464
parameter clk_230=466
parameter clk_231=468
parameter clk_232=470
parameter clk_233=472
parameter clk_234=474
parameter clk_235=476
parameter clk_236=478
parameter clk_237=480
parameter clk_238=482
parameter clk_239=484
parameter clk_240=486
parameter clk_241=488
parameter clk_242=490
parameter clk_243=492
parameter clk_244=494
parameter clk_245=496
parameter clk_246=498
parameter clk_247=500
parameter clk_248=502
parameter clk_249=504
parameter clk_250=506
parameter clk_251=508
parameter clk_252=510
parameter clk_253=512
parameter clk_254=514
parameter clk_255=516
parameter clk_256=518
parameter clk_257=520
parameter clk_258=522
parameter clk_259=524
parameter clk_260=526
parameter clk_261=528
parameter clk_262=530
parameter clk_263=532
parameter clk_264=534
parameter clk_265=536
parameter clk_266=538
parameter clk_267=540
parameter clk_268=542
parameter clk_269=544
parameter clk_270=546
parameter clk_271=548
parameter clk_272=550
parameter clk_273=552
parameter clk_274=554
parameter clk_275=556
parameter clk_276=558
parameter clk_277=560
parameter clk_278=562
parameter clk_279=564
parameter clk_280=566
parameter clk_281=568
parameter clk_282=570
parameter clk_283=572
parameter clk_284=574
parameter clk_285=576
parameter clk_286=578
parameter clk_287=580
parameter clk_288=582
parameter clk_289=584
parameter clk_290=586
parameter clk_291=588
parameter clk_292=590
parameter clk_293=592
parameter clk_294=594
parameter clk_295=596
parameter clk_296=598
parameter clk_297=600
parameter clk_298=602
parameter clk_299=604
parameter clk_300=606
parameter clk_301=608
parameter clk_302=610
parameter clk_303=612
parameter clk_304=614
parameter clk_305=616
parameter clk_306=618
parameter clk_307=620
parameter clk_308=622
parameter clk_309=624
parameter clk_310=626
parameter clk_311=628
parameter clk_312=630
parameter clk_313=632
parameter clk_314=634
parameter clk_315=636
parameter clk_316=638
parameter clk_317=640
parameter clk_318=642
parameter clk_319=644
parameter clk_320=646
parameter clk_321=648
parameter clk_322=650
parameter clk_323=652
parameter clk_324=654
parameter clk_325=656
parameter clk_326=658
parameter clk_327=660
parameter clk_328=662
parameter clk_329=664
parameter clk_330=666
parameter clk_331=668
parameter clk_332=670
parameter clk_333=672
parameter clk_334=674
parameter clk_335=676
parameter clk_336=678
parameter clk_337=680
parameter clk_338=682
parameter clk_339=684
parameter clk_340=686
parameter clk_341=688
parameter clk_342=690
parameter clk_343=692
parameter clk_344=694
parameter clk_345=696
parameter clk_346=698
parameter clk_347=700
parameter clk_348=702
parameter clk_349=704
parameter clk_350=706
parameter clk_351=708
parameter clk_352=710
parameter clk_353=712
parameter clk_354=714
parameter clk_355=716
parameter clk_356=718
parameter clk_357=720
parameter clk_358=722
parameter clk_359=724
parameter clk_360=726
parameter clk_361=728
parameter clk_362=730
parameter clk_363=732
parameter clk_364=734
parameter clk_365=736
parameter clk_366=738
parameter clk_367=740
parameter clk_368=742
parameter clk_369=744
parameter clk_370=746
parameter clk_371=748
parameter clk_372=750
parameter clk_373=752
parameter clk_374=754
parameter clk_375=756
parameter clk_376=758
parameter clk_377=760
parameter clk_378=762
parameter clk_379=764
parameter clk_380=766
parameter clk_381=768
parameter clk_382=770
parameter clk_383=772
parameter clk_384=774
parameter clk_385=776
parameter clk_386=778
parameter clk_387=780
parameter clk_388=782
parameter clk_389=784
parameter clk_390=786
parameter clk_391=788
parameter clk_392=790
parameter clk_393=792
parameter clk_394=794
parameter clk_395=796
parameter clk_396=798
parameter clk_397=800
parameter clk_398=802
parameter clk_399=804
parameter clk_400=806
parameter clk_401=808
parameter clk_402=810
parameter clk_403=812
parameter clk_404=814
parameter clk_405=816
parameter clk_406=818
parameter clk_407=820
parameter clk_408=822
parameter clk_409=824
parameter clk_410=826
parameter clk_411=828
parameter clk_412=830
parameter clk_413=832
parameter clk_414=834
parameter clk_415=836
parameter clk_416=838
parameter clk_417=840
parameter clk_418=842
parameter clk_419=844
parameter clk_420=846
parameter clk_421=848
parameter clk_422=850
parameter clk_423=852
parameter clk_424=854
parameter clk_425=856
parameter clk_426=858
parameter clk_427=860
parameter clk_428=862
parameter clk_429=864
parameter clk_430=866
parameter clk_431=868
parameter clk_432=870
parameter clk_433=872
parameter clk_434=874
parameter clk_435=876
parameter clk_436=878
parameter clk_437=880
parameter clk_438=882
parameter clk_439=884
parameter clk_440=886
parameter clk_441=888
parameter clk_442=890
parameter clk_443=892
parameter clk_444=894
parameter clk_445=896
parameter clk_446=898
parameter clk_447=900
parameter clk_448=902
parameter clk_449=904
parameter clk_450=906
parameter clk_451=908
parameter clk_452=910
parameter clk_453=912
parameter clk_454=914
parameter clk_455=916
parameter clk_456=918
parameter clk_457=920
parameter clk_458=922
parameter clk_459=924
parameter clk_460=926
parameter clk_461=928
parameter clk_462=930
parameter clk_463=932
parameter clk_464=934
parameter clk_465=936
parameter clk_466=938
parameter clk_467=940
parameter clk_468=942
parameter clk_469=944
parameter clk_470=946
parameter clk_471=948
parameter clk_472=950
parameter clk_473=952
parameter clk_474=954
parameter clk_475=956
parameter clk_476=958
parameter clk_477=960
parameter clk_478=962
parameter clk_479=964
parameter clk_480=966
parameter clk_481=968
parameter clk_482=970
parameter clk_483=972
parameter clk_484=974
parameter clk_485=976
parameter clk_486=978
parameter clk_487=980
parameter clk_488=982
parameter clk_489=984
parameter clk_490=986
parameter clk_491=988
parameter clk_492=990
parameter clk_493=992
parameter clk_494=994
parameter clk_495=996
parameter clk_496=998
parameter clk_497=1000
parameter clk_498=1002
parameter clk_499=1004
parameter clk_500=1006
parameter clk_501=1008
parameter clk_502=1010
parameter clk_503=1012
parameter clk_504=1014
parameter clk_505=1016
parameter clk_506=1018
parameter clk_507=1020
parameter clk_508=1022
parameter clk_509=1024
parameter clk_510=1026
parameter clk_511=1028
parameter clk_512=1030
parameter clk_513=1032
parameter clk_514=1034
parameter clk_515=1036
parameter clk_516=1038
parameter clk_517=1040
parameter clk_518=1042
parameter clk_519=1044
parameter clk_520=1046
parameter clk_521=1048
parameter clk_522=1050
parameter clk_523=1052
parameter clk_524=1054
parameter clk_525=1056
parameter clk_526=1058
parameter clk_527=1060
parameter clk_528=1062
parameter clk_529=1064
parameter clk_530=1066
parameter clk_531=1068
parameter clk_532=1070
parameter clk_533=1072
parameter clk_534=1074
parameter clk_535=1076
parameter clk_536=1078
parameter clk_537=1080
parameter clk_538=1082
parameter clk_539=1084
parameter clk_540=1086
parameter clk_541=1088
parameter clk_542=1090
parameter clk_543=1092
parameter clk_544=1094
parameter clk_545=1096
parameter clk_546=1098
parameter clk_547=1100
parameter clk_548=1102
parameter clk_549=1104
parameter clk_550=1106
parameter clk_551=1108
parameter clk_552=1110
parameter clk_553=1112
parameter clk_554=1114
parameter clk_555=1116
parameter clk_556=1118
parameter clk_557=1120
parameter clk_558=1122
parameter clk_559=1124
parameter clk_560=1126
parameter clk_561=1128
parameter clk_562=1130
parameter clk_563=1132
parameter clk_564=1134
parameter clk_565=1136
parameter clk_566=1138
parameter clk_567=1140
parameter clk_568=1142
parameter clk_569=1144
parameter clk_570=1146
parameter clk_571=1148
parameter clk_572=1150
parameter clk_573=1152
parameter clk_574=1154
parameter clk_575=1156
parameter clk_576=1158
parameter clk_577=1160
parameter clk_578=1162
parameter clk_579=1164
parameter clk_580=1166
parameter clk_581=1168
parameter clk_582=1170
parameter clk_583=1172
parameter clk_584=1174
parameter clk_585=1176
parameter clk_586=1178
parameter clk_587=1180
parameter clk_588=1182
parameter clk_589=1184
parameter clk_590=1186
parameter clk_591=1188
parameter clk_592=1190
parameter clk_593=1192
parameter clk_594=1194
parameter clk_595=1196
parameter clk_596=1198
parameter clk_597=1200
parameter clk_598=1202
parameter clk_599=1204
parameter clk_600=1206
parameter clk_601=1208
parameter clk_602=1210
parameter clk_603=1212
parameter clk_604=1214
parameter clk_605=1216
parameter clk_606=1218
parameter clk_607=1220
parameter clk_608=1222
parameter clk_609=1224
parameter clk_610=1226
parameter clk_611=1228
parameter clk_612=1230
parameter clk_613=1232
parameter clk_614=1234
parameter clk_615=1236
parameter clk_616=1238
parameter clk_617=1240
parameter clk_618=1242
parameter clk_619=1244
parameter clk_620=1246
parameter clk_621=1248
parameter clk_622=1250
parameter clk_623=1252
parameter clk_624=1254
parameter clk_625=1256
parameter clk_626=1258
parameter clk_627=1260
parameter clk_628=1262
parameter clk_629=1264
parameter clk_630=1266
parameter clk_631=1268
parameter clk_632=1270
parameter clk_633=1272
parameter clk_634=1274
parameter clk_635=1276
parameter clk_636=1278
parameter clk_637=1280
parameter clk_638=1282
parameter clk_639=1284
parameter clk_640=1286
parameter clk_641=1288
parameter clk_642=1290
parameter clk_643=1292
parameter clk_644=1294
parameter clk_645=1296
parameter clk_646=1298
parameter clk_647=1300
parameter clk_648=1302
parameter clk_649=1304
parameter clk_650=1306
parameter clk_651=1308
parameter clk_652=1310
parameter clk_653=1312
parameter clk_654=1314
parameter clk_655=1316
parameter clk_656=1318
parameter clk_657=1320
parameter clk_658=1322
parameter clk_659=1324
parameter clk_660=1326
parameter clk_661=1328
parameter clk_662=1330
parameter clk_663=1332
parameter clk_664=1334
parameter clk_665=1336
parameter clk_666=1338
parameter clk_667=1340
parameter clk_668=1342
parameter clk_669=1344
parameter clk_670=1346
parameter clk_671=1348
parameter clk_672=1350
parameter clk_673=1352
parameter clk_674=1354
parameter clk_675=1356
parameter clk_676=1358
parameter clk_677=1360
parameter clk_678=1362
parameter clk_679=1364
parameter clk_680=1366
parameter clk_681=1368
parameter clk_682=1370
parameter clk_683=1372
parameter clk_684=1374
parameter clk_685=1376
parameter clk_686=1378
parameter clk_687=1380
parameter clk_688=1382
parameter clk_689=1384
parameter clk_690=1386
parameter clk_691=1388
parameter clk_692=1390
parameter clk_693=1392
parameter clk_694=1394
parameter clk_695=1396
parameter clk_696=1398
parameter clk_697=1400
parameter clk_698=1402
parameter clk_699=1404
parameter clk_700=1406
parameter clk_701=1408
parameter clk_702=1410
parameter clk_703=1412
parameter clk_704=1414
parameter clk_705=1416
parameter clk_706=1418
parameter clk_707=1420
parameter clk_708=1422
parameter clk_709=1424
parameter clk_710=1426
parameter clk_711=1428
parameter clk_712=1430
parameter clk_713=1432
parameter clk_714=1434
parameter clk_715=1436
parameter clk_716=1438
parameter clk_717=1440
parameter clk_718=1442
parameter clk_719=1444
parameter clk_720=1446
parameter clk_721=1448
parameter clk_722=1450
parameter clk_723=1452
parameter clk_724=1454
parameter clk_725=1456
parameter clk_726=1458
parameter clk_727=1460
parameter clk_728=1462
parameter clk_729=1464
parameter clk_730=1466
parameter clk_731=1468
parameter clk_732=1470
parameter clk_733=1472
parameter clk_734=1474
parameter clk_735=1476
parameter clk_736=1478
parameter clk_737=1480
parameter clk_738=1482
parameter clk_739=1484
parameter clk_740=1486
parameter clk_741=1488
parameter clk_742=1490
parameter clk_743=1492
parameter clk_744=1494
parameter clk_745=1496
parameter clk_746=1498
parameter clk_747=1500
parameter clk_748=1502
parameter clk_749=1504
parameter clk_750=1506
parameter clk_751=1508
parameter clk_752=1510
parameter clk_753=1512
parameter clk_754=1514
parameter clk_755=1516
parameter clk_756=1518
parameter clk_757=1520
parameter clk_758=1522
parameter clk_759=1524
parameter clk_760=1526
parameter clk_761=1528
parameter clk_762=1530
parameter clk_763=1532
parameter clk_764=1534
parameter clk_765=1536
parameter clk_766=1538
parameter clk_767=1540
parameter clk_768=1542
parameter clk_769=1544
parameter clk_770=1546
parameter clk_771=1548
parameter clk_772=1550
parameter clk_773=1552
parameter clk_774=1554
parameter clk_775=1556
parameter clk_776=1558
parameter clk_777=1560
parameter clk_778=1562
parameter clk_779=1564
parameter clk_780=1566
parameter clk_781=1568
parameter clk_782=1570
parameter clk_783=1572
parameter clk_784=1574
parameter clk_785=1576
parameter clk_786=1578
parameter clk_787=1580
parameter clk_788=1582
parameter clk_789=1584
parameter clk_790=1586
parameter clk_791=1588
parameter clk_792=1590
parameter clk_793=1592
parameter clk_794=1594
parameter clk_795=1596
parameter clk_796=1598
parameter clk_797=1600
parameter clk_798=1602
parameter clk_799=1604
parameter clk_800=1606
parameter clk_801=1608
parameter clk_802=1610
parameter clk_803=1612
parameter clk_804=1614
parameter clk_805=1616
parameter clk_806=1618
parameter clk_807=1620
parameter clk_808=1622
parameter clk_809=1624
parameter clk_810=1626
parameter clk_811=1628
parameter clk_8
```