



Πολυτεχνείο Κρήτης

ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ
ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

ΑΝΑΔΙΑΤΑΣΣΟΜΕΝΑ ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ ΗΡΥ591

Αναφορά 1ου Milestone

ΥΛΟΠΟΙΗΣΗ FIFO ΟΥΡΑΣ 64 ΘΕΣΕΩΝ – 32 BITS WORDS

Ον/μο	A.M
Ζήσкас Χρήστος	2014030191
Χρυσομάλλης Ιάσων	2014030078

ΖΗΤΟΥΜΕΝΑ

Η τελική σχεδίαση απαιτεί την κατασκευή 2 αντικειμένων

- Κατασκευή FIFO ουράς 64 θέσεων (32 bits μέγεθος η λέξη)
- Υλοποίηση διαδικασιών εγγραφής και ανάγνωσης στοιχείων της ουράς μεταξύ των master-slave Interfaces του AXI4-protocol

ΥΛΟΠΟΙΗΣΗ

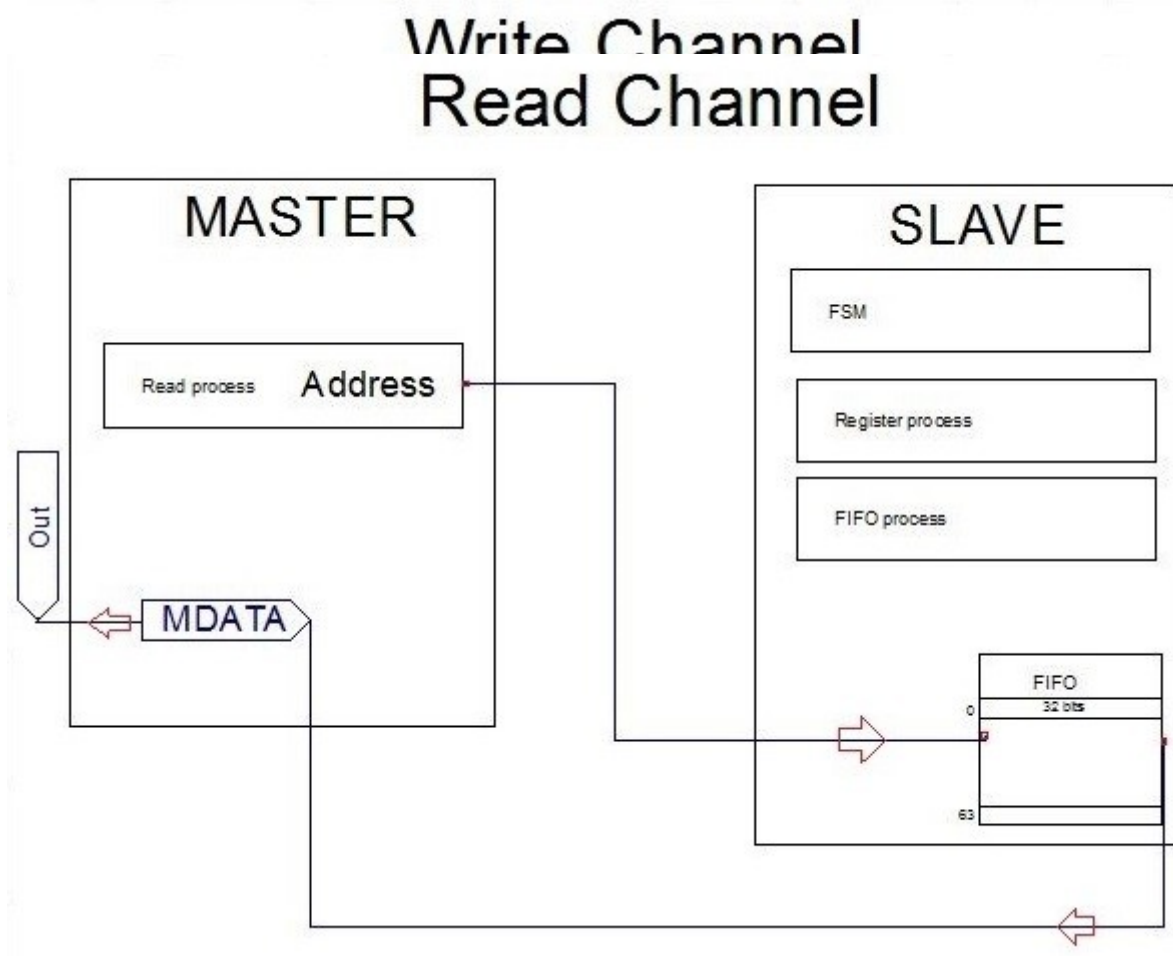
Η σχηματική αναπαράσταση των παράλληλων modules έχει διατηρηθεί ως δυο ανεξάρτητα components master-slave . Η κατασκευή της τελικής σχεδίασης απαιτεί την αλληλεπίδραση των δυο interfaces για τις διαδικασίες που υλοποιούνται μέσω της FIFO. Η αλληλεπίδραση/συσχέτιση αυτή πραγματοποιείται σε επίπεδο process .

Τροποποιήσεις/Προσθήκες

- 1) Αλλαγή των counter/pointer και των θέσεων που δεσμεύονται για την κατασκευή της FIFO
- 2) Τροποποίηση FSM μηχανής στο slave module για εγγραφή.
- 3) Επικοινωνία master-slave για ανάγνωση με address signal.
- 4) Process καταχωρητή στο slave component.

Κατασκευή Καναλιών/Διαδικασιών FIFO

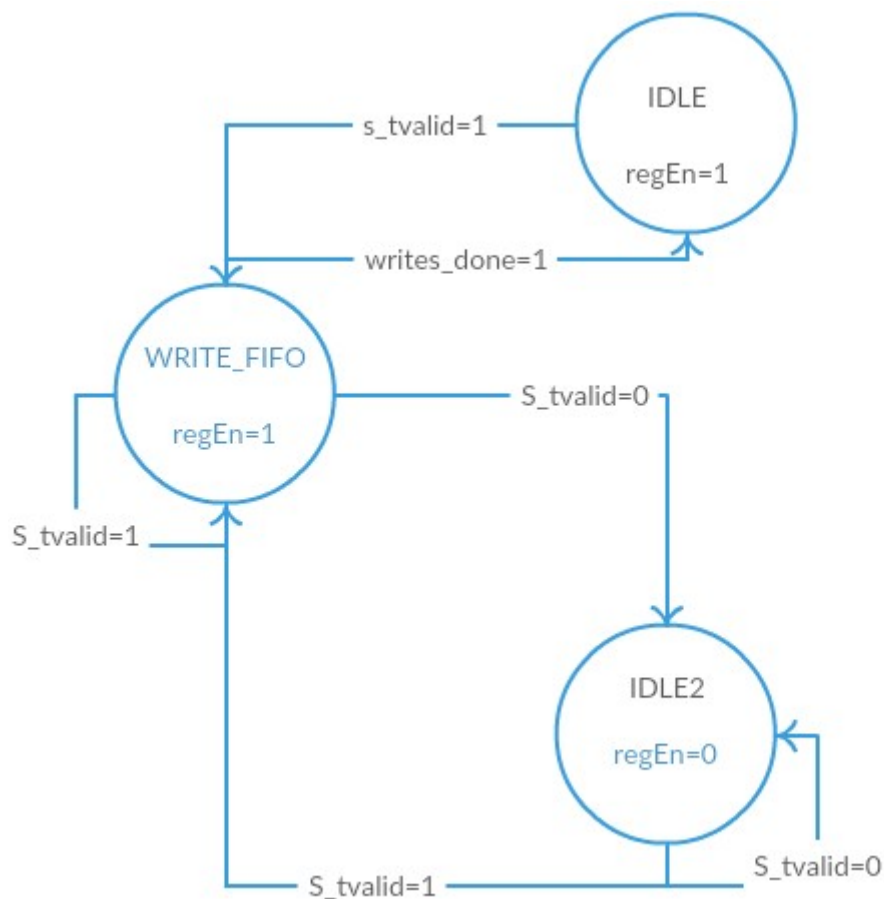
Η αρχιτεκτονική των καναλιών για την κατασκευή των καναλιών αποτυπώνεται στη σχεδίαση



Write Channel-Περιγραφή

FSM process

Στο State machine του slave έχει τοποθετηθεί μια νέα κατάσταση IDLE2 . Σκοπό έχει να δίνει `wr_en` στο process του register. Η ύπαρξη της διαχειρίζεται την παύση της διαδικασίας εγγραφής . Η παύση ενδεχομένως, οφείλεται στην εγγραφή λιγότερων στοιχείων από τις συνολικές θέσεις που μπορεί να φιλοξενήσει η FIFO, ή αλλιώς να απενεργοποιηθεί το `s_tvalid` ενώ υπάρχουν διαθέσιμες θέσεις εγγραφής. Η σχηματική απεικόνιση της FSM ενδείκνυται στο παρακάτω διάγραμμα.



Register process

Έχει χρησιμοποιηθεί Register σε επίπεδο process . Σκοπό έχει να στείλει τα bit εισόδου στην FIFO. Το διάστημα εγγραφής δρομολογείται από την ενεργοποίηση του `wr_en` μέσω την FSM. Εξυπηρετεί ώστε να μην χάνονται οι αρχικές τιμές του πακέτου προς εγγραφή, είτε η πρώτη τιμή είτε τιμή μετά από παύση.

FIFO process

Ο σχηματισμός της FIFO έχει αντικατασταθεί ώστε να καταλαμβάνει 64 θέσεις των 32 bits. Την αλλαγή αυτή έχουν ακολουθήσει και ο pointer write που διαχειρίζονται την FIFO . Η λέξη προς

εγγραφή διοχετεύεται μέσω του register process. Ο δείκτης write φτάνει το εύρος των τιμών 0-63 όμοια με τις θέσεις της FIFO. Ο pointer λαμβάνει την τιμή 64 ,όμως τότε αδρανοποιείται το σύστημα όσον αφορά την εγγραφή.

Read Channel-Περιγραφή

Η λειτουργικότητα της FSM ,όσον αφορά την περιγραφή του master δεν υφίσταται αλλαγές. Ο δείκτης read φτάνει το εύρος των τιμών 0-63 όμοια με τις θέσεις της FIFO. Ο pointer λαμβάνει την τιμή 64 όμως τότε αδρανοποιείται όσον αφορά την ανάγνωση.

Read process

Από το master Interface αποστέλλεται, σύγχρονα, πληροφορία που αφορά την διεύθυνση που θέλει να αναγνώσει από τη FIFO . Την πληροφορία αυτή εκμεταλλεύεται, ασύγχρονα, ο slave ώστε να ανακτήσει από τη FIFO τα data που αντιστοιχούν σε αυτό το address. Τα data επιστρέφονται στο master, ασύγχρονα και με τη σειρά τους δρομολογούνται στην έξοδο προς DMA.

SIMULATION

Η επιτυχής λειτουργικότητα της σχεδίασης αποτυπώνεται σε επίπεδο προσομοίωσης. Έχει χρησιμοποιηθεί simulation που απεικονίζει ξεχωριστά το functionality του myip_module. Αυτό το simulation διαχωρίζεται σε δυο σενάρια λειτουργίας.

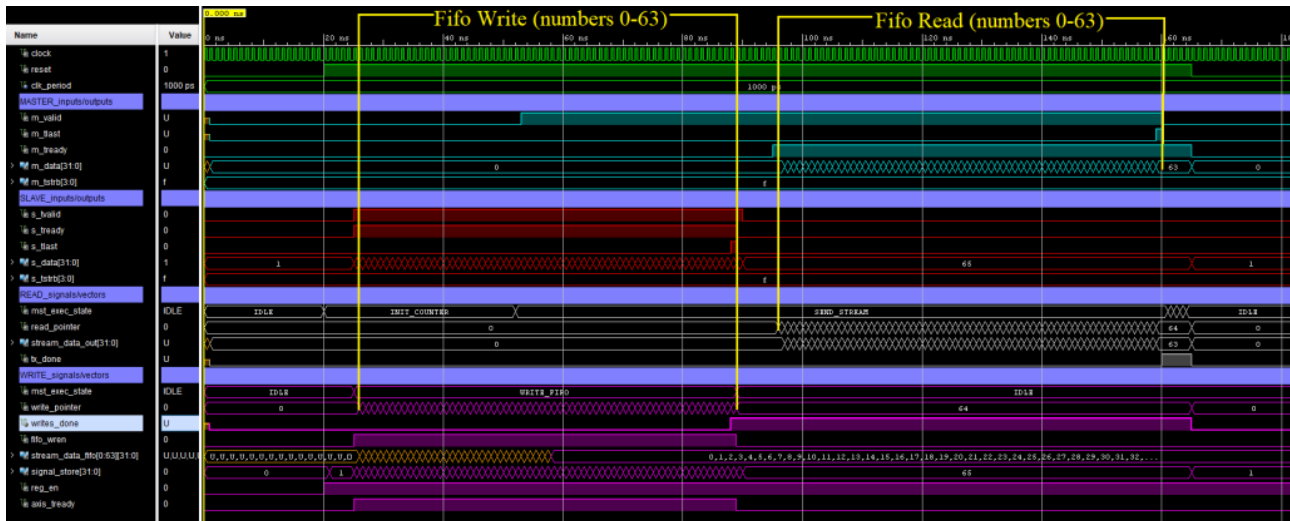
Το πρώτο σενάριο αφορά την εγγραφή και την ανάγνωση όλων των θέσεων που δεσμεύει η ουρά χωρίς παύση.

Το δεύτερο σενάριο ανάγεται στην εγγραφή και ανάγνωση των θέσεων της ουράς σε διαστήματα.

Τα διαστήματα είναι Write-PAUSE-Write-PAUSE-Read-PAUSE-Read

ANALYSIS SCENARIO#1

Η FIFO είναι αρχικοποιημένη στο reset. Σε αυτό το scenario ζητούμενο είναι η επαλήθευση της βασικής λειτουργίας της ανάγνωσης και εγγραφής στη FIFO.



Αρχικά, πραγματοποιείται εκχώρηση τιμών προς εγγραφή από το Slave interface. Οι τιμές προς εγγραφή είναι διαφορετικές για κάθε πεδίο και καταλαμβάνουν όλες τις θέσεις της FIFO. Ξεκινούν από την μηδενική τιμή και φτάνουν μέχρι την τιμή (FIFO_LENGTH-1)

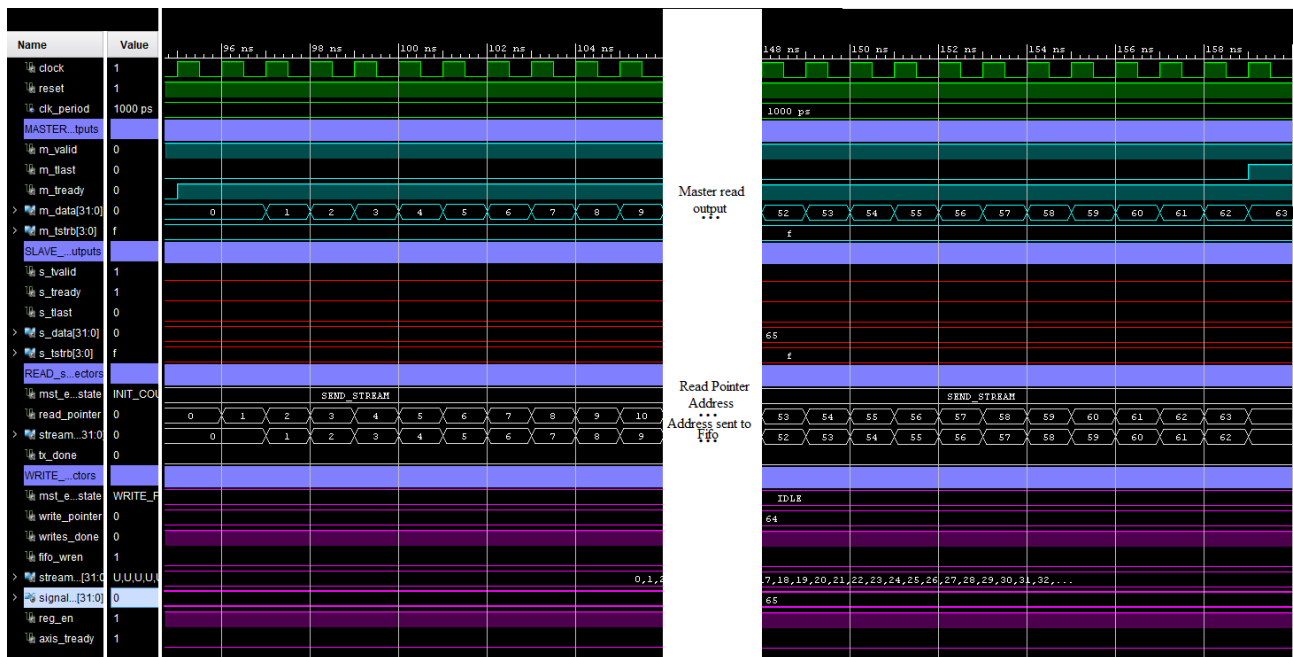
Αρχικά το κύκλωμα βρίσκεται σε αδράνεια (reset=0). Το reset είναι αρνητικής λογικής.

Μόλις ενεργοποιηθεί το κύκλωμα (reset=1) ενεργοποιείται το s_tvalid μαζί με εισερχόμενη πληροφορία. Αναμένεται το s_tready για να ξεκινήσει η εγγραφή.

Στο στιγμιότυπο της προσομοίωσης επισημαίνεται η εγγραφή των στοιχείων στην FIFO. Με ενεργοποιημένο s_tready και s_tvalid ξεκινάει η διαδικασία εγγραφής.

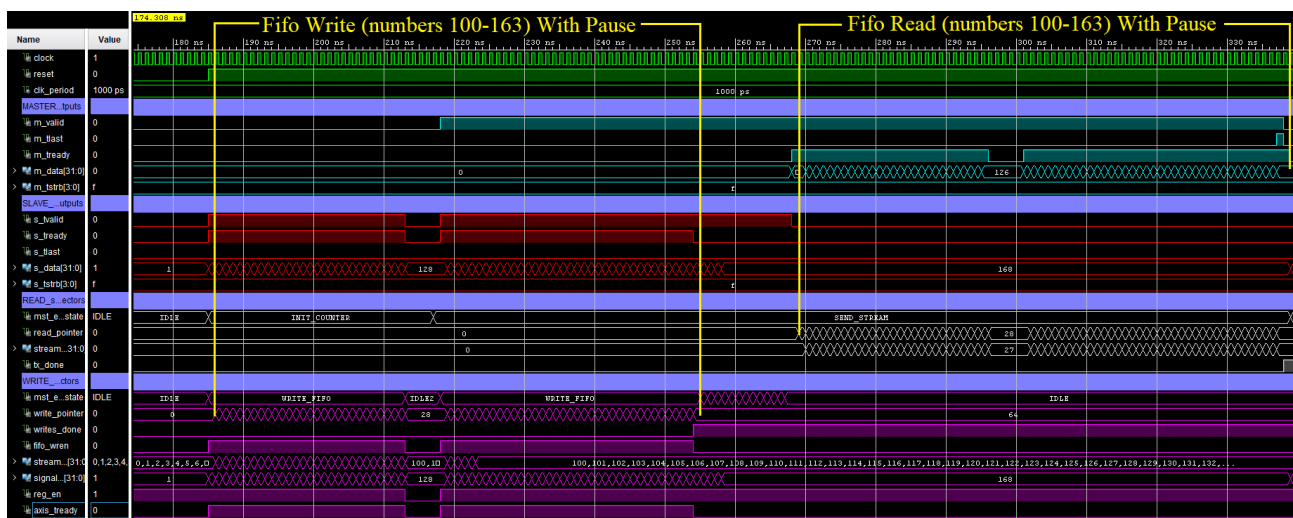
Το σήμα signal store μεταφέρει τα δεδομένα από τον καταχωρητή στη FIFO. Αρχικά τα δεδομένα εισόδου λαμβάνουν την μηδενική τιμή και αυξάνονται με κάθε νέα καταχώρηση – δηλαδή από 0 έως 63. Στην τελευταία καταχώρηση το writes_done ενεργοποιείται και η εγγραφή ολοκληρώνεται.

Το στιγμιότυπο επαληθεύει την ορθή λειτουργία της εγγραφής



ANALYSIS SCENARIO#2

Για τους σκοπούς του scenario#2 , η FIFO έχει αρχικοποιηθεί στο reset.



Σε αυτό το scenario ζητούμενο είναι η επαλήθευση εξειδικευμένης λειτουργίας ανάγνωσης και εγγραφής στη FIFO μέσω παύσεων, ώστε να επαληθευτεί η ορθή λειτουργία των δεικτών και των

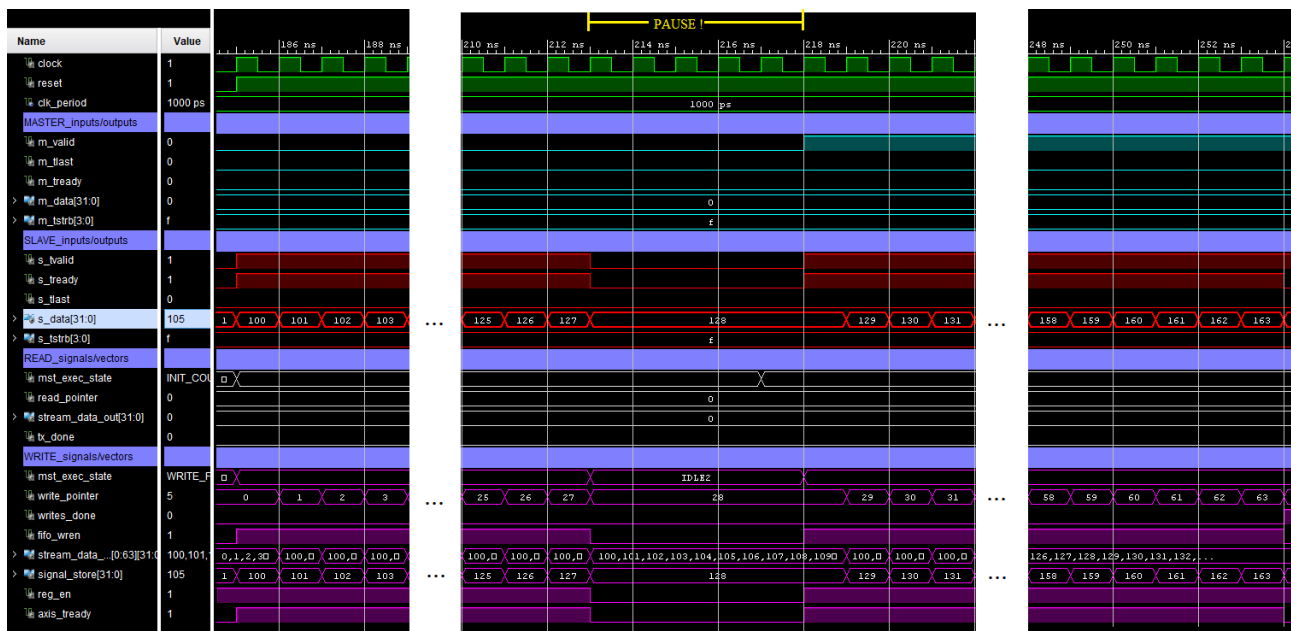
τιμών προς αποθήκευση. Οι τιμές προς εγγραφή ξεκινούν από την τιμή 100 και φτάνουν μέχρι $100 + (\text{FIFO_LENGTH} - 1) = 163$

Τα βήματα που ακολουθούνται σε αυτό το σενάριο είναι τα παρακάτω:

1. Πραγματοποιείται η πρώτη εκχώρηση τιμών προς εγγραφή από το Slave interface για 28 κύκλους.
2. ΠΑΥΣΗ 5 κύκλων
3. Πραγματοποιείται η δεύτερη εκχώρηση τιμών προς εγγραφή από το Slave interface για 36 κύκλους.
4. ΠΑΥΣΗ 10 κύκλων
5. Ακολουθεί το πρώτο read procedure μεταξύ των δυο component για 28 κύκλους.
6. ΠΑΥΣΗ 5 κύκλων
7. Ακολουθεί το δεύτερο read procedure μεταξύ των δυο component για 36 κύκλους.

Στο write procedure εξακολουθεί να είναι ορθή η λειτουργία εγγραφής ακόμα και όταν τα δεδομένα δεν επαρκούν για να γεμίσουν την ουρά. Οι τιμές των δεικτών και των σημάτων είναι λειτουργικοί ώστε να ανταποκριθούν σε νέες εγγραφές η αναγνώσεις.

Με το πέρας των 28 κύκλων εγγραφής η τελευταία τιμή που γράφεται στην ουρά είναι η επιθυμητή (127). Ομοίως και στο δεύτερο σκέλος της εγγραφής (163).



Στο read procedure εξακολουθεί να είναι ορθή η λειτουργία ανάγνωσης. Ο master λαμβάνει από το

slave τα δεδομένα που είναι φορτωμένα στην ουρά. Και τα δυο σκέλη ανάγνωσης ακολουθούν την αναμενόμενη λειτουργικότητα.

