

# 数据手册

## Datasheet

### MM32SPIN320B

### 32 位基于 ARM<sup>®</sup> Cortex<sup>®</sup> M0 核心的微控制器

---

版本：0.11\_p

# 目录

<b>1</b>	<b>简介</b>	<b>1</b>
1.1	概述	1
1.2	产品特性	1
<b>2</b>	<b>规格说明</b>	<b>3</b>
2.1	器件对比	3
2.2	概述	4
2.2.1	ARM 的 Cortex-M0 内核并内嵌闪存 (Flash) 和 SRAM	4
2.2.2	内置闪存存储器	4
2.2.3	内置 SRAM	4
2.2.4	嵌套的向量式中断控制器 (NVIC)	4
2.2.5	外部中断/事件控制器 (EXTI)	5
2.2.6	时钟和启动	5
2.2.7	供电方案	6
2.2.8	供电监控器	6
2.2.9	电压调压器	7
2.2.10	低功耗模式	7
2.2.11	DMA	7
2.2.12	备份寄存器	8
2.2.13	定时器和看门狗	8
2.2.14	通用异步收发器 (UART)	10
2.2.15	I2C 总线	10
2.2.16	串行外设接口 (SPI)	10
2.2.17	通用输入输出接口 (GPIO)	10
2.2.18	ADC(模拟/数字转换器)	10
2.2.19	硬件除法	10
2.2.20	硬件开方	11
2.2.21	PWM 控制	11
2.2.22	温度传感器	11
2.2.23	串行调试口 (SWD)	11
2.2.24	比较器 (COMP)	11
2.2.25	运算放大器	12
2.2.26	栅极驱动器	12
<b>3</b>	<b>引脚定义</b>	<b>13</b>
3.1	引脚定义封装文件	13
3.2	合封芯片扩展引脚说明	17
3.3	功能框图与应用参考电路	18
3.3.1	功能框图	18
3.3.2	应用参考电路	18
<b>4</b>	<b>存储器映像</b>	<b>20</b>
<b>5</b>	<b>电气特性</b>	<b>22</b>

5.1	测试条件	22
5.1.1	最小和最大值	22
5.1.2	典型数值	22
5.1.3	典型曲线	22
5.1.4	负载电容	22
5.1.5	引脚输入电压	22
5.1.6	供电方案	23
5.1.7	电流消耗测量	23
5.2	绝对最大额定值	24
5.3	工作条件	25
5.3.1	通用工作条件	25
5.3.2	上电和掉电时的工作条件	25
5.3.3	内嵌复位和电源控制模块特性	25
5.3.4	供电电流特性	26
5.3.5	外部时钟源特性	28
5.3.6	内部时钟源特性	30
5.3.7	PLL 特性	31
5.3.8	存储器特性	32
5.3.9	EMC 特性	32
5.3.10	绝对最大值 (电气敏感性)	33
5.3.11	I/O 端口特性	34
5.3.12	NRST 引脚特性	36
5.3.13	TIM 定时器特性	37
5.3.14	通信接口	38
5.3.15	12 位 ADC 特性	42
5.3.16	温度传感器特性	45
5.3.17	比较器特性	45
5.3.18	运算放大器特性	46
6	栅极驱动器	48
6.1	工作条件	48
6.2	工作特性	49
7	封装特性	51
7.1	封装 QFN32	51
8	型号命名	53
9	修改记录	54

## 插图

1	模块框图	4
2	时钟树	6
3	QFN32 引脚分布	13
4	功能框图	18
5	应用参考线路	19
6	引脚的负载条件	22
7	引脚输入电压	23
8	供电方案	23
9	电流消耗测量方案	24
10	外部高速时钟源的交流时序图	29
11	使用 8MHz 晶体的典型应用	30
12	输入输出交流特性定义	36
13	建议的 NRST 引脚保护	37
14	I2C 总线交流波形和测量电路 <sup>(1)</sup>	39
15	SPI 时序图-从模式和 CPHA = 0	40
16	SPI 时序图-从模式和 CPHA = 1 <sup>(1)</sup>	41
17	SPI 时序图-主模式 <sup>(1)</sup>	42
18	使用 ADC 典型的连接图	44
19	供电电源和参考电源去藕线路	45
20	上电时序状态图	49
21	短路保护 (Shoot-Through Protection) 时序图	50
22	QFN32 , 32 脚方形扁平无引线封装外形封装图	51
23	MM32 型号命名	53

## 表格

1	产品功能和外设配置	3
2	低功耗模式一览	7
3	定时器功能比较	8
4	引脚定义	13
5	PA 端口功能复用	16
6	PC 端口功能复用	16
7	PD 端口功能复用	16
8	比较器 4/5 输入输出端口	17
9	运算放大器输入输出端口	17
10	GateDriver 引脚说明	17
11	存储器映像	20
12	电压特性	24
13	电流特性	24
14	通用工作条件	25
15	上电和掉电时的工作条件	25
16	内嵌复位和电源控制模块特性	26
17	停机和待机模式下的典型和最大电流消耗 <sup>(2)</sup>	27
18	运行模式下的最大电流消耗，数据处理代码从内部闪存中运行	27
19	睡眠模式下的最大电流消耗，代码运行在 flash 中	28
20	内置外设的电流消耗 <sup>(1)</sup>	28
21	高速外部用户时钟特性	29
22	HSE 2 ~ 24MHz 振荡器特性 <sup>(1)(2)</sup>	29
23	HSI 振荡器特性 <sup>(1)(2)</sup>	30
24	LSI 振荡器特性 <sup>(1)</sup>	31
25	低功耗模式的唤醒时间	31
26	PLL 特性 <sup>(1)</sup>	31
27	闪存存储器特性	32
28	闪存存储器寿命和数据保存期限 <sup>(1)(2)</sup>	32
29	EMS 特性	33
30	MCU ESD 特性	34
31	I/O 静态特性	34
32	输出电压特性	35
33	输入输出交流特性 <sup>(1)(3)</sup>	35
34	NRST 引脚特性	37
35	TIMx <sup>(1)</sup> 特性	37
36	I2C 接口特性	38
37	SPI 特性 <sup>(1)</sup>	39
38	ADC 特性	42
39	f <sub>ADC</sub> =15MHz <sup>(1)</sup> 时的最大 R <sub>AIN</sub>	43
40	ADC 精度 - 局限的测试条件 <sup>(1)(2)</sup>	44
41	温度传感器特性 <sup>(3)(4)</sup>	45
42	比较器特性	45

43	运放特性 . . . . .	46
44	Gatedriver 推荐工作范围 . . . . .	48
45	PWM 输入输出状态表 . . . . .	50
46	QFN32 尺寸说明 . . . . .	52
47	修改记录 . . . . .	54

# 1

## 简介

### 1.1 概述

本产品使用高性能的 ARM® Cortex®-M0 为内核的 32 位微控制器，内嵌两组具备有自举二极管的 N 通道半桥栅极驱动器。最高工作频率可达 96MHz，内置高速存储器，丰富的 I/O 端口和外设连接到外部总线。本产品包含 2 个 12 位的 ADC、2 个比较器、1 个运算放大器、1 个 16 位通用定时器、1 个 32 位通用定时器、3 个 16 位基本定时器和 2 个 16 位高级定时器。还包含标准的通信接口：1 个 I2C 接口、1 个 SPI 接口和 2 个 UART 接口。

本产品系列工作电压为 2.0V ~ 5.5V，工作温度范围 -40°C ~ 85°C 常规型和 -40°C ~ 105°C 扩展型。多种省电工作模式保证低功耗应用的要求。

这些丰富的外设配置，使得本产品微控制器适合于多种应用场合：

MM32SPIN320B 产品提供 QFN32 封装形式；下面给出了该系列产品中所有外设的基本介绍。

这些丰富的外设配置，使得 MM32SPIN320B 产品微控制器适用于多种应用场合：

- 单相永磁无刷电机
- 快速无线充电

### 1.2 产品特性

- 内核与系统
  - 32 位 ARM® Cortex®-M0 处理器内核
  - 最高工作频率可达 96MHz
  - 单指令周期 32 位硬件乘法器
  - 硬件除法器 (32Bit)
  - 硬件开方 (32bit)
- 两组 N 型半桥式栅极驱动器 (GATE-DRIVER)
  - 工作电压范围：4.5V ~ 15V
  - 二相栅极驱动器
  - 驱动能力：5000pF 负载，上升时间与下降时间为 75ns
  - UVLO 保护
  - 上下桥短路自动保护功能
- 存储器
  - 高达 128K 字节的闪存程序存储器
  - 高达 12K 字节的 SRAM
- 时钟、复位和电源管理
  - 2.0V ~ 5.5V 供电
  - 上电/断电复位 (POR/PDR)、可编程电压监测器 (PVD)

- 外部 2 ~ 24MHz 高速晶体振荡器
  - 内嵌经出厂调校的 48MHz 高速振荡器
- 低功耗
  - 睡眠 (sleep)、停机 (stop) 和待机模式 (standby)
- 2 个 12 位模数转换器, 1 $\mu$ S 转换时间 (多达 8 个输入通道)
  - 转换范围: 0 ~ V<sub>DDA</sub>
  - 支持采样时间和分辨率配置
  - 片上温度传感器
  - 片上电压传感器
- 2 个比较器
- 1 个运算放大器
- 1 个 5 通道 DMA 控制器
  - 支持的外设: Timer、UART、I2C、SPI 和 ADC
- 多达 16 个快速 I/O 端口:
  - 所有 I/O 口可以映像到 16 个外部中断
  - 所有端口均可输入输出 5V 信号

注: V<sub>DD</sub> = 5V
- 调试模式
  - 串行调试接口 (SWD)
- 10 个定时器
  - 2 个 16 位 4 通道高级控制定时器, 有 4 通道 PWM 输出, 以及死区生成和紧急停止功能
  - 1 个 16 位定时器和 1 个 32 位定时器, 有高达 4 个输入捕获/输出比较, 可用于 IR 控制解码
  - 2 个 16 位定时器, 有 1 个输入捕获/输出比较和 1 组互补输出, 死区生成, 紧急停止, 调制器门电路用于 IR 控制
  - 1 个 16 位定时器, 有 1 个输入捕获/输出比较
  - 2 个看门狗定时器 (IWDG 和 WWDG)
  - 1 个 SysTick 定时器: 24 位自减型计数器
- 多达 4 个通信接口
  - 2 个 UART 接口
  - 1 个 I2C 接口
  - 1 个 SPI 接口
- 采用 QFN32 封装

有关完整的本产品的详细信息, 请参考本产品数据手册第2.2节。

有关 Cortex®-M0 核心的相关信息, 请参考《Cortex®-M0 技术参考手册》。



2

规格说明

2.1 器件对比

表 1. 产品功能和外设配置

外围接口		MM32SPIN320B
闪存 - K 字节		128
SRAM - K 字节		12
定时器	通用 (16 bit)	1
	通用 (32 bit)	1
	基本	3
	高级	2
通讯接口	UART	2
	SPI	1
	I2C	1
GPIO 端口数		16
12 位 ADC	个数	2
	通道数 (channels)	8
比较器		2
运算放大器		1
CPU 频率		96 MHz
工作电压	VCC	4.5V ~ 15V
	VDDA	2.0V ~ 5.5V
封装		QFN32

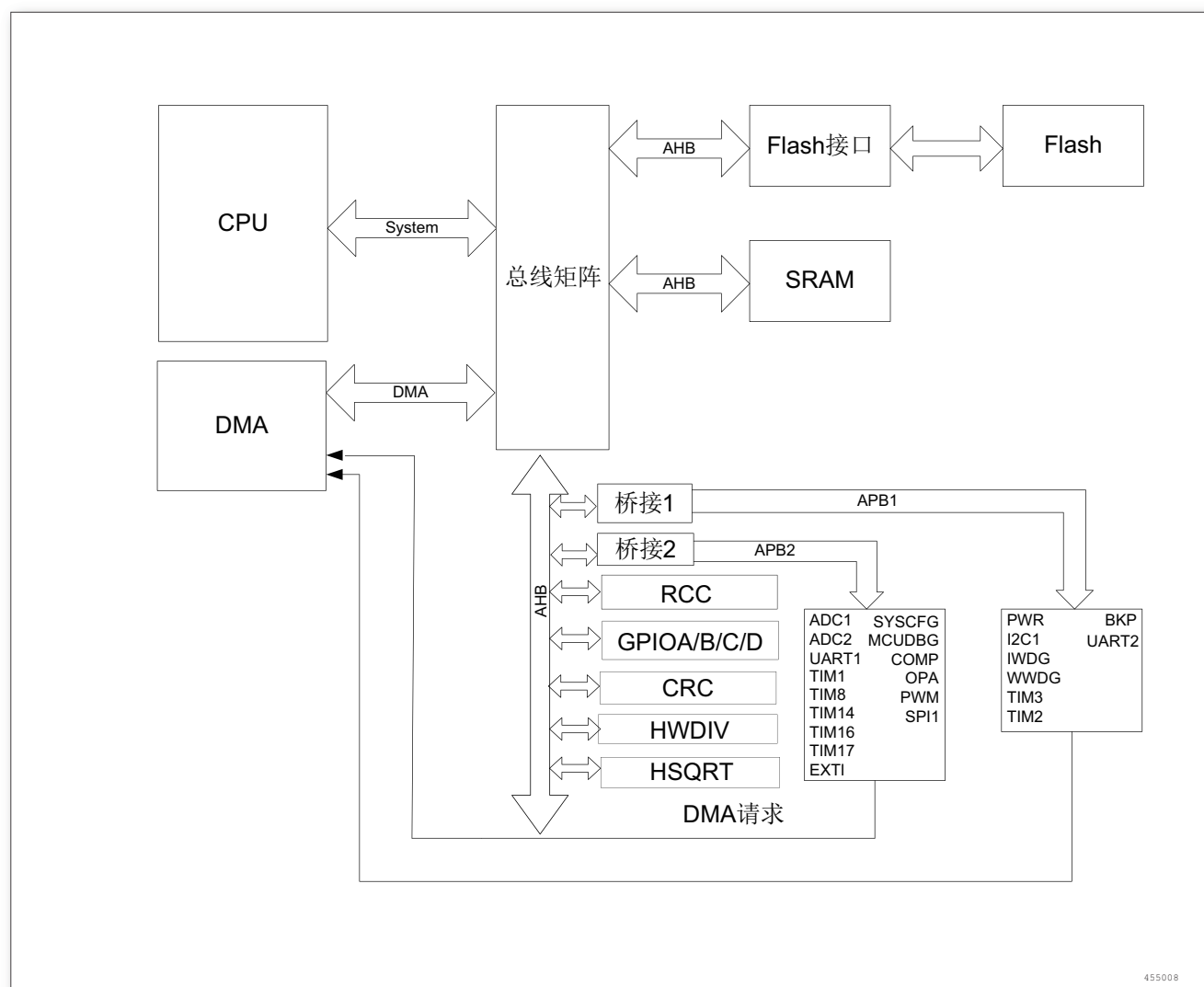


图 1. 模块框图

## 2.2 概述

### 2.2.1 ARM 的 Cortex-M0 内核并内嵌闪存 (Flash) 和 SRAM

ARM® 的 Cortex®-M0 处理器是一个可配置的并具有多级流水线的 32 位精简指令集处理器，具有高性能和低功耗的特点。

### 2.2.2 内置闪存存储器

最大 128K 字节的内置闪存存储器，用于存放程序和数据。

### 2.2.3 内置 SRAM

最大 12K 字节的内置 SRAM。

### 2.2.4 嵌套的向量式中断控制器 (NVIC)

本产品内置嵌套的向量式中断控制器，能够处理多个可屏蔽中断通道 (不包括 16 个 Cortex®-M0 的中断线) 和 16 个可编程优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

### 2.2.5 外部中断/事件控制器 (EXTI)

外部中断/事件控制器包含多个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件 (上升沿或下降沿或双边沿)，并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI 可以检测到脉冲宽度小于内部 AHB 的时钟周期。所有通用 I/O 口连接到 16 个外部中断线。

### 2.2.6 时钟和启动

系统时钟的选择是在启动时进行，复位时内部 48 MHz 振荡器 6 分频被选为默认的 CPU 时钟，随后可以选择外部的、具失效监控的 2 ~ 24 MHz 时钟。当检测到外部时钟失效时，它将被隔离，系统将自动地切换到内部的振荡器，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对 PLL 时钟完全的中断管理 (如当一个间接使用的外部振荡器失效时)。

多个预分频器用于配置 AHB 的频率、高速 APB(APB2 和 APB1) 区域。AHB 和高速 APB 的最高频率是 96MHz。参考图 2 的时钟驱动框图。

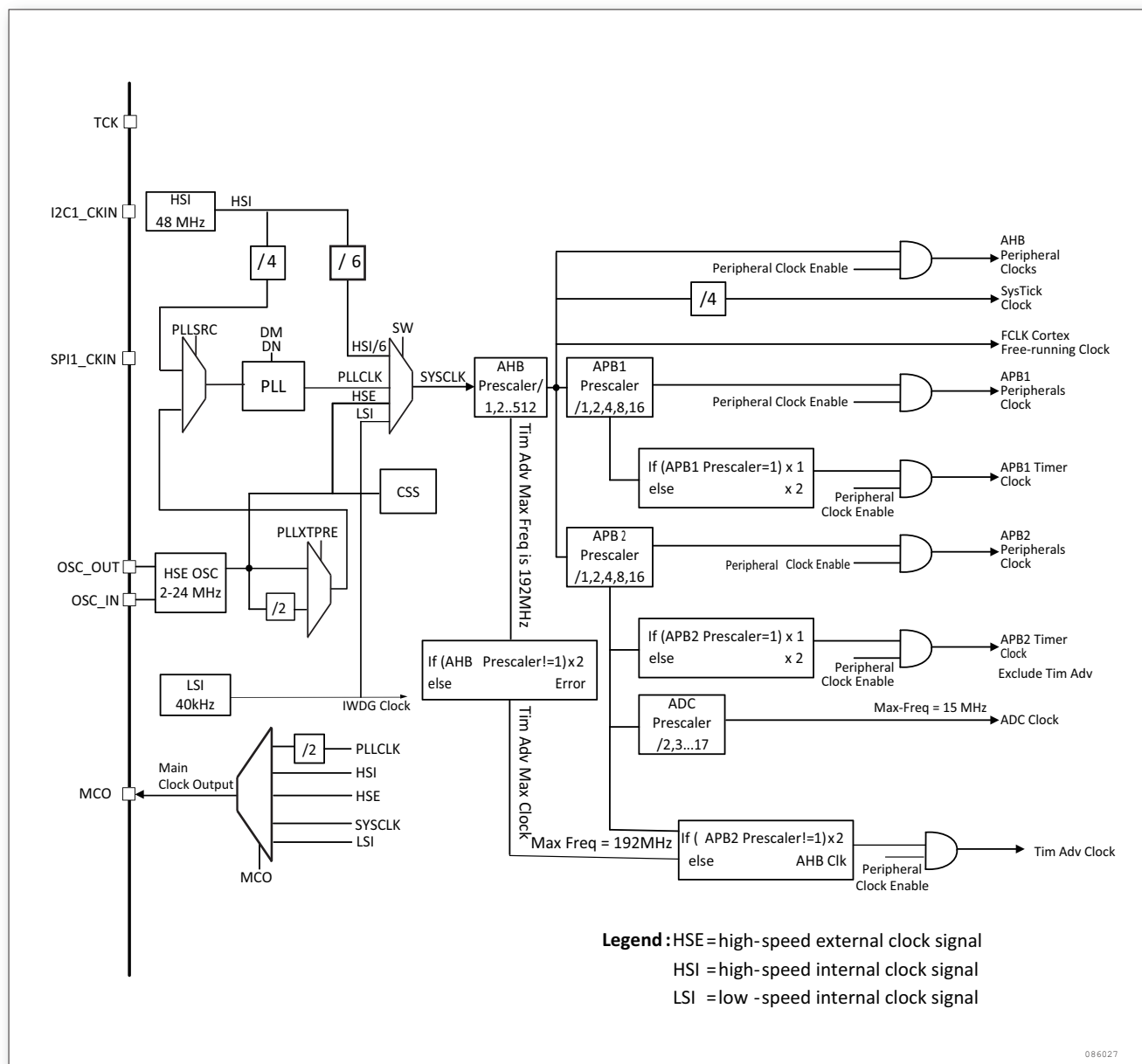


图 2. 时钟树

自举加载程序 (Boot loader) 存放于系统存储器中，可以通过 UART1 对闪存重新编程。

## 2.2.7 供电方案

- $V_{DD} = 2.0V \sim 5.5V$ :  $V_{DD}$  引脚为 I/O 引脚和内部调压器供电。
- $V_{SSA}, V_{DDA} = 2.0V \sim 5.5V$ : 为 ADC、复位模块、振荡器和 PLL 的模拟部分提供供电。  
 $V_{DDA}$  和  $V_{SSA}$  必须分别连接到  $V_{DD}$  和  $V_{SS}$ 。

## 2.2.8 供电监控器

本产品内部集成了上电复位 (POR)/掉电复位 (PDR) 电路，该电路始终处于工作状态，保证系统供电超过 2.0V 时工作；当  $V_{DD}$  低于设定的阈值 ( $V_{POR/PDR}$ ) 时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器 (PVD)，它监视  $V_{DD}/V_{DDA}$  供电并与阈值  $V_{PVD}$  比较，当

$V_{DD}$  低于或高于阈值  $V_{PVD}$  时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

## 2.2.9 电压调压器

调压器将外部电压转成内部数字逻辑工作的电压，该调压器在复位后始终处于工作状态。

## 2.2.10 低功耗模式

产品支持低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

表 2. 低功耗模式一览

模式	进入	唤醒	对 1.5V 区域时钟的影响	对 $V_{DD}$ 区域时钟的影响	电压调节器
睡眠 (SLEEP NOW 或 SLEEP ON EXIT)	WFI (Wait for Interrupt)	任一中断	CPU 时钟关，对其他时钟和 ADC 时钟无影响	无	开
	WFE (Wait for Event)	唤醒事件			
停机	PDDS 位 SLEEPDEEP 位 WFI 或 WFE	任一外部中断 (在外部中断寄存器中设置)	所有使用 1.5V 的区域的时钟都已关闭	PLL、HSI 和 HSE 的振荡器关闭	开
待机	PDDS 位 SLEEPDEEP 位 WFI 或 WFE	WKUP 引脚的上升沿、NRST 引脚上的外部复位、IWDG 复位			关

## 睡眠模式

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

## 停机模式

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，HSI 的振荡器和 HSE 晶体振荡器被关闭。可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒，EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出的唤醒信号。

## 待机模式

待机模式可实现系统的最低功耗。该模式是在 CPU 深睡眠模式时关闭电压调节器。内部所有的 1.5V 部分的供电区域被断开。HSI 和 HSE 振荡器也都关闭，可以通过 WKUP 引脚的上升沿、NRST 引脚的外部复位、IWDG 复位唤醒或者看门狗定时器唤醒并复位。SRAM 和寄存器的内容将被丢失。只有备份的寄存器和待机电路维持供电。

## 2.2.11 DMA

灵活的 5 路通用 DMA 可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输；DMA 控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA 可以用于主要的外设：用 UART、I2C、SPI、ADC 和通用/基本/高级控制定时器 TIMx。

2.2.12 备份寄存器

备份寄存器是 20 个 16 位的寄存器，可用来存储用户应用程序数据。

当系统在待机模式下被唤醒，或系统复位或电源复位时，他们也不会被复位。

2.2.13 定时器和看门狗

产品包含 2 个高级定时器、2 个通用定时器、3 个基本定时器。以及 2 个看门狗定时器和 1 个系统嘀嗒定时器。

下表比较了高级控制定时器、通用定时器和基本定时器的功能：

表 3. 定时器功能比较

定时器类型	名称	计数器分辨率	计数器类型	预分频系数	DMA 请求生成	捕获/比较通道	互补输出
高级	TIM1 / TIM8	16 位	递增、递减、递增/递减	1 ~ 65536 之间的任意整数	有	4	有
通用	TIM2	32 位	递增、递减、递增/递减	1 ~ 65536 之间的任意整数	有	4	无
	TIM3	16 位	递增、递减、递增/递减	1 ~ 65536 之间的任意整数	有	4	无
基本	TIM14	16 位	递增	1 ~ 65536 之间的任意整数	有	1	无
	TIM16 / TIM17	16 位	递增	1 ~ 65536 之间的任意整数	有	1	有

高级控制定时器 ( TIM1 / TIM8 )

高级控制定时器是由 16 位计数器、4 个捕获/比较通道以及三相互补 PWM 发生器组成，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM(边缘或中心对齐模式)
- 单脉冲输出

配置为 16 位通用定时器时，它与 TIM2 定时器具有相同的功能。配置为 16 位 PWM 发生

器时，它具有全调制能力 (0 ~ 100%)。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与通用的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

## 通用定时器 (TIMx)

产品中，内置了多达 2 个可同步运行的通用定时器 (TIM2、TIM3)。定时器有一个 16/32 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

### 通用定时器\_32 位

定时器有一个 32 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

### 通用定时器\_16 位

每个定时器有一个 16 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

这些定时器还能够处理增量编码器的信号，也能处理 1 ~ 4 个霍尔传感器的数字输出。每个定时器都 PWM 输出或作为简单时间基准。

## 基本定时器

### TIM14

该定时器基于一个 16 位自动重载递增计数器和一个 16 位预分频器。具有一个单通道，用于输入捕获/输出比较，PWM 或单脉冲模式输出。在调试模式下，其计数器可被冻结。

### TIM16 / TIM17

定时器均基于一个 16 位自动重载递增计数器和一个 16 位预分频器。有一个单通道，用于输入捕获/输出比较，PWM 或单脉冲模式输出。有互补输出，带死区生成和独立 DMA 请求生成功能。在调试模式下，计数器可以被冻结。

## 独立看门狗 (IWDG)

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的振荡器提供时钟；因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以用在系统发生问题时复位整个系统或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

## 窗口看门狗 (WWDG)

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

## 系统时基定时器 (Systick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

### 2.2.14 通用异步收发器 (UART)

UART 接口具有硬件的 CTS 和 RTS 信号管理。支持 LIN 主从功能。兼容 ISO7816 智能卡模式。UART 接口支持输出数据长度可为 5 位、6 位、7 位、8 位、9 位均可配置。

所有 UART 接口都可以使用 DMA 操作。

### 2.2.15 I2C 总线

I2C 总线接口，能够工作于多主模式或从模式，支持标准和快速模式。

I2C 接口支持 7 位或 10 位寻址。

### 2.2.16 串行外设接口 (SPI)

SPI 接口，在从或主模式下，可配置成每帧 1 ~ 32 位。主模式最大速率 24M，从模式最大速率 12M。

所有的 SPI 接口都可以使用 DMA 操作。

### 2.2.17 通用输入输出接口 (GPIO)

每个 GPIO 引脚都可以由软件配置成输出 (推挽或开漏)、输入 (带或不带上拉或下拉) 或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

### 2.2.18 ADC(模拟/数字转换器)

产品内嵌 2 个 12 位的模拟/数字转换器 (ADC)，ADC 可用多达 8 个外部通道，可以实现单次、单周期和连续扫描转换。在扫描模式下，自动进行已选定的一组模拟输入上的采集值转换。

ADC 可以使用 DMA 操作。

模拟看门狗功能允许非常精准地监视一路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由通用定时器 (TIMx) 和高级控制定时器产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 ADC 转换与时钟同步。

### 2.2.19 硬件除法

硬件除法单元包括 4 个 32 位数据寄存器，分别为被除数，除数，商和余数，可以做有符号或者无符号的 32 位除法运算。通过硬件除法控制寄存器 USIGN 可以选择是有符号除法还是无符号除法。



每一次写入除数寄存器，会自动触发除法运算，在运算结束后，结果会写入到商和余数寄存器里。如果在结束前读商寄存器、余数寄存器或者状态寄存器，读操作会被暂停，直到结束才返回运算结果。

如果除数为零，会产生溢出中断标志位。

## 2.2.20 硬件开方

硬件开方单元支持 32 位的开方运算。

## 2.2.21 PWM 控制

PWM 控制模块控制高级定时器 TIM1 输出的 PWM 波形，生成六步方波驱动电机运转。该模块支持自动换相屏蔽 (Auto Phase Mask)，电流补偿 (Current Compensation) 和电流保护 (Current Protection) 功能。

## 2.2.22 温度传感器

温度传感器产生一个随温度线性变化的电压。温度传感器在内部被连接到 ADC 的输入通道上，用于将传感器的输出转换到数字数值。

## 2.2.23 串行调试口 (SWD)

内嵌 ARM 的两线串行调试端口 (SW-DP)。

ARM 的 SW-DP 接口允许通过串行线调试工具连接到单片机。

## 2.2.24 比较器 (COMP)

产品内嵌 2 个比较器，可独立使用 (适用所有终端上的 I/O 口)，也可与定时器结合使用。也可用于多种功能，包括：

- 由模拟信号触发低功耗模式唤醒事件
- 调节模拟信号
- 定时器输出的 PWM 相结合，组成逐周期的电流控制回路
- 轨对轨比较器
- 每个比较器有可选门限
  - 可复用的 I/O 引脚
  - 内部比较电压 CRV 可选择 AVDD 或者内部基准电压的分压电压值
- 可编程迟滞电压
- 可编程的速率和功耗
- 支持比较结果的滤波功能
- 输出端可以重定向到一个 I/O 端口或多个定时器输入端，可以触发以下事件：
  - 捕获事件
  - OCref\_clr 事件 (逐周期电流控制)
  - 为实现快速 PWM 关断的刹车事件
- 两个比较器可以组合在一个窗口比较器中使用
- COMP3 有 1 个正相输入和 1 个反相输入
- COMP4/5 有 4 个正相输入和 4 个反相输入，带有轮询功能
  - 可以实现定周期切换的轮询功能

- 可控制轮询通道 1/2/3 或 1/2
  - 可选固定反向输入端
- 每个比较器都可产生中断，并支持把 CPU 从睡眠和停机模式唤醒 (通过 EXTI 控制器)

### 2.2.25 运算放大器

内嵌 1 个运算放大器，每个运算放大器的输入输出都连接到 I/O，通过共享 I/O 可以与 ADC、比较器相连。

- 轨对轨输入/输出
- 输出连接到 I/O 上

### 2.2.26 栅极驱动器

芯片中集成了 2 个 GateDriver，支持外挂功率 N 型 MOSFET 驱动器。

该 GateDriver 还支持电压 UVLO 保护。

N 型半桥式栅极驱动器 (Gate-Driver) 支持以下特性：

- 三相栅极驱动器
- 输入电压范围：7.0V ~ 13.5V
- 驱动能力：1A/1A SINK/SOURCE，三相栅极驱动电流
- UVLO 保护
- 内建 65ns 死区时间设置

3

引脚定义

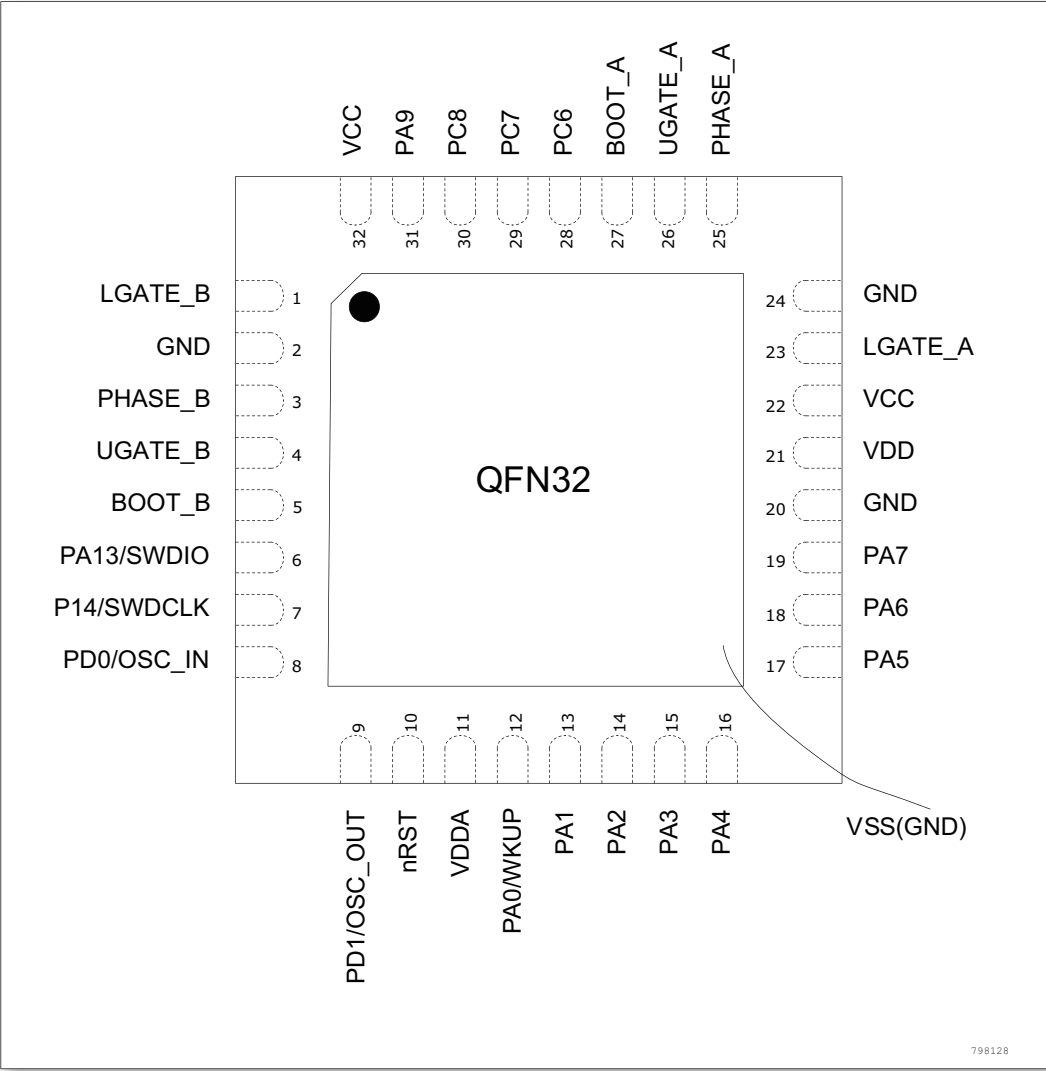


图 3. QFN32 引脚分布

3.1 引脚定义封装文件

表 4. 引脚定义

引脚编码	引脚名称	类型 <sup>(1)</sup>	I/O 电平 <sup>(2)</sup>	主功能	可选的复用功能	附加功能
LQFP32						
1	LGATE_B	-	-	LGATE_B	-	-
2	GND	S	-	GND	-	-

引脚编码 LQFP32	引脚名称	类型 <sup>(1)</sup>	I/O 电平 <sup>(2)</sup>	主功能	可选的复用功能	附加功能
3	PHASE_B	-	-	PHASE_B	-	-
4	UGATE_B	-	-	UGATE_B	-	-
5	BOOT_B	-	-	BOOT_B	-	-
6	PA13	I/O	FT	PA13	SWDIO	-
7	PA14	I/O	FT	PA14	SWDCLK UART2_TX	-
8	PD0 OSC_IN	I/O	FT	PD0	TIM1_CH1N I2C1_SDA UART1_TX SPI1_MOSI	-
9	PD1 OSC_OUT	I/O	FT	PD1	TIM1_BKIN I2C1_SCL UART1_RX SPI1_MISO SPI1_SCK	-
10	nRST	I/O	FT	nRST	-	-
11	VDDA	S	-	VDDA	-	-
12	PA0 WKUP	I/O	TC	PA0	UART2_CTS TIM2_CH1_ETR TIM14_CH1 COMP4_OUT	ADC1_VIN[0]
13	PA1	I/O	TC	PA1	UART2_RTS TIM2_CH2 TIM1_CH2	ADC1_VIN[1]
14	PA2	I/O	TC	PA2	UART2_TX TIM2_CH3 TIM1_CH2N COMP5_OUT	ADC1_VIN[2]
15	PA3	I/O	TC	PA3	UART2_RX TIM2_CH4 TIM1_CH3	ADC1_VIN[3]
16	PA4	I/O	TC	PA4	SPI1_NSS SPI1_SCK TIM1_CH3N TIM14_CH1	OP1_INP ADC2_VIN[4] ADC1_VIN[4]
17	PA5	I/O	TC	PA5	SPI1_SCK SPI1_NSS TIM2_CH1_ETR	OP1_INM ADC2_VIN[5] ADC1_VIN[5]

引脚编码 LQFP32	引脚名称	类型 <sup>(1)</sup>	I/O 电平 <sup>(2)</sup>	主功能	可选的复用功能	附加功能
18	PA6	I/O	TC	PA6	SPI1_MISO TIM3_CH1 TIM1_BKIN TIM8_BKIN TIM16_CH1 COMP4_OUT	COMP4_INP3 COMP5_INP3 OP1_OUT ADC2_VIN[6] ADC1_VIN[6]
19	PA7	I/O	TC	PA7	SPI1_MOSI TIM3_CH2 TIM1_CH1N TIM8_CH1N TIM14_CH1 TIM17_CH1 COMP5_OUT	ADC2_VIN[7] ADC1_VIN[7]
20	GND	S	-	GND	-	-
21	VDD	S	-	VDD	-	-
22	VCC	S	-	VCC	-	-
23	LGATE_A	-	-	LGATE_A	-	-
24	GND	S	-	GND	-	-
25	PHASE_A	-	-	PHASE_A	-	-
26	UGATE_A	-	-	UGATE_A	-	-
27	BOOT_A	-	-	BOOT_A	-	-
28	PC6	I/O	FT	PC6	TIM3_CH1 TIM8_CH1 TIM3_CH3 SPI1_NSS	-
29	PC7	I/O	FT	PC7	TIM3_CH2 TIM8_CH2 TIM2_CH1_ETR SPI1_SCK	-
30	PC8	I/O	FT	PC8	TIM3_CH3 TIM8_CH3 TIM2_CH2	-
31	PA9	I/O	TC	PA9	UART1_TX TIM1_CH2 UART1_RX I2C1_SCL MCO	-
32	VCC	S	-	VCC	-	-

引脚编码	引脚名称	类型 <sup>(1)</sup>	I/O 电平 <sup>(2)</sup>	主功能	可选的复用功能	附加功能
LQFP32						
0	VSS	S	-	VSS	-	-

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻  
 2. FT: 容忍 5V, 可输入 VDD 和 5V 之间的信号  
 TC: 标准 IO, 输入信号不超过 VDD 电压

表 5. PA 端口功能复用

Pin Name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	-	UART2_CTS	TIM2_CH1_ETR	-	-	-	TIM14_CH1	COMP4_OUT
PA1	-	UART2_RTS	TIM2_CH2	TIM1_CH2	-	-	-	-
PA2	-	UART2_TX	TIM2_CH3	TIM1_CH2N	-	-	-	COMP5_OUT
PA3	-	UART2_RX	TIM2_CH4	TIM1_CH3	-	-	-	-
PA4	SPI1_NSS	SPI1_SCK	-	TIM1_CH3N	TIM14_CH1	-	-	-
PA5	SPI1_SCK	SPI1_NSS	TIM2_CH1_ETR	-	-	-	-	-
PA6	SPI1_MISO	TIM3_CH1	TIM1_BKIN	TIM8_BKIN	-	TIM16_CH1	-	COMP4_OUT
PA7	SPI1_MOSI	TIM3_CH2	TIM1_CH1N	TIM8_CH1N	TIM14_CH1	TIM17_CH1	-	COMP5_OUT
PA9	-	UART1_TX	TIM1_CH2	UART1_RX	I2C1_SCL	MCO	-	-
PA13	SWDIO	-	-	-	-	-	-	COMP2_OUT
PA14	SWDCLK	UART2_TX	-	-	-	-	-	COMP1_OUT

表 6. PC 端口功能复用

Pin Name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PC6	-	TIM3_CH1	-	TIM8_CH1	-	TIM3_CH3	SPI1_NSS	-
PC7	-	TIM3_CH2	-	TIM8_CH2	-	TIM2_CH1_ETR	SPI1_SCK	-
PC8	-	TIM3_CH3	-	TIM8_CH3	-	TIM2_CH2	-	-

表 7. PD 端口功能复用

Pin Name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PD0	TIM1_CH1N	I2C1_SDA	-	UART1_TX	-	SPI1_MOSI	SPI1_MOSI	-

Pin Name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PD1	TIM1_BKIN	I2C1_SCL	-	UART1_RX	-	SPI1_MISO	SPI1_SCK	-

表 8. 比较器 4/5 输入输出端口

比较器 \ 端口	INP0	INP1	INP2	INP3	INM0	INM1	INM2	INM3	OUT
COMP4	-	-	-	PA6	-	-	-	CRV	PA0/ PA6
COMP5	-	-	-	PA6	-	-	-	CRV	PA2/ PA7

表 9. 运算放大器输入输出端口

运算放大器 \ 端口	INP	INM	OUT
OP1	PA4	PA5	PA6

## 3.2 合封芯片扩展引脚说明

表 10. GateDriver 引脚说明

引脚号	引脚名称	引脚功能
1	LGATE_B	栅极驱动器下桥臂输出 B。将此引脚连接到低端 MOSFET 的栅极。该引脚由射出保护电路进行监控，用来确定何时 MOSFET 关闭。
2	GND	IC 的地线。
3	PHASE_B	功率切换电路输出相节点 B。将此引脚连接到 MOSFET 上方的源极和 MOSFET 下桥臂的漏极。该引脚用作 UGATE 驱动程序的返回路径。该引脚还受到射出保护电路的监控，用来确定上部 MOSFET 何时关闭。
4	UGATE_B	栅极驱动器上桥臂输出 B。将此引脚连接到上端 MOSFET 的栅极。该引脚通过射出保护电路进行监控，用来确定上部 MOSFET 何时关闭。
5	BOOT_B	栅极驱动器自举电源输出 B。用来提升上桥臂驱动器的电压。将引导电容器 CBOOT 连接在 BOOT 引脚和 PHASE 引脚之间用来从自举电路中引出。自举电容器为打开上部 MOSFET 提供电荷。电路设计尽量确保 CBOOT 置在 IC 附近。
20	GND	IC 的地线。
21	VDD	IC 内部的 MCU 电源。该引脚为 IC 提供偏置电压。此引脚和 2V~5.5V 电压源连接，旁路使用 R / C 滤波器。
22	VCC	IC 内部的栅极驱动器电源。该引脚为 IC 提供偏置电压。此引脚和 4.5V~15V 电压源连接，旁路使用 R / C 滤波器。
23	LGATE_A	栅极驱动器下桥臂输出 A。将此引脚连接到低端 MOSFET 的栅极。该引脚由射出保护电路进行监控，用来确定何时 MOSFET 关闭。
24	GND	IC 的地线。

引脚号	引脚名称	引脚功能
25	PHASE_A	功率切换电路输出相节点 A。将此引脚连接到 MOSFET 上方的源极和 MOSFET 下方的漏极。该引脚用作 UGATE 驱动程序的返回路径。该引脚还受到直通保护电路的监控，用来确定上部 MOSFET 何时关闭。
26	UGATE_A	栅极驱动器上桥臂输出 A。将此引脚连接到上端 MOSFET 的栅极。该引脚通过射出保护电路进行监控，用来确定上部 MOSFET 何时关闭。
27	BOOT_A	栅极驱动器自举电源输出 A。用来提升上桥臂驱动器的电压。将引导电容器 CBOOT 连接在 BOOT 引脚和 PHASE 引脚之间用来从自举电路中引出。自举电容器为打开上部 MOSFET 提供电荷。电路设计尽量确保 CBOOT 置在 IC 附近。
32	VCC	IC 内部的栅极驱动器电源。该引脚为 IC 提供偏置电压。此引脚和 4.5V~15V 电压源连接，旁路使用 R / C 滤波器。

3.3 功能框图与应用参考电路

3.3.1 功能框图

功能框图如下：

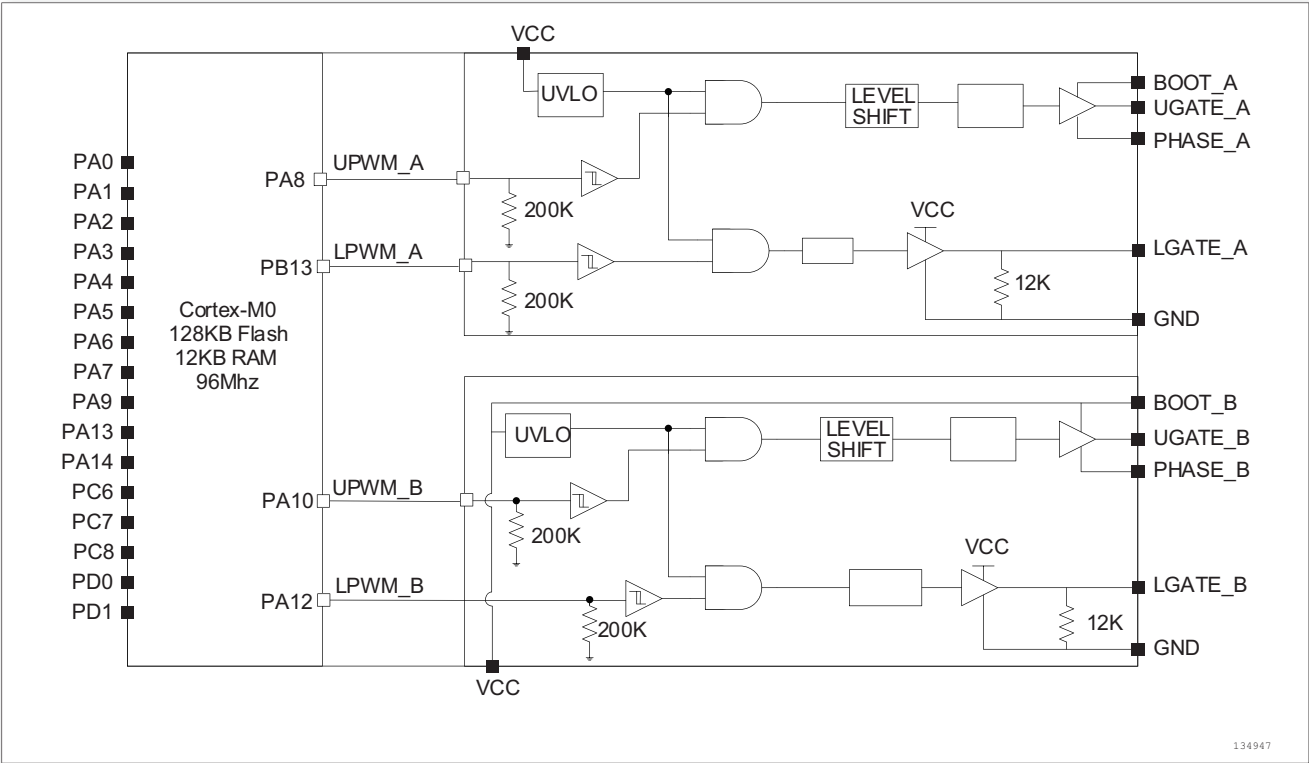
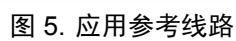


图 4. 功能框图

3.3.2 应用参考电路

应用参考电路如下：





注:  $V_{in} + V_{cc} \leq 30V$ 。

## 4

## 存储器映像

表 11. 存储器映像

总线	编址范围	大小	外设	备注
Flash	0x0000 0000 - 0x0001 FFFF	128 KB	主闪存存储器，系统存储器或是 SRAM 有赖于 BOOT 的配置	
	0x0002 0000 - 0x07FF FFFF	~128 MB	Reserved	
	0x0800 0000 - 0x0801 FFFF	128 KB	Main Flash memory	
	0x0802 0000 - 0x1FFD FFFF	~256 MB	Reserved	
	0x1FFE 0000 - 0x1FFE 01FF	0.5 KB	Reserved	
	0x1FFE 0200 - 0x1FFE 0FFF	3 KB	Reserved	
	0x1FFE 1000 - 0x1FFE 1BFF	3 KB	Reserved	
	0x1FFE 1C00 - 0x1FFF F3FF	~256 MB	Reserved	
	0x1FFF F400 - 0x1FFF F7FF	1 KB	System memory	
	0x1FFF F800 - 0x1FFF F80F	16 B	Option bytes	
	0x1FFF F810 - 0x1FFF FFFF	~2 KB	Reserved	
SRAM	0x2000 0000 - 0x2000 2FFF	12 KB	SRAM	
	0x2000 3000 - 0x2FFF FFFF	~512 MB	Reserved	
APB1	0x4000 0000 - 0x4000 03FF	1 KB	TIM2	
	0x4000 0400 - 0x4000 07FF	1 KB	TIM3	
	0x4000 0800 - 0x4000 0BFF	8 KB	Reserved	
	0x4000 2800 - 0x4000 2BFF	1 KB	BKP	
	0x4000 2C00 - 0x4000 2FFF	1 KB	WWDG	
	0x4000 3000 - 0x4000 33FF	1 KB	IWDG	
	0x4000 3400 - 0x4000 37FF	1 KB	Reserved	
	0x4000 3400 - 0x4000 37FF	1 KB	Reserved	
	0x4000 3800 - 0x4000 3BFF	1 KB	Reserved	
	0x4000 4000 - 0x4000 43FF	1 KB	Reserved	
	0x4000 4400 - 0x4000 47FF	1 KB	UART2	
	0x4000 4800 - 0x4000 4BFF	3 KB	Reserved	
	0x4000 5400 - 0x4000 57FF	1 KB	I2C1	
	0x4000 5800 - 0x4000 5BFF	1 KB	Reserved	
	0x4000 5C00 - 0x4000 5FFF	1 KB	Reserved	
	0x4000 6000 - 0x4000 63FF	1 KB	Reserved	

总线	编址范围	大小	外设	备注
APB1	0x4000 6400 - 0x4000 67FF	1 KB	Reserved	
	0x4000 6800 - 0x4000 6BFF	1 KB	Reserved	
	0x4000 6C00 - 0x4000 6FFF	1 KB	Reserved	
	0x4000 7000 - 0x4000 73FF	1 KB	PWR	
	0x4000 7400 - 0x4000 FFFF	35 KB	Reserved	
APB2	0x4001 0000 - 0x4001 03FF	1 KB	SYSCFG	
	0x4001 0400 - 0x4001 07FF	1 KB	EXTI	
	0x4001 0800 - 0x4001 0BFF	1 KB	TIM8	
	0x4001 0C00 - 0x4001 23FF	6 KB	Reserved	
	0x4001 2400 - 0x4001 27FF	1 KB	ADC1	
	0x4001 2800 - 0x4001 2BFF	1 KB	ADC2	
	0x4001 2C00 - 0x4001 2FFF	1 KB	TIM1	
	0x4001 3000 - 0x4001 33FF	1 KB	SPI1	
	0x4001 3400 - 0x4001 37FF	1 KB	DBGMCU	
	0x4001 3800 - 0x4001 3BFF	1 KB	UART1	
	0x4001 3C00 - 0x4001 3FFF	1 KB	COMP	
	0x4001 4000 - 0x4001 43FF	1 KB	TIM14	
	0x4001 4400 - 0x4001 47FF	1 KB	TIM16	
	0x4001 4800 - 0x4001 4BFF	1 KB	TIM17	
	0x4001 4C00 - 0x4001 63FF	6 KB	Reserved	
	0x4001 6400 - 0x4001 67FF	1 KB	PWM	
	0x4001 6800 - 0x4001 7FFF	6 KB	Reserved	
AHB	0x4002 0000 - 0x4002 03FF	1 KB	DMA	
	0x4002 0400 - 0x4002 0FFF	3 KB	Reserved	
	0x4002 1000 - 0x4002 13FF	1 KB	RCC	
	0x4002 1400 - 0x4002 1FFF	3 KB	Reserved	
	0x4002 2000 - 0x4002 23FF	1 KB	Flash 接口	
	0x4002 2400 - 0x4002 FFFF	55 KB	Reserved	
	0x4003 0000 - 0x4003 03FF	1 KB	HWDIV	
	0x4003 0400 - 0x4003 07FF	1 KB	HSQRT	
	0x4003 0800 - 0x47FF FFFF	~127 MB	Reserved	
	0x4800 0000 - 0x4800 03FF	1 KB	GPIOA	
	0x4800 0400 - 0x4800 07FF	1 KB	GPIOB	
	0x4800 0800 - 0x4800 0BFF	1 KB	GPIOC	
	0x4800 0C00 - 0x4800 0FFF	1 KB	GPIOD	
	0x4800 1000 - 0x5FFF FFFF	~383 MB	Reserved	

# 5

## 电气特性

### 5.1 测试条件

除非特别说明，所有电压都以  $V_{SS}$  为基准。

#### 5.1.1 最小和最大值

除非特别说明，最小和最大数值是在环境温度  $T_A = 25^{\circ}\text{C}$ ， $V_{DD} = 3.3\text{V}$  下执行的测试。

#### 5.1.2 典型数值

除非特别说明，典型数据是基于  $T_A = 25^{\circ}\text{C}$  和  $V_{DD} = 3.3\text{V}$ 。这些数据仅用于设计指导而未经测试。

#### 5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

#### 5.1.4 负载电容

测量引脚参数时的负载条件示于下图。

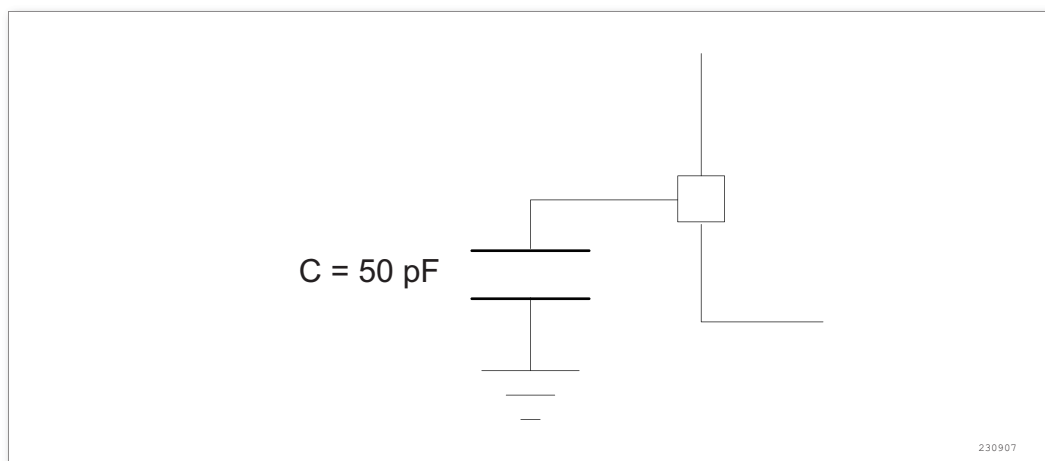


图 6. 引脚的负载条件

#### 5.1.5 引脚输入电压

引脚上输入电压的测量方式示于下图。

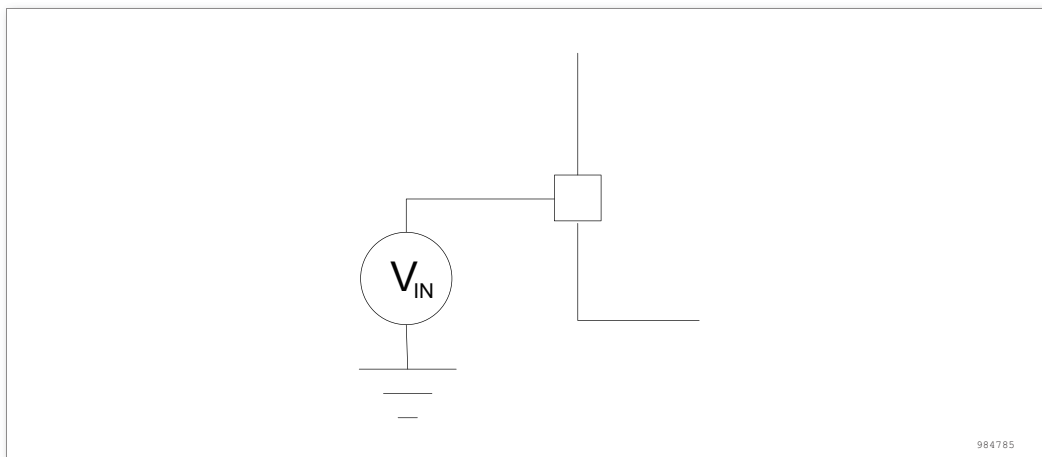


图 7. 引脚输入电压

### 5.1.6 供电方案

供电设计方案示于下图。

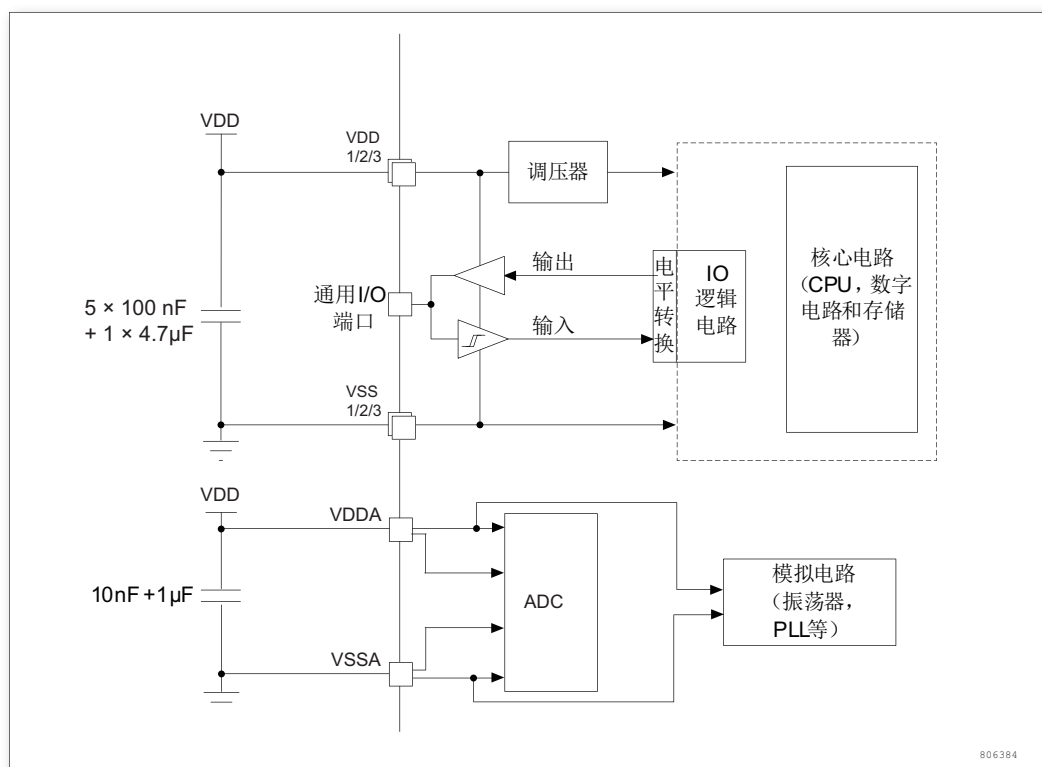


图 8. 供电方案

### 5.1.7 电流消耗测量

引脚上电流消耗的测量方式示于下图。

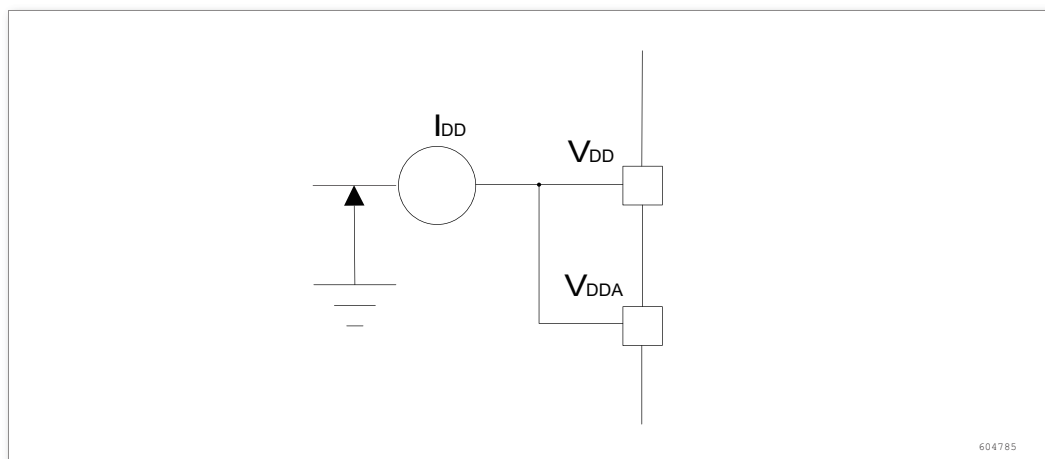


图 9. 电流消耗测量方案

## 5.2 绝对最大额定值

加在器件上的载荷如果超过“绝对组最大额定值”列表(表 12、表 13)中给出的值,可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷,并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 12. 电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压 (包含 $V_{DDA}$ 和 $V_{SSA}$ ) <sup>(1)</sup>	- 0.3	5.5	V
$V_{IN}$	在 5 V 容忍的引脚上的输入电压 <sup>(2)</sup>	$V_{SS} - 0.3$	5.5	
	在其它引脚上的输入电压 <sup>(2)</sup>	$V_{SS} - 0.3$	5.5	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差		50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差		50	

1. 所有的电源 ( $V_{DD}$ ,  $V_{DDA}$ ) 和地 ( $V_{SS}$ ,  $V_{SSA}$ ) 引脚必须始终连接到外部允许范围内的供电系统上。
2. 必须始终遵循  $V_{IN}$  的最大值。有关允许的最大注入电流值的信息, 请参见下表。

表 13. 电流特性

符号	描述	最大值	单位
$I_{VDD}$	经过 $V_{DD}/V_{DDA}$ 电源线的总电流 (供应电流) <sup>(1)</sup>	120	mA
$I_{VSS}$	经过 $V_{SS}$ 地线的总电流 (流出电流) <sup>(2)</sup>	120	
$I_{IO}$	任意 I/O 和控制引脚上的输出灌电流	20	
	任意 I/O 和控制引脚上的输出电流	-18	
$I_{INJ(PIN)}^{(2)(3)}$	NRST 引脚的注入电流	±5	mA
$I_{INJ(PIN)}^{(2)(3)}$	HSE 的 OSC_IN 引脚和 LSE 的 OSC_IN 引脚的注入电流	±5	mA
$I_{INJ(PIN)}^{(2)(3)}$	其他引脚的注入电流 <sup>(4)</sup>	±5	mA
$\Sigma I_{INJ(PIN)}^{(6)}$	所有 I/O 和控制引脚上的总注入电流 <sup>(5)</sup>	±25	mA

1. 在允许的范围内，所有主电源 ( $V_{DD}$ 、 $V_{DDA}$ ) 和接地 ( $V_{SS}$ 、 $V_{SSA}$ ) 引脚必须始终连接到外部电源。
2. 此电流消耗必须正确分布至所有 I/O 和控制引脚。总输出电流一定不能在参考高引脚数 LQFP 封装的两个连续电源引脚间灌/拉。
3. 反向注入电流会干扰器件的模拟性能。
4. 这些 I/O 上无法正向注入，输入电压低于指定的最大值时也不会发生正向注入。
5. 当  $V_{IN} > V_{DDA}$  时，会产生正向注入电流；当  $V_{IN} < V_{SS}$  时，会产生反向注入电流。不得超出  $I_{INJ(PIN)}$ 。
6. 当多个输入同时存在注入电流时， $\Sigma I_{INJ(PIN)}$  的最大值等于正向注入电流和反向注入电流 (瞬时值) 的绝对值之和。

## 5.3 工作条件

### 5.3.1 通用工作条件

表 14. 通用工作条件

符号	参数	条件	最小值	最大值	单位
$f_{HCLK}$	内部 AHB 时钟频率		0	96MHz	MHz
$f_{PCLK1}$	内部 APB1 时钟频率		0	$f_{HCLK}$	
$f_{PCLK2}$	内部 APB2 时钟频率		0	$f_{HCLK}$	
$V_{DD}$	标准工作电压		2.0	5.5	V
$V_{DDA}^{(1)}$	模拟部分工作电压 (未使用 ADC)	必须与 $V_{DD}$ 相同	2.0	5.5	V
	模拟部分工作电压 (使用 ADC)		2.5	5.5	
$T_A$	环境温度: $T_A=85^{\circ}\text{C}$	最大功率耗散	-25	85	$^{\circ}\text{C}$
		低功率耗散 <sup>(2)</sup>	-25	105	

### 5.3.2 上电和掉电时的工作条件

下表中给出的参数是在一般的工作条件下测试得出。

表 15. 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
$t_{VDD}$	$V_{VDD}$ 上升速率	$T_A = 25^{\circ}\text{C}$	300	$\infty$	$\mu\text{S/V}$
	$V_{VDD}$ 下降速率		300	$\infty$	

### 5.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 14 列出的环境温度下和  $V_{DD}$  供电电压下测试得出。

表 16. 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{PVD}$	可编程的电压检测器的电平选择	PLS[3: 0]=0000(上升沿)		1.82		V
		PLS[3: 0]=0000(下降沿)		1.71		V
		PLS[3: 0]=0001(上升沿)		2.12		V
		PLS[3: 0]=0001(下降沿)		2.00		V
		PLS[3: 0]=0010(上升沿)		2.41		V
		PLS[3: 0]=0010(下降沿)		2.30		V
		PLS[3: 0]=0011(上升沿)		2.71		V
		PLS[3: 0]=0011(下降沿)		2.60		V
		PLS[3: 0]=0100(上升沿)		3.01		V
		PLS[3: 0]=0100(下降沿)		2.90		V
		PLS[3: 0]=0101(上升沿)		3.31		V
		PLS[3: 0]=0101(下降沿)		3.19		V
		PLS[3: 0]=0110(上升沿)		3.61		V
		PLS[3: 0]=0110(下降沿)		3.49		V
		PLS[3: 0]=0111(上升沿)		3.91		V
		PLS[3: 0]=0111(下降沿)		3.79		V
		PLS[3: 0]=1000(上升沿)		4.21		V
		PLS[3: 0]=1000(下降沿)		4.09		V
		PLS[3: 0]=1001(上升沿)		4.51		V
		PLS[3: 0]=1001(下降沿)		4.39		V
		PLS[3: 0]=1010(上升沿)		4.81		V
		PLS[3: 0]=1010(下降沿)		4.69		V
$V_{PVDhyst}^{(2)}$	PVD 迟滞			110		mV
$V_{POR/PDR}$	上电/掉电复位阈值	下降沿	1.63 <sup>(1)</sup>	1.66	1.68	V
		上升沿		1.75		V
$V_{PDRhys}^{(2)}$	PDR 迟滞			90.9		mV
$T_{RSTTEMPO}^{(2)}$	复位持续时间			0.61		ms

1. 产品的特性由设计保证至最小的数值  $V_{POR/PDR}$ 。

2. 由设计保证，不在生产中测试。

注：复位持续时间的测量方法为从上电 (POR 复位) 到用户应用代码读取第一条指令的时刻。

### 5.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

### 电流消耗

微控制器处于下列条件：



- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上— $V_{DD}$  或  $V_{SS}$ (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到  $f_{HCLK}$  的频率 (0 ~ 24 MHz 时为 0 个等待周期, 24 ~ 48 MHz 时为 1 个等待周期, 48 ~ 72 MHz 时为 2 个等待周期, 72 ~ 96 MHz 时为 3 个等待周期)。
- 指令预取功能开启。当开启外设时:  $f_{HCLK} = f_{PCLK1} = f_{PCLK2}$ 。

注：指令预取功能必须在设置时钟和总线分频之前设置。

表 17. 停机和待机模式下的典型和最大电流消耗<sup>(2)</sup>

符号	参数	条件	典型值 <sup>(1)</sup>	单位
			$T_A=25^{\circ}\text{C}$	
$I_{DD}$	停机模式下的供应电流	复位后进入停机模式, $V_{DD} = 3.3\text{V}$ , LPDS = 0(PWR->CR bit 0)	30	$\mu\text{A}$
		复位后进入停机模式, $V_{DD} = 3.3\text{V}$ , LPDS = 1(PWR->CR bit 0)	4.6	
	待机模式下的供应电流	复位后进入待机模式, $V_{DD} = 3.3\text{V}$	0.4	

1. 由综合评估得出，不在生产中测试。IO 状态为模拟输入。

## 典型的电流消耗

MCU 处于下述条件下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上— $V_{DD}$  或  $V_{SS}$ (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到  $f_{HCLK}$  的频率 (0 ~ 24 MHz 时为 0 个等待周期, 24 ~ 48 MHz 时为 1 个等待周期, 48 ~ 72 MHz 时为 2 个等待周期, 72 ~ 96 MHz 时为 3 个等待周期)。
- 环境温度和  $V_{DD}$  供电电压条件列于表 14。
- 指令预取功能开启。当开启外设时:  $f_{HCLK} = f_{PCLK1} = f_{PCLK2}$ 。

注：指令预取功能必须在设置时钟和总线分频之前设置。

表 18. 运行模式下的最大电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	$f_{HCLK}$	典型值 <sup>(1)</sup>		单位
				使能所有外设 <sup>(2)</sup>	关闭所有外设	
$I_{DD}$	运行模式下的供应电流	外部时钟 <sup>(2)</sup>	96MHz	26.23	15.2	mA
			72MHz	20.52	12.19	
			48MHz	14.71	9.13	
			36MHz	11.76	7.58	
			24MHz	6.158	1.544	
			8MHz	2.176	0.962	

1. 典型值是在  $T_A = 25^{\circ}\text{C}$ 、 $V_{DD} = 3.3\text{V}$  时测试得到。
2. 外部时钟为 8MHz，当  $f_{HCLK} > 8\text{MHz}$  时启用 PLL。

表 19. 睡眠模式下的最大电流消耗，代码运行在 flash 中

符号	参数	条件	$f_{HCLK}$	典型值 <sup>(1)</sup>		单位
				使能所有外设 <sup>(2)</sup>	关闭所有外设	
$I_{DD}$	睡眠模式下的供应电流	外部时钟 <sup>(2)</sup>	96MHz	30.6	15.7	mA
			72MHz	23.9	12.5	
			48MHz	17	9.08	
			36MHz	13	7.32	
			24MHz	9.51	6.15	
			8MHz	3.51	2.24	

1. 典型值是在  $T_A = 25^{\circ}\text{C}$ 、 $V_{DD} = 3.3\text{V}$  时测试得到。
2. 外部时钟为 8MHz，当  $f_{HCLK} > 8\text{MHz}$  时启用 PLL。

### 内置外设电流消耗

内置外设的电流消耗列于表 20, MCU 的工作条件如下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上— $V_{DD}$  或  $V_{SS}$ (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
  - 关闭所有外设的时钟
  - 只开启一个外设的时钟
- 环境温度和  $V_{DD}$  供电电压条件列于表 14。

表 20. 内置外设的电流消耗 <sup>(1)</sup>

内置外设		25 °C 时的典型功耗	单位	内置外设		25 °C 时的典型功耗	单位
APB1	TIM2	0.99	mA	APB2	ADC	1.03	mA
	TIM3	1.00			SPI1	0.99	
	I2C	0.99			UART1	0.52	
APB2	TIM14	1.02	mA	APB2	GPIOA	0.53	mA
APB2	TIM16	1.02			GPIOB	0.53	
	TIM17	1.02			GPIOC	0.53	
	TIM1	0.99			GPIOD	0.53	

1.  $f_{HCLK} = 96\text{MHz}$ ,  $f_{APB1} = f_{HCLK}/2$ ,  $f_{APB2} = f_{HCLK}$ , 每个外设的预分频系数为默认值。

### 5.3.5 外部时钟源特性

#### 来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 21. 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{HSE\_ext}$	用户外部时钟频率 <sup>(1)</sup>		2	8	24	MHz
$V_{HSEH}$	OSC_IN 输入引脚高电平电压		$0.7V_{DD}$		$V_{DD}$	V
$V_{HSEL}$	OSC_IN 输入引脚低电平电压		$V_{SS}$		$0.3V_{DD}$	V
$t_{w(HSE)}$	OSC_IN 高或低的时间 <sup>(1)</sup>		16			ns
$t_{r(HSE)}$	OSC_IN 上升的时间 <sup>(1)</sup>				20	ns
$t_{f(HSE)}$	OSC_IN 下降的时间 <sup>(1)</sup>				20	ns
$C_{in(HSE)}$	OSC_IN 输入容抗 <sup>(1)</sup>			5		pF
$DuCy_{(HSE)}$	占空比		45		55	%
$I_L$	OSC_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$			$\pm 1$	$\mu A$

1. 由设计保证，不在生产中测试。

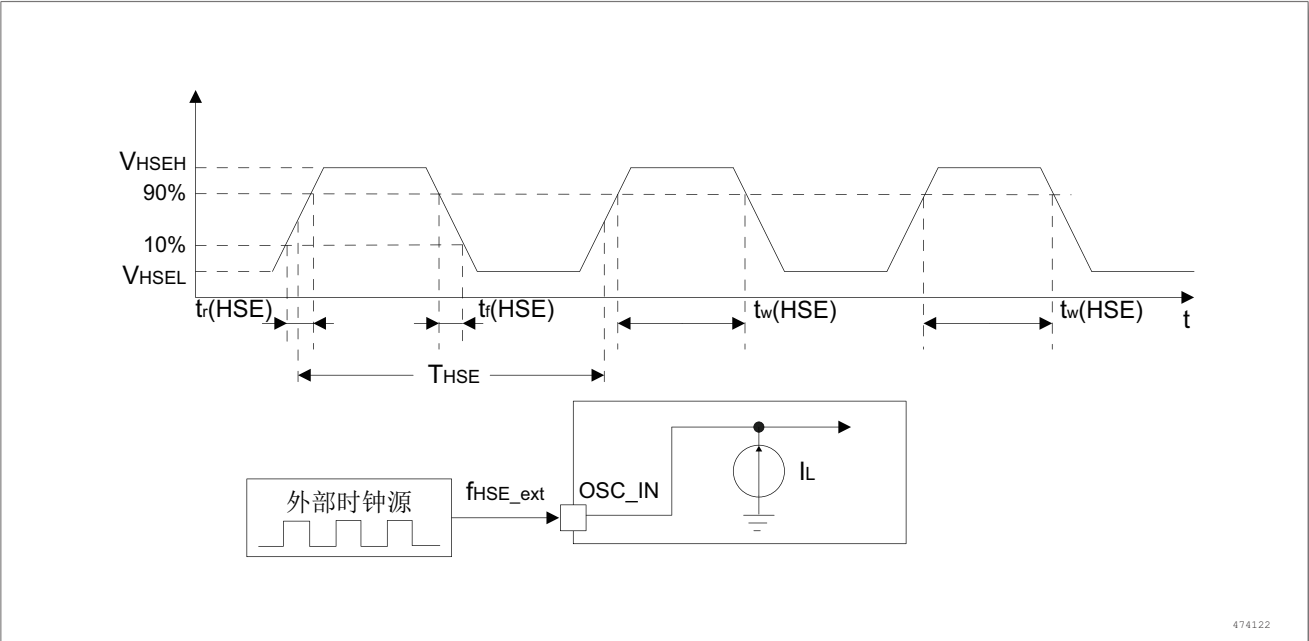


图 10. 外部高速时钟源的交流时序图

使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟 (HSE) 可以使用一个 2 ~ 24MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数 (频率、封装、精度等)，请咨询相应的生产厂商。

表 22. HSE 2 ~ 24MHz 振荡器特性 <sup>(1)(2)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{OSC\_IN}$	振荡器频率		4	8	24	MHz
$R_F$	反馈电阻			1000		k $\Omega$

符号	参数	条件	最小值	典型值	最大值	单位
$C_{L1}$ / $C_{L2}^{(3)}$	建议的负载电容与对应的晶体 串行阻抗 ( $R_S$ ) <sup>(4)</sup>	$R_S = 30\Omega$		30		pF
$I_2$	HSE 驱动电流	$V_{DD} = 3.3V$ $V_{IN} = V_{SS}$ 30pF 负载			4.5	mA
$g_m$	振荡器的跨导	启动		8.5		mA/V
$t_{SU(HSE)}^{(5)}$	启动时间	$V_{DD}$ 是稳定的		3		ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由综合评估得出，不在生产中测试。
3. 对于  $C_{L1}$  和  $C_{L2}$ ，建议使用高质量的、为高频应用而设计的 (典型值为)5pF ~ 25pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常  $C_{L1}$  和  $C_{L2}$  具有相同参数。晶体制造商通常以  $C_{L1}$  和  $C_{L2}$  的串行组合给出负载电容的参数。在选择  $C_{L1}$  和  $C_{L2}$  时，PCB 和 MCU 引脚的容抗应该考虑在内 (可以粗略地把引脚与 PCB 板的电容按 10pF 估计)。
4. 相对较低的  $R_F$  电阻值，能够可以避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，如果 MCU 是应用在恶劣的潮湿条件时，设计时需要把这个参数考虑进去。
5.  $t_{SU(HSE)}$  是启动时间，是从软件使能 HSE 开始测量，直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

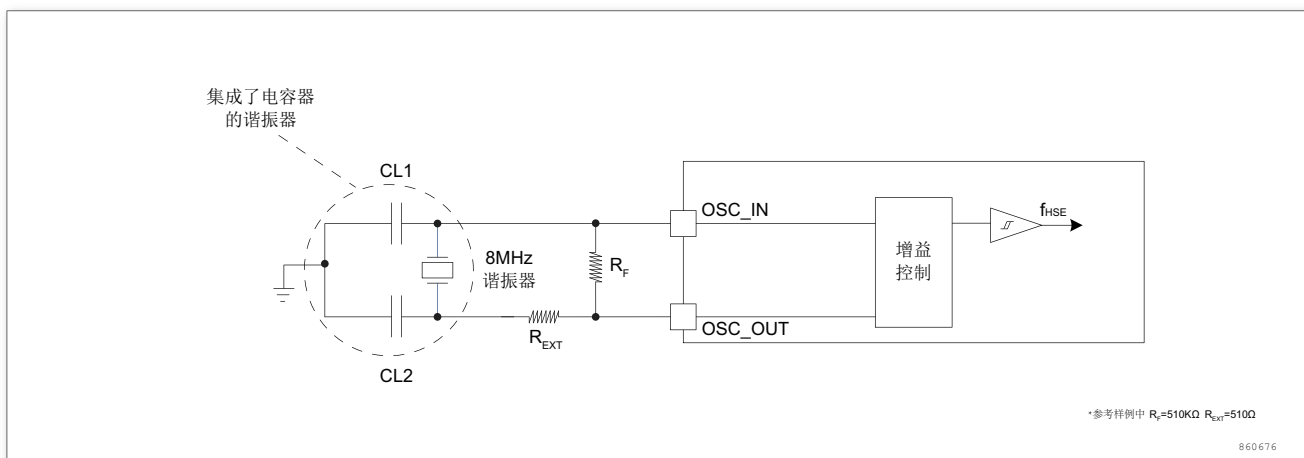


图 11. 使用 8MHz 晶体的典型应用

### 5.3.6 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

#### 高速内部 (HSI) 振荡器

表 23. HSI 振荡器特性 <sup>(1)(2)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{HSI}$	频率			48		MHz
$ACC_{HSI}$	HSI 振荡器的精度	$T_A = 25$	-1		1	%

符号	参数	条件	最小值	典型值	最大值	单位
$t_{SU(HSI)}$	HSI 振荡器启动时间			10		$\mu s$
$I_{DD(HSI)}$	HSI 振荡器功耗			200		$\mu A$

1.  $V_{DD} = 3.3V$ ,  $T_A = -40^{\circ}C \sim 85^{\circ}C$ , 除非特别说明。
2. 由设计保证, 不在生产中测试。

### 低速内部 (LSI) 振荡器

表 24. LSI 振荡器特性 <sup>(1)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{LSI}^{(2)}$	频率		31	40	75	KHz
$t_{SU(LSI)}^{(2)}$	LSI 振荡器启动时间				100	$\mu s$
$I_{DD(LSI)}^{(3)}$	LSI 振荡器功耗			1.1	1.7	$\mu A$

1.  $V_{DD} = 3.3V$ ,  $T_A = -40^{\circ}C \sim 85^{\circ}C$ , 除非特别说明。
2. 由综合评估得出, 不在生产中测试。
3. 由设计保证, 不在生产中测试。

### 从低功耗模式唤醒的时间

下表列出的唤醒时间是在内部时钟 HSI 的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定:

- 停机或待机模式: 时钟源是振荡器
- 睡眠模式: 时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合通用工作条件测量得到。

表 25. 低功耗模式的唤醒时间

符号	参数	条件	最大值	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒	使用 HSI 振荡器时钟唤醒	4.2	$\mu s$
$t_{WUSTOP}^{(1)}$	从停机模式唤醒	HSI 振荡器时钟唤醒 $< 2\mu s$	5	$\mu s$
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	HSI 振荡器时钟唤醒 $< 2\mu s$ 调压器从关闭模式唤醒时间 $< 30\mu s$	510	$\mu s$

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

### 5.3.7 PLL 特性

下表列出的参数是使用环境温度和供电电压符合通用工作条件测量得到。

表 26. PLL 特性 <sup>(1)</sup>

符号	参数	最小值	典型值	最大值	单位
$f_{PLL\_IN}$	PLL 输入时钟 <sup>(2)</sup>	2		24	MHz

符号	参数	最小值	典型值	最大值	单位
	PLL 输入时钟占空比	40		60	%
f <sub>PLL_OUT</sub>	PLL 倍频输出时钟	40		200	MHz
t <sub>LOCK</sub>	PLL 锁相时间			100	μs

- 1. 由设计保证，不在生产中测试。
- 2. 需要注意使用正确的倍频系数，从而根据 PLL 输入时钟频率使得 f<sub>PLL\_OUT</sub> 处于允许范围内。

5.3.8 存储器特性

闪存存储器

表 27. 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t <sub>prog</sub>	16 位的编程时间			6	7.5	μs
t <sub>ERASE</sub>	页 (1024 字节) 擦除时间			4	5	ms
t <sub>ME</sub>	整片擦除时间			30	40	ms
I <sub>DD</sub>	供电电流	读模式		9		mA
		写模式			7	mA
		擦除模式			2	mA
V <sub>prog</sub>	编程电压			1.5		V

表 28. 闪存存储器寿命和数据保存期限 <sup>(1)(2)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
NEND	寿命 (擦写次数)		20			千次
t <sub>RET</sub>	数据保存期限	T <sub>A</sub> = 105°C	20			年
		T <sub>A</sub> = 25°C	100			

- 1. 由综合评估得出，不在生产中测试。

5.3.9 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS(电磁敏感性)

当运行一个简单的应用程序时 (通过 I/O 端口闪烁 2 个 LED)，测试样品被施加 1 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。

- EFT: 在 V<sub>DD</sub> 和 V<sub>SS</sub> 上通过一个 100 pF 的电容施加一个瞬变电压的脉冲群 (正向和反向) 直到产生功能性错误。这个测试符合 IEC61000-4-4 标准。

芯片复位可以使系统恢复正常操作。

测试结果列于下表中。

表 29. EMS 特性

符号	参数	条件	级别/类型
$V_{EFT}$	在 $V_{DD}$ 和 $V_{SS}$ 上通过 100pF 的电容施加的、导致功能错误的瞬变脉冲群电压极限。	$V_{DD}=3.3V, T_A=25^{\circ}C$ , $f_{HCLK}=96MHz$ 。符合 IEC61000-4-4	2A

### 设计可靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。

因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

### 软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏 (控制寄存器等……)

### 认证前的试验

很多常见的失效 (意外的复位和程序计数器被破坏)，可以通过人工的在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

### 5.3.10 绝对最大值 (电气敏感性)

基于三个不同的测试 (ESD, LU)，使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

### 静电放电 (ESD)

静电放电 (一个正的脉冲然后间隔一秒钟后一个负的脉冲) 施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关 (3 片  $\times$  (n + 1) 供电引脚)。这个测试符合 JESD22-A114/C101 标准。

### 静态栓锁

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD78E 集成电路栓锁标准。

表 30. MCU ESD 特性

符号	参数	条件	最大值	单位
$V_{ESD(HBM)}$	静电放电电压 (人体模型)	$T_A = 25^{\circ}\text{C}$ , 符合 JESD22-A114	6000	V
$V_{ESD(CDM)}$	静电放电电压 (充电设备模型)	$T_A = 25^{\circ}\text{C}$ , 符合 JESD22-C101	2000	
$I_{LU}$	静态栓锁类 (Latch-up current)	$T_A = 25^{\circ}\text{C}$ , 符合 JESD78E	$\pm 100$	mA

### 5.3.11 I/O 端口特性

#### 通用输入/输出特性

除非特别说明，下表列出的参数是按照表 12 的条件测量得到。所有的 I/O 端口都是兼容 CMOS。

表 31. I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL}(\text{迟滞打开})$	输入低电平电压	CMOS 端口	$0.16V_{DD}$		$0.2V_{DD}$	V
$V_{IH}(\text{迟滞打开})$	输入高电平电压	CMOS 端口	$0.8V_{DD}$		$0.84V_{DD}$	V
$V_{IL}(\text{迟滞关闭})$	输入低电平电压	CMOS 端口	$0.33V_{DD}$		$0.37V_{DD}$	V
$V_{IH}(\text{迟滞关闭})$	输入高电平电压	CMOS 端口	$0.58V_{DD}$		$0.62V_{DD}$	V
$V_{hys}(\text{迟滞打开})$	I/O 脚施密特触发器电压迟滞 <sup>(1)</sup>		1.2	3	3.3	V
$V_{hys}(\text{迟滞关闭})$	I/O 脚施密特触发器电压迟滞 <sup>(1)</sup>		0.5	1.2	1.4	V
$I_{lkg}$	输入漏电流 <sup>(2)</sup>				$\pm 1$	$\mu\text{A}$
$R_{PU}$	弱上拉等效电阻 <sup>(3)</sup>	$V_{IN}=V_{SS}$	28.7	36	47.9	k $\Omega$
$R_{PD}$	弱下拉等效电阻 <sup>(3)</sup>	$V_{IN}=V_{DD}$	25	31.2	40	k $\Omega$
$C_{IO}$	I/O 引脚的电容			5		pF

1. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
3. 上拉和下拉电阻是 MOS 电阻。

#### 输出驱动电流

GPIO(通用输入/输出端口) 可以吸收或输出多达  $\pm 20\text{mA}$  电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 5.2 节给出的绝对最大额定值：

- 所有 I/O 端口从  $V_{DD}$  上获取的电流总和，加上 MCU 在  $V_{DD}$  上获取的最大运行电流，不能超过绝对最大额定值  $I_{VDD}$ 。
- 所有 I/O 端口吸收并从  $V_{SS}$  上流出的电流总和，加上 MCU 在  $V_{SS}$  上流出的最大运行电流，不能超过绝对最大额定值  $I_{VSS}$ 。

#### 输出电压

除非特别说明，下表列出的参数是使用环境温度和  $V_{DD}$  供电电压符合表 14 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 的。



表 32. 输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平, 当 8 个引脚同时吸收电流	CMOS 端口, $I_{IO} = +8mA$ $2V < V_{DD} < 5.5V$		0.4	V
$V_{OH}^{(2)}$	输出高电平, 当 8 个引脚同时输出电流	CMOS 端口, $I_{IO} = +8mA$ $2V < V_{DD} < 5.5V$	$V_{DD}-0.4$		V
$V_{OL}^{(1)(3)}$	输出低电平, 当 8 个引脚同时吸收电流	$I_{IO} = +20mA$ $2V < V_{DD} < 5.5V$		0.4	V
$V_{OH}^{(2)(3)}$	输出高电平, 当 8 个引脚同时输出电流	$I_{IO} = +20mA$ $2V < V_{DD} < 5.5V$	$V_{DD}-0.4$		V

1. 芯片吸收的电流  $I_{IO}$  必须始终遵循表中给出的绝对最大额定值, 同时  $I_{IO}$  的总和 (所有 I/O 脚和控制脚) 不能超过  $I_{VSS}$ 。
2. 芯片输出的电流  $I_{IO}$  必须始终遵循表中给出的绝对最大额定值, 同时  $I_{IO}$  的总和 (所有 I/O 脚和控制脚) 不能超过  $I_{VDD}$ 。
3. 由综合评估得出, 不在生产中测试。

### 输入输出交流特性

输入输出交流特性的定义和数值分别在图 12和表 33给出。

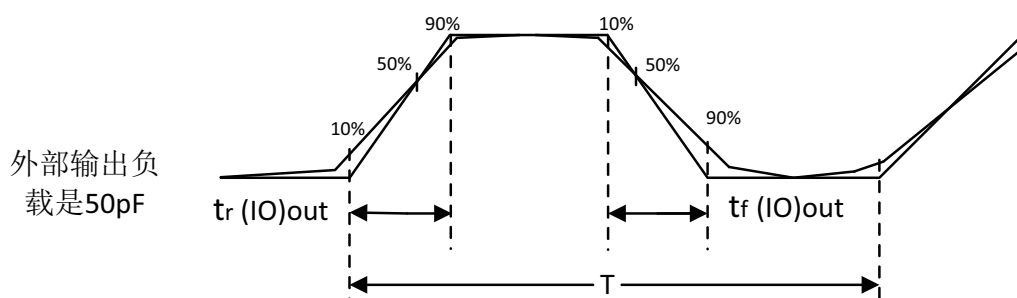
除非特别说明, 表 33列出的参数是使用环境温度和供电电压符合表 12的条件测量得到。

表 33. 输入输出交流特性 <sup>(1)(3)</sup>

MODEx[1: 0] 的配置	符号	参数	条件	最小值	最大值	单位
00	$f_{max(IO)out}$	最大频率 <sup>(2)</sup>	$C_L=50pF$ , $V_{DD}=2V\sim 5.5V$		2	MHz
00	$t_{r(IO)out}$	输出高至低电平的 下降时间	$C_L=50pF$ , $V_{DD}=2V\sim 5.5V$		125	ns
00	$t_{r(IO)out}$	输出低至高电平的 上升时间	$C_L=50pF$ , $V_{DD}=2V\sim 5.5V$		125	ns
10	$f_{max(IO)out}$	最大频率 <sup>(2)</sup>	$C_L=50pF$ , $V_{DD}=2V\sim 5.5V$		20	MHz
10	$t_{r(IO)out}$	输出高至低电平的 下降时间	$C_L=50pF$ , $V_{DD}=2V\sim 5.5$		25	ns
10	$t_{r(IO)out}$	输出低至高电平的 上升时间	$C_L=50pF$ , $V_{DD}=2V\sim 5.5$		25	ns
11	$f_{max(IO)out}$	最大频率 <sup>(2)</sup>	$C_L=30pF$ , $V_{DD}=2V\sim 5.5V$		50	MHz
11	$f_{max(IO)out}$	最大频率 <sup>(2)</sup>	$C_L=50pF$ , $V_{DD}=2V\sim 5.5V$		30	MHz

MODEx[1: 0] 的配置	符号	参数	条件	最小值	最大值	单位
11	$t_{f(IO)out}$	输出高至低电平的 下降时间	$C_L=30pF$ , $V_{DD}=2V\sim 5.5V$		5	ns
11	$t_{f(IO)out}$	输出高至低电平的 下降时间	$C_L=50pF$ , $V_{DD}=2V\sim 5.5V$		8	ns
11	$t_{r(IO)out}$	输出低至高电平的 上升时间	$C_L=30pF$ , $V_{DD}=2V\sim 5.5V$		5	ns
11	$t_{r(IO)out}$	输出低至高电平的 上升时间	$C_L=50pF$ , $V_{DD}=2V\sim 5.5V$		8	ns
	$t_{EXTIpw}$	EXTI 控制器检测到 外部信号的脉冲宽度		10		ns

1. I/O 端口的速度可以通过 MODEx[1: 0] 配置。参见本芯片参考手册中有关 GPIO 端口配置寄存器的说明。
2. 最大频率在图 12中定义。
3. 由设计保证，不在生产中测试。



如果 $((t_r + t_f) \leq 2/3)T$ ，并且占空比是(45 ~ 55%)  
当负载为50pF时，达到最大的频率。

868304

图 12. 输入输出交流特性定义

### 5.3.12 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻， $R_{PU}$ 。

除非特别说明，下表列出的参数是使用环境温度和  $V_{DD}$  供电电压符合表 14的条件测量得到。

表 34. NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST 输入低电平电压		-0.5		0.8	V
$V_{IH(NRST)}^{(1)}$	NRST 输入高电平电压		2		$V_{DD}$	
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞			$0.2V_{DD}$		V
$R_{PU}$	弱上拉等效电阻 <sup>(2)</sup>	$V_{IN} = V_{SS}$		15		kΩ
$V_{F(NRST)}^{(1)}$	NRST 输入滤波脉冲				100	ns
$V_{NF(NRST)}^{(1)}$	NRST 输入非滤波脉冲		300			ns

1. 由设计保证，不在生产中测试。
2. 上拉电阻是 MOS 电阻。

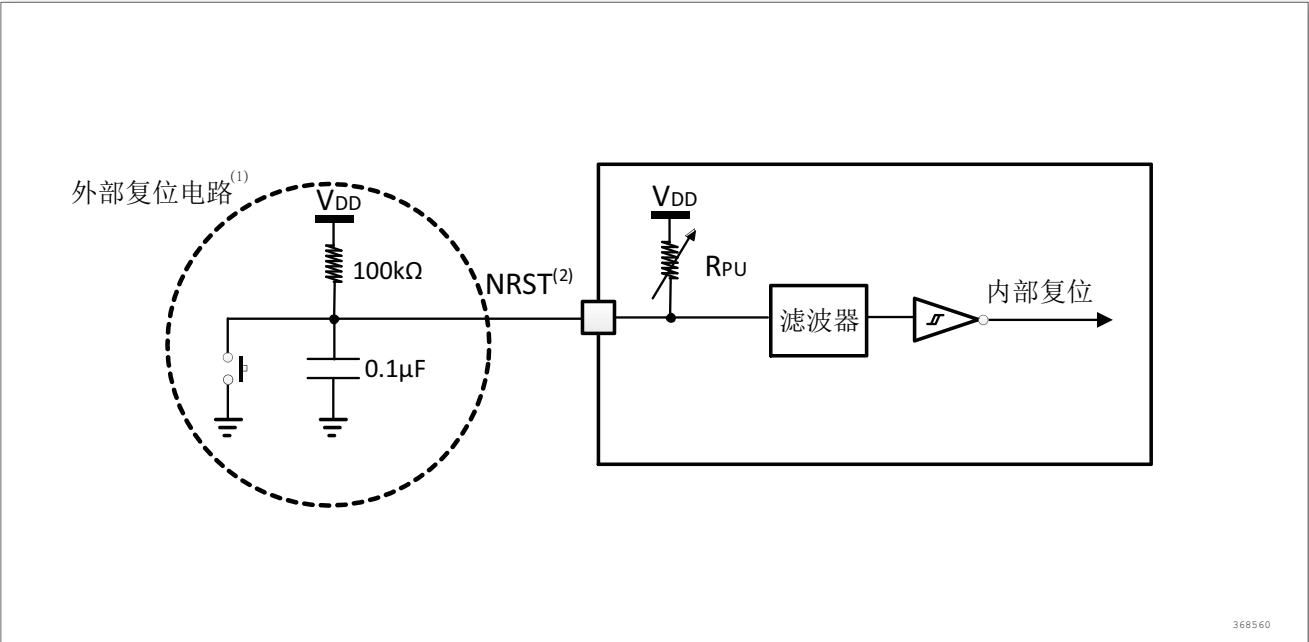


图 13. 建议的 NRST 引脚保护

1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 34 中列出的最大  $V_{IL(NRST)}$  以下, 否则 MCU 不能得到复位。

5.3.13 TIM 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚 (输出比较、输入捕获、外部时钟、PWM 输出) 的特性详情，参见小节 5.3.11。

表 35. TIMx<sup>(1)</sup> 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间		1		$t_{TIMxCLK}$
$t_{res(TIM)}$	定时器分辨时间	$f_{TIMxCLK}=96MHz$	10.4		ns

符号	参数	条件	最小值	最大值	单位
$f_{EXT}$	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}$	MHz
		$f_{TIMxCLK}=96MHz$	0	96	
$Res_{TIM}$	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} 96MHz$	0.0104	682	$\mu s$
$t_{MAX\_COUNT}$	最大可能的计数			$65536 \times 65536$	$t_{TIMxCLK}$
		$f_{TIMxCLK} 96MHz$		44.7	S

1. TIMx 是一个通用的名称。

### 5.3.14 通信接口

#### I2C

除非特别说明, 表 36 列出的参数是使用环境温度,  $f_{PCLK1}$  频率和  $V_{DD}$  供电电压符合表 14 的条件测量得到。

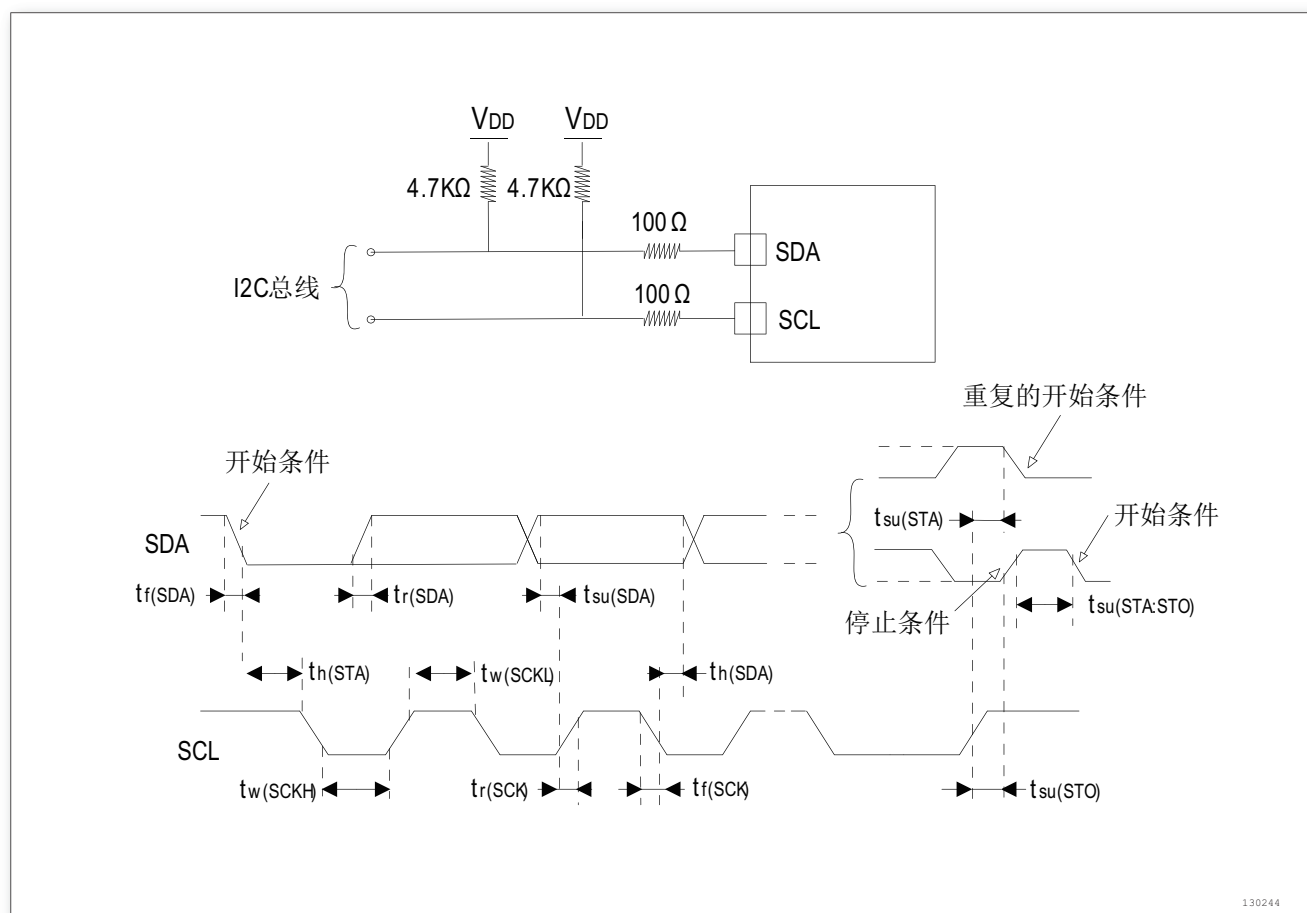
I2C 接口符合标准 I2C 通信协议, 但有如下限制: SDA 和 SCL 不是‘真’的引脚, 当配置为开漏输出时, 在引出脚和  $V_{DD}$  之间的 PMOS 管被关闭, 但仍然存在。

I2C 接口特性列于表 36, 有关输入输出复用功能引脚 (SDA 和 SCL) 的特性详情, 参见小节 5.3.11。

表 36. I2C 接口特性

符号	参数	标准 I2C <sup>(1)</sup>		快速 I2C <sup>(1)(2)</sup>		单位
		最小值	最大值	最小值	最大值	
$t_{W(SCLL)}$	SCL 时钟低时间	4.7		1.3		$\mu s$
$t_{W(SCLH)}$	SCL 时钟高时间	4.0		0.6		$\mu s$
$t_{su(SDA)}$	SDA 建立时间	250		100		ns
$t_{h(SDA)}$	SDA 数据保持时间	0 <sup>(3)</sup>		0 <sup>(4)</sup>	900 <sup>(3)</sup>	ns
$t_{r(SDA)} t_{r(SDL)}$	SDA 和 SCL 上升时间		1000	$2.0+0.1C_b$	300	ns
$t_{f(SDA)} t_{f(SDL)}$	SDA 和 SCL 下降时间		300		300	ns
$t_{h(STA)}$	开始条件保持时间	4.0		0.6		$\mu s$
$t_{su(STA)}$	重复的开始条件建立时间	4.7		0.6		$\mu s$
$t_{su(STO)}$	停止条件建立时间	4.0		0.6		$\mu s$
$t_{w(STO:STA)}$	停止条件至开始条件的 时间 (总线空闲)	4.7		1.3		$\mu s$
$C_b$	每条总线的容性负载		400		400	pF

1. 由设计保证, 不在生产中测试。
2. 为达到标准模式 I2C 的最大频率,  $f_{PCLK1}$  必须大于 3MHz。为达到快速模式 I2C 的最大频率,  $f_{PCLK1}$  必须大于 12MHz。
3. 如果不要拉长 SCL 信号的低电平时间, 则只需满足开始条件的最大保持时间。
4. 为了跨越 SCL 下降沿未定义的区域, 在 MCU 内部必须保证 SDA 信号上至少 300ns 的保持时间。

图 14. I2C 总线交流波形和测量电路<sup>(1)</sup>

1. 测量点设置于 CMOS 电平：0.3V<sub>DD</sub> 和 0.7V<sub>DD</sub>。

## SPI 接口特性

除非特别说明，表 37 列出的参数是使用环境温度，f<sub>PCLKx</sub> 频率和 V<sub>DD</sub> 供电电压符合表 14 的条件测量得到。

有关输入输出复用功能引脚 (NSS、SCK、MOSI、MISO) 的特性详情，参见小节 5.3.11。

表 37. SPI 特性<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位
f <sub>SCK</sub> 1/t <sub>c</sub> (SCK)	SPI 时钟频率	主模式	0	36	MHz
f <sub>SCK</sub> 1/t <sub>c</sub> (SCK)	SPI 时钟频率	从模式	0	18	MHz
t <sub>r</sub> (SCK)	SPI 时钟上升时间	负载电容：C= 30pF		8	ns
t <sub>f</sub> (SCK)	SPI 时钟下降时间	负载电容：C= 30pF		8	ns
t <sub>su</sub> (NSS) <sup>(2)</sup>	NSS 建立时间	从模式	4t <sub>PCLK</sub>		ns
t <sub>h</sub> (NSS) <sup>(2)</sup>	NSS 保持时间	从模式	73		ns
t <sub>w</sub> (SCKH) <sup>(2)</sup>	SCK 高的时间	主模式，f <sub>PCLK</sub> = 36MHz， 预分频系数 = 4	50	60	ns
t <sub>w</sub> (SCKL) <sup>(2)</sup>	SCK 低的时间	主模式，f <sub>PCLK</sub> = 36MHz， 预分频系数 = 4	50	60	ns

符号	参数	条件	最小值	最大值	单位
$t_{su(SI)}^{(2)}$	数据输入建立时间	从模式	1		ns
$t_{h(SI)}^{(2)}$	数据输入保持时间	从模式	3		ns
$t_{a(SO)}^{(2)(3)}$	数据输出访问时间	从模式, $f_{PCLK} = 36\text{MHz}$ , 预分频系数 = 4	0	55	ns
		从模式, $f_{PCLK} = 24\text{MHz}$		$4t_{PCLK}$	
$t_{dis(SO)}^{(2)}$	数据输出禁止时间	从模式	10		
$t_{v(SO)}^{(2)(1)}$	数据输出有效时间	从模式 (使能边沿之后)		25	
$t_{v(MO)}^{(2)(1)}$	数据输出有效时间	主模式 (使能边沿之后)		3	
$t_{h(SO)}^{(2)}$	数据输出保持时间	从模式 (使能边沿之后)	25		
$t_{h(MO)}^{(2)}$		主模式 (使能边沿之后)	4		

1. 由综合评估得出，不在生产中测试。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

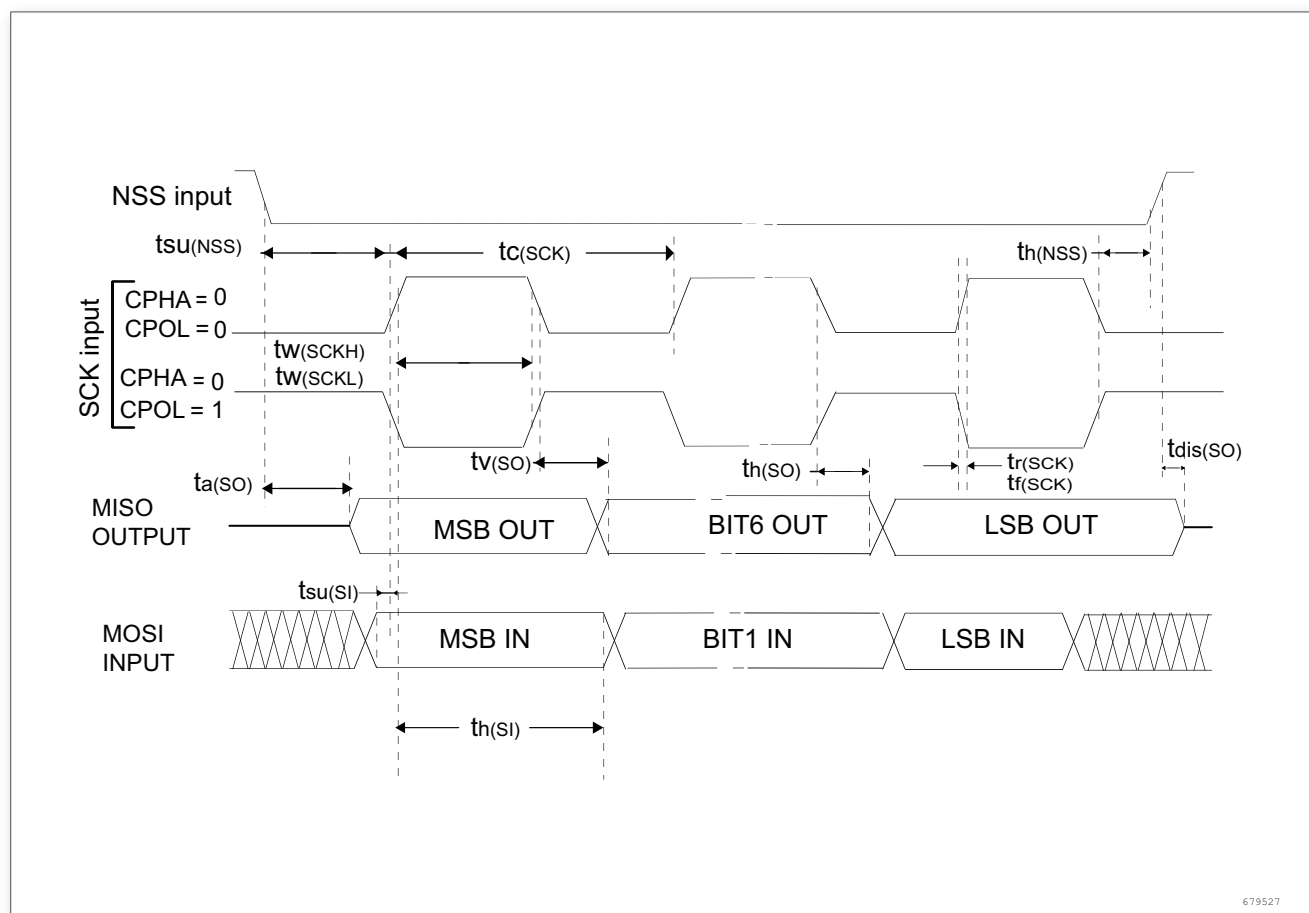
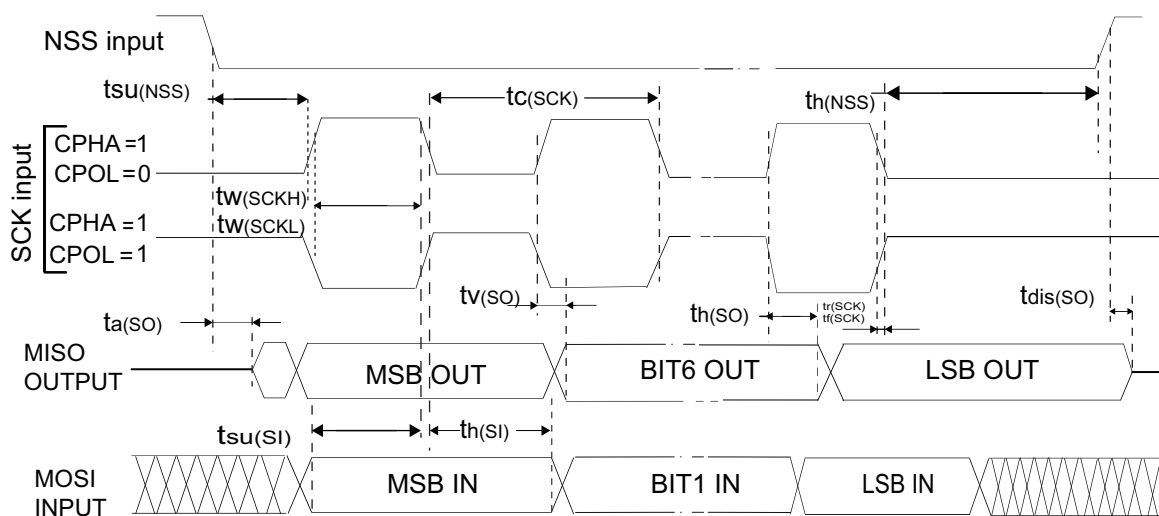


图 15. SPI 时序图-从模式和 CPHA = 0



429658

图 16. SPI 时序图-从模式和  $CPHA = 1$ <sup>(1)</sup>1. 测量点设置于 CMOS 电平:  $0.3V_{DD}$  和  $0.7V_{DD}$ 。

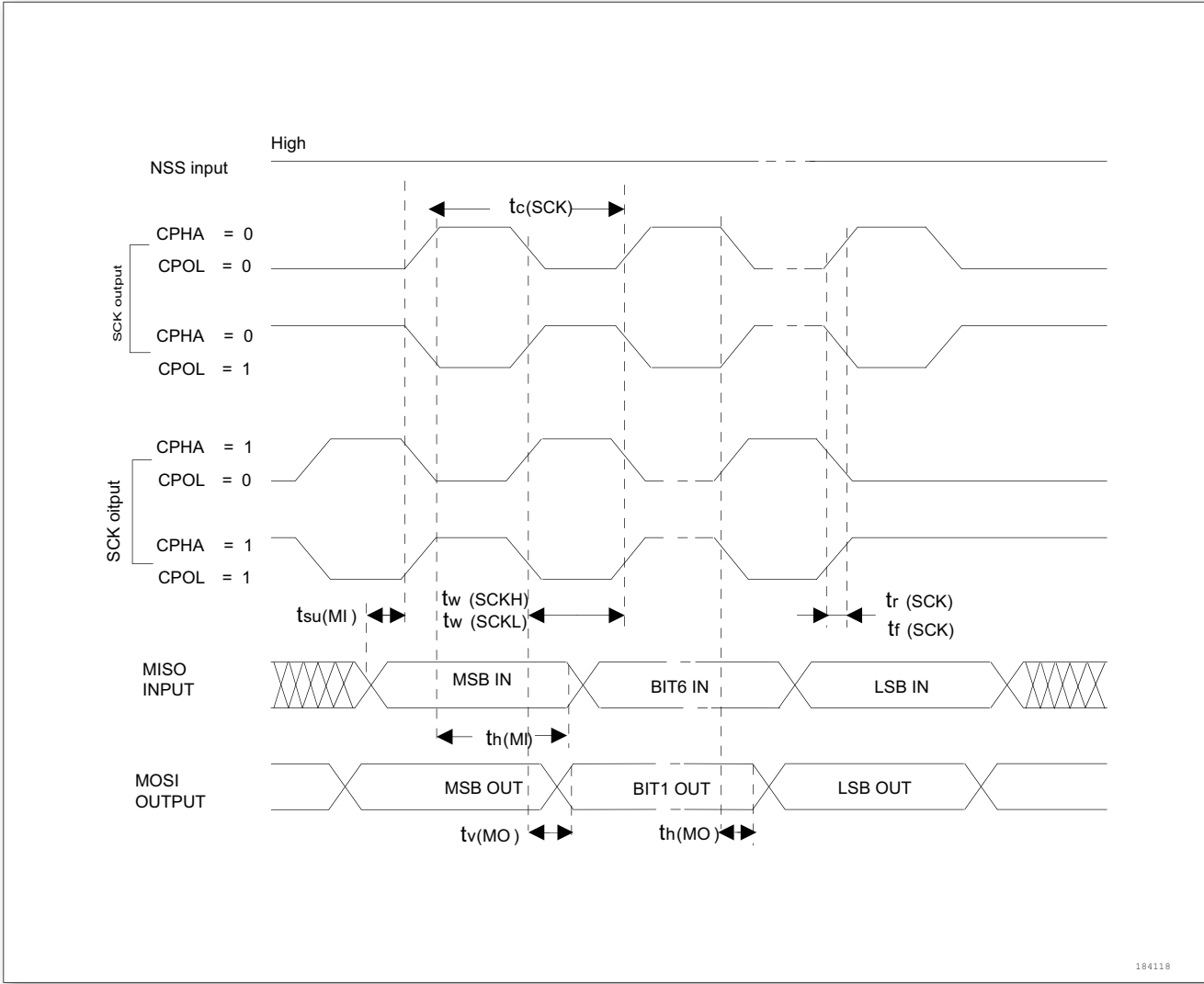


图 17. SPI 时序图-主模式<sup>(1)</sup>

1. 测量点设置于 CMOS 电平：0.3V<sub>DD</sub> 和 0.7V<sub>DD</sub>。

5.3.15 12 位 ADC 特性

除非特别说明，下表的参数是使用符合表 14 的条件的环境温度、f<sub>PCLK2</sub> 频率和 V<sub>DDA</sub> 供电电压测量得到。

表 38. ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>DDA</sub>	供电电压		2.5	3.3	5.5	V
V <sub>REF+</sub>	正参考电压		2.5		V <sub>DDA</sub>	V
f <sub>ADC</sub>	ADC 时钟频率				15 <sup>(1)</sup>	MHz
f <sub>S</sub> <sup>(2)</sup>	采样速率				1	MHz
f <sub>TRIG</sub> <sup>(2)</sup>	外部触发频率	f <sub>ADC</sub> = 15MHz			823	KHz
					1/17	1/f <sub>ADC</sub>
V <sub>AIN</sub> <sup>(2)</sup>	转换电压范围 <sup>(3)</sup>		V <sub>SSA</sub>		V <sub>DDA</sub>	V



符号	参数	条件	最小值	典型值	最大值	单位
$R_{AIN}^{(2)}$	外部输入阻抗		参见公式 1 和表 39			$k\Omega$
$R_{ADC}^{(2)}$	采样开关电阻				1	$k\Omega$
$C_{ADC}^{(2)}$	内部采样和保持电容			10		pF
$t_s^{(2)}$	采样时间	$f_{ADC} = 15MHz$	0.1		16	$\mu s$
			1.5		239.5	$1/f_{ADC}$
$t_{STAB}^{(2)}$	上电时间			1		$\mu s$
$t_{conv}^{(2)}$	总的转换时间 (包括采样时间)	$f_{ADC} = 15MHz$	1		16.9	$\mu s$
			15 ~ 253 (采样 $t_{s+}$ 逐步逼近 13.5)			$1/f_{ADC}$

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 在该系列产品中， $V_{REF+}$  在内部连接到  $V_{DDA}$ ， $V_{REF-}$  在内部连接到  $V_{SSA}$ 。

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式 (公式 1) 用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中  $N = 12$  (表示 12 位分辨率)。

表 39.  $f_{ADC}=15MHz^{(1)}$  时的最大  $R_{AIN}$

$T_s$ (周期)	$t_s(\mu s)$	最大 $R_{AIN}$ ( $k\Omega$ )
1.5	0.1	1.2
7.5	0.5	30
13.5	0.9	57
28.5	1.9	123
41.5	2.76	180
55.5	3.7	240
71.5	4.77	312
239.5	16.0	1050

1. 由设计保证，不在生产中测试。

表 40. ADC 精度 - 局限的测试条件 <sup>(1)(2)</sup>

符号	参数	测试条件	典型值	最大值	单位
ET	综合误差	$f_{PCLK2} = 60\text{MHz}$ , $f_{ADC} = 15\text{MHz}$ , $R_{AIN} < 10\text{K}\Omega$ , $V_{DDA} = 5\text{V}$ , $T_A = 25^\circ\text{C}$	$\pm 10$	$\pm 14$	LSB
EO	偏移误差		$\pm 4$	$\pm 10$	
EG	增益误差		$\pm 6$	$\pm 8$	
ED	微分线性误差		$\pm 2$	$\pm 4$	
EL	积分线性误差		$\pm 4$	$\pm 6$	

1. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间) 增加一个肖特基二极管。

如果正向的注入电流，只要处于小节 5.3.12 中给出的  $I_{INJ(PIN)}$  和  $\Sigma I_{INJ(PIN)}$  范围之内，就不会影响 ADC 精度。

2. 由综合评估保证，不在生产中测试。

ET = 总未调整误差：实际和理想传输曲线间的最大偏离。

EO = 偏移误差：第一次实际转换和第一次理想转换间的偏离。

EG = 增益误差：最后一次理想转换和最后一次实际转换间的偏离。

ED = 微分线性误差：实际步进和理想值间的最大偏离。

EL = 积分线性误差：任何实际转换和端点相关线间的最大偏离。

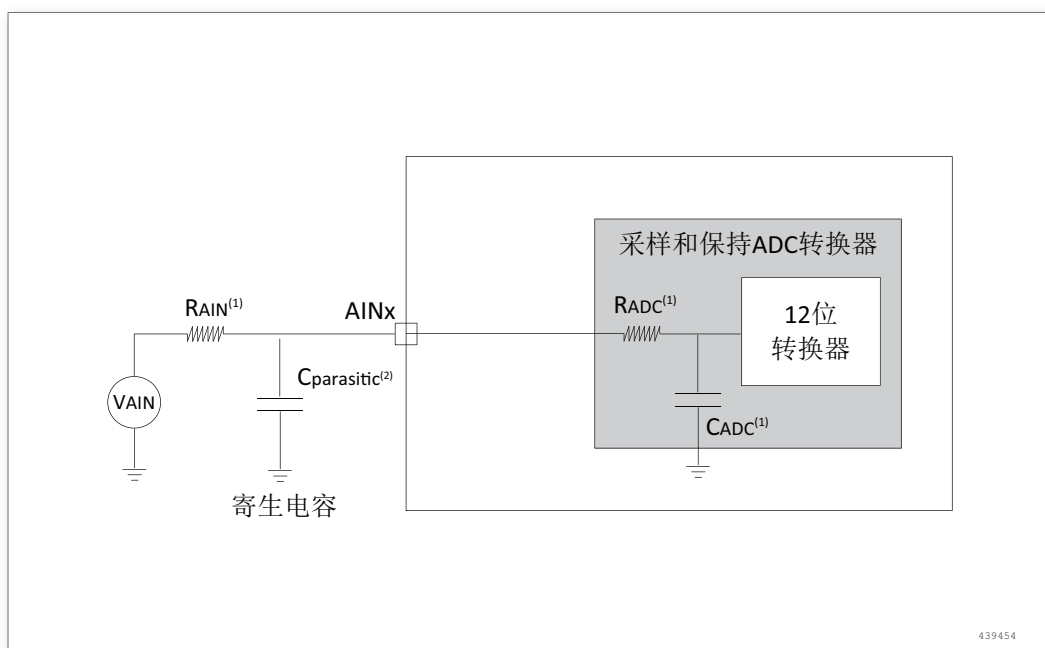


图 18. 使用 ADC 典型的连接图

1. 有关  $R_{AIN}$ 、 $R_{ADC}$  和  $C_{ADC}$  的数值，参见表 40。

2.  $C_{parasitic}$  表示 PCB(与焊接和 PCB 布局质量相关) 与焊盘上的寄生电容 (大约 7pF)。较大的  $C_{parasitic}$  数值将降低转换的精度，解决的办法是减小  $f_{ADC}$ 。

## PCB 设计建议

电源的去耦必须按照下图连接。图中的 10 nF 电容必须是瓷介电容，它们应该尽可能地靠

近 MCU 芯片。

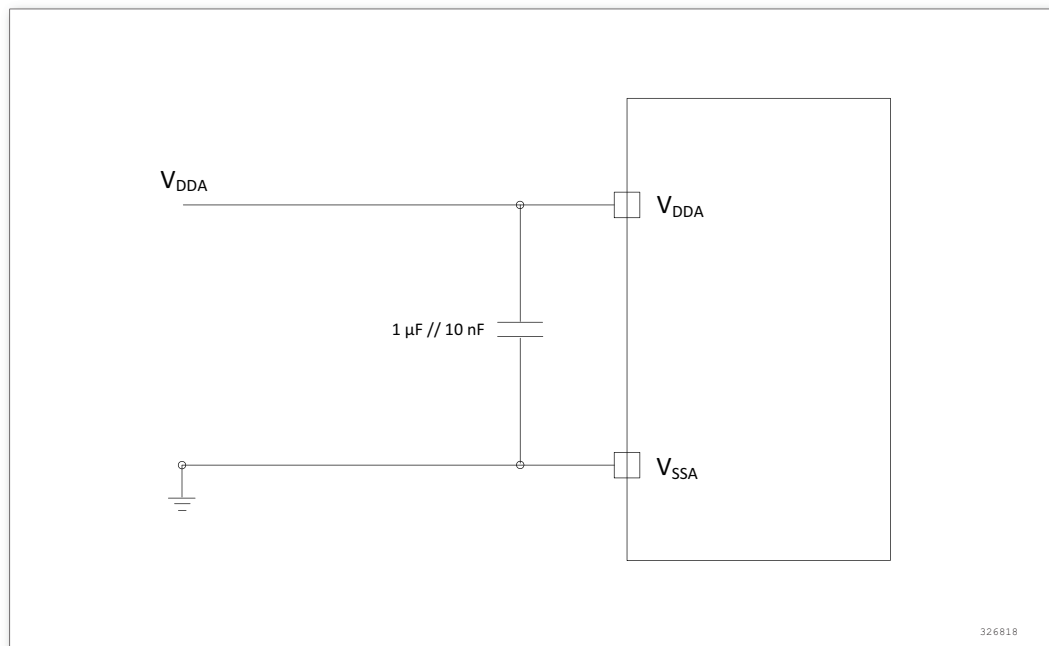


图 19. 供电电源和参考电源去藕线路

### 5.3.16 温度传感器特性

表 41. 温度传感器特性 <sup>(3)(4)</sup>

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	$V_{SENSE}$ 相对于温度的线性度		$\pm 5$		$^{\circ}\text{C}$
$Avg\_Slope^{(1)}$	平均斜率	4.571	4.801	5.984	$\text{mV}/^{\circ}\text{C}$
$V_{25}^{(1)}$	在 $25^{\circ}\text{C}$ 时的电压	1.433	1.451	1.467	V
$t_{start}^{(2)}$	建立时间			10	$\mu\text{s}$
$T_{S\_temp}^{(2)}$	当读取温度时, ADC 采样时间	10			$\mu\text{s}$

1. 由综合评估保证, 不在生产中测试。
2. 由设计保证, 不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。
4.  $V_{DD} = 3.3\text{V}$ 。

### 5.3.17 比较器特性

表 42. 比较器特性

符号	参数	寄存器配置	最小值	典型值	最大值	单位
HYST	迟滞	00		0		mV
HYST	迟滞	01		15		mV
HYST	迟滞	10		30		mV
HYST	迟滞	11		90		mV
OFFSET	失调电压	00	0.091	0.213	0.358	mV
OFFSET	失调电压	01	3.23	7.51	12.08	mV

符号	参数	寄存器配置	最小值	典型值	最大值	单位
OFFSET	失调电压	10	9.79	15	20.8	mV
OFFSET	失调电压	11	34.25	47.4	62.22	mV
DELAY <sup>(1)</sup>	传播延时	00		80		ns
DELAY <sup>(1)</sup>	传播延时	01		51		ns
DELAY <sup>(1)</sup>	传播延时	10		26		ns
DELAY <sup>(1)</sup>	传播延时	11		9		ns
I <sub>q</sub> <sup>(2)</sup>	工作电流均值	00		4.5		μA
I <sub>q</sub> <sup>(2)</sup>	工作电流均值	01		4.4		μA
I <sub>q</sub> <sup>(2)</sup>	工作电流均值	10		4.4		μA
I <sub>q</sub> <sup>(2)</sup>	工作电流均值	11		4.4		μA

1. 输出翻转 50% 与输入翻转的时间差。
2. 总消耗电流均值，工作电流。

### 5.3.18 运算放大器特性

表 43. 运放特性

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>DDA</sub>	供电电压		2.5	3.3	5.5	V
CMIR	共模输入范围		0		V <sub>DDA</sub>	V
V <sub>I</sub> OFFSET	输入失调电压			0.6		mV
I <sub>LOAD</sub>	驱动电流				2	mA
IDD <sub>OPAMP</sub>	消耗电流	无负载，静态模式		1.05		mA
CMRR	共模抑制比	@1KHz		80		dB
PSRR	电源抑制比	@1KHz		76		dB
AV	开环增益	C <sub>LOAD</sub> = 5pF		80		dB
GBW	单位增益带宽	C <sub>LOAD</sub> = 5pF		6		MHz
PM	相位裕度	C <sub>LOAD</sub> = 5pF		60		
SR	压摆率	C <sub>LOAD</sub> = 5pF		16		V/μs
t <sub>WAKEUP</sub>	从关闭状态到唤醒的建立时间，0.1%的精度	C <sub>LOAD</sub> <= 50pF, R <sub>LOAD</sub> >= 4KΩ, 跟随器结构		2		μs
R <sub>LOAD</sub>	电阻性负载		4			KΩ
C <sub>LOAD</sub>	电容性负载				50	pF
VOH <sub>SAT</sub>	高饱和输出电压	R <sub>LOAD</sub> = 4KΩ, 输入 V <sub>DDA</sub>	V <sub>DDA</sub> - 100			mV
		R <sub>LOAD</sub> = 20KΩ, 输入 V <sub>DDA</sub>	V <sub>DDA</sub> - 20			
VOL <sub>SAT</sub>	低饱和输出电压	R <sub>LOAD</sub> = 4KΩ, 输入 0V			100	mV
		R <sub>LOAD</sub> = 20KΩ, 输入 0V			20	
EN	等效输入电压噪声	@1KHz, 输出电阻负载 4K 欧姆		80		$\frac{nV}{\sqrt{Hz}}$
		@10KHz, 输出电阻负载 4K 欧姆		30		

1. 设计保证，产品暂未经过测试。
2. 负载电流也会限制饱和输出电压。

## 6

## 栅极驱动器

GateDriver

## 6.1 工作条件

表 44. Gatedriver 推荐工作范围

符号	参数	测试条件	最小值	典型值	最大值	单位
提供输入						
$I_{CC}$	电源电流	$UI = LI = 0V, V_{CC} = 12V$	—	0.8	1.2	mA
$V_{CCRTH}$	$V_{CC}$ 上升阈值	提高 $V_{CC}$	—	4.1	—	V
$V_{CCHYS}$	$V_{CC}$ 迟滞阈值		—	0.3	—	V
UI/LI PWM 输入						
$PWM_H$	输入高电平		2	—	—	V
$PWM_L$	输入低电平		—	—	0.3	V
$R_I$	输入下拉电阻		—	200	—	k $\Omega$
自举开关						
$R_{DS(ON)}$	导通电阻	正向偏置电流 = 10mA	—	40	—	$\Omega$
上桥臂驱动						
$R_{U\_SRC}$	输出电阻, 来源	$V_{BOOT} - V_{PHASE} = 12V,$ $I_{UGATE} = 80mA$	—	2	4	$\Omega$
$R_{U\_SNK}$	输出电阻, 下沉	$V_{BOOT} - V_{PHASE} = 12V,$ $I_{UGATE} = -80mA$	—	1	2	$\Omega$
$T_{RUG}$	输出上升时间	$V_{BOOT} - V_{PHASE} = 12V,$ $C_L = 3nF$	—	35	45	ns
$T_{FUG}$	输出下降时间	$V_{BOOT} - V_{PHASE} = 12V,$ $C_L = 3nF$	—	20	30	ns
$T_{PDHUG}$	死区时间	$V_{BOOT} - V_{PHASE} = 12V$	—	30	55	ns
$T_{UIFUGF}$	UI/UG 下降延迟	$V_{BOOT} - V_{PHASE} = 12V$	—	20	35	ns
$T_{UIRUGF}$	UI/UG 上升延迟	$V_{BOOT} - V_{PHASE} = 12V$	—	20	35	ns
下桥臂驱动						
$R_{L\_SRC}$	输出电阻, 来源	$V_{BOOT} - V_{PHASE} = 12V,$ $I_{LGATE} = 80mA$	—	2	4	$\Omega$
$R_{L\_SNK}$	输出电阻, 下沉	$V_{BOOT} - V_{PHASE} = 12V,$ $I_{LGATE} = -80mA$	—	0.8	1.6	$\Omega$
$T_{RLG}$	输出上升时间	$V_{BOOT} = 12V, C_L = 3nF$	—	35	45	ns
$T_{FIG}$	输出下降时间	$V_{BOOT} = 12V, C_L = 3nF$	—	20	30	ns

符号	参数	测试条件	最小值	典型值	最大值	单位
$T_{PDHLG}$	死区时间	$V_{CC} = 12V$	—	30	55	ns
$T_{UIFLGF}$	LI/LG 下降延迟	$V_{CC} = 12V$	—	20	35	ns
$T_{UIRLGF}$	LI/LG 上升延迟	$V_{CC} = 12V$	—	20	35	ns

6.2 工作特性

栅极驱动器特性如下图。

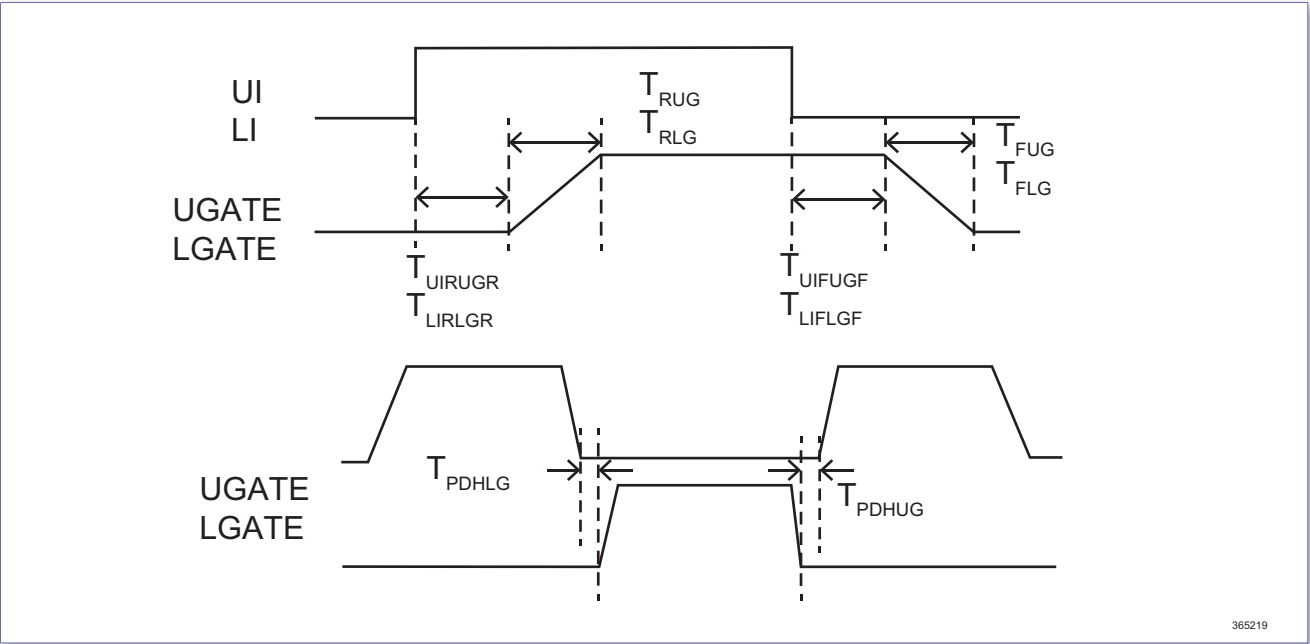


图 20. 上电时序状态图

短路保护 (Shoot-Through Protection)

GateDriver 装有短路保护电路 (Shoot-Through Protection Circuitry)。下图显示当 HI 和 LI 被同时打开时, 输出保护会同时切断高 high-side 和低 low-side 开关。这是为了防止高 high-side 和低 low-side 的输出在同一时间打开。

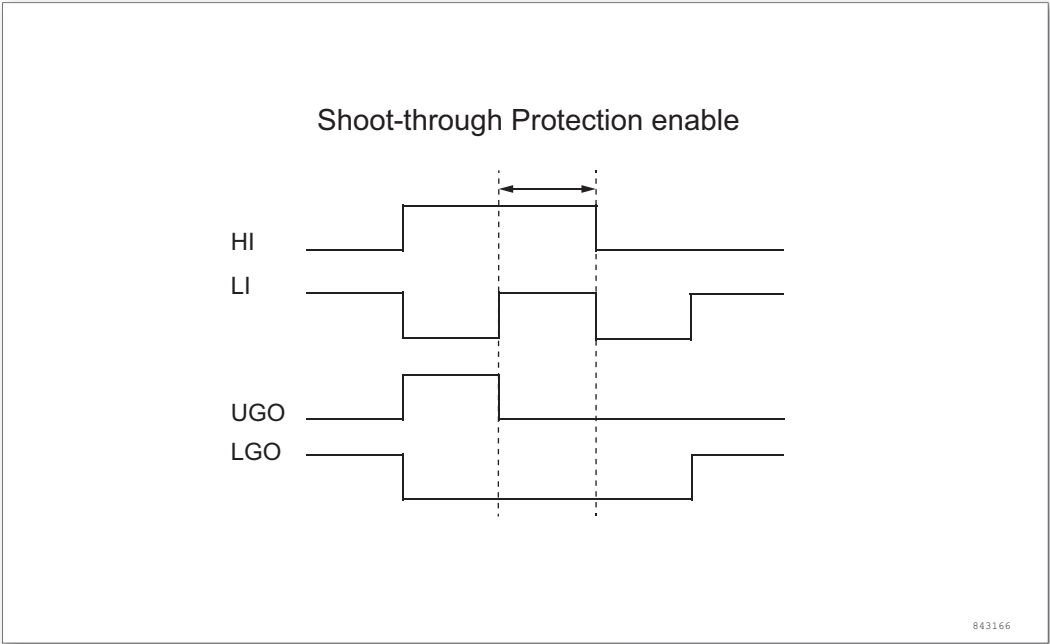


图 21. 短路保护 (Shoot-Through Protection) 时序图

下表标示 pwm 输入/输出状态。

表 45. PWM 输入输出状态表

PWM State			
HI	LI	UGATE	LGATE
ON	OFF	ON	OFF
OFF	ON	OFF	ON
ON	ON	OFF	OFF
OFF	OFF	OFF	OFF

欠电压保护

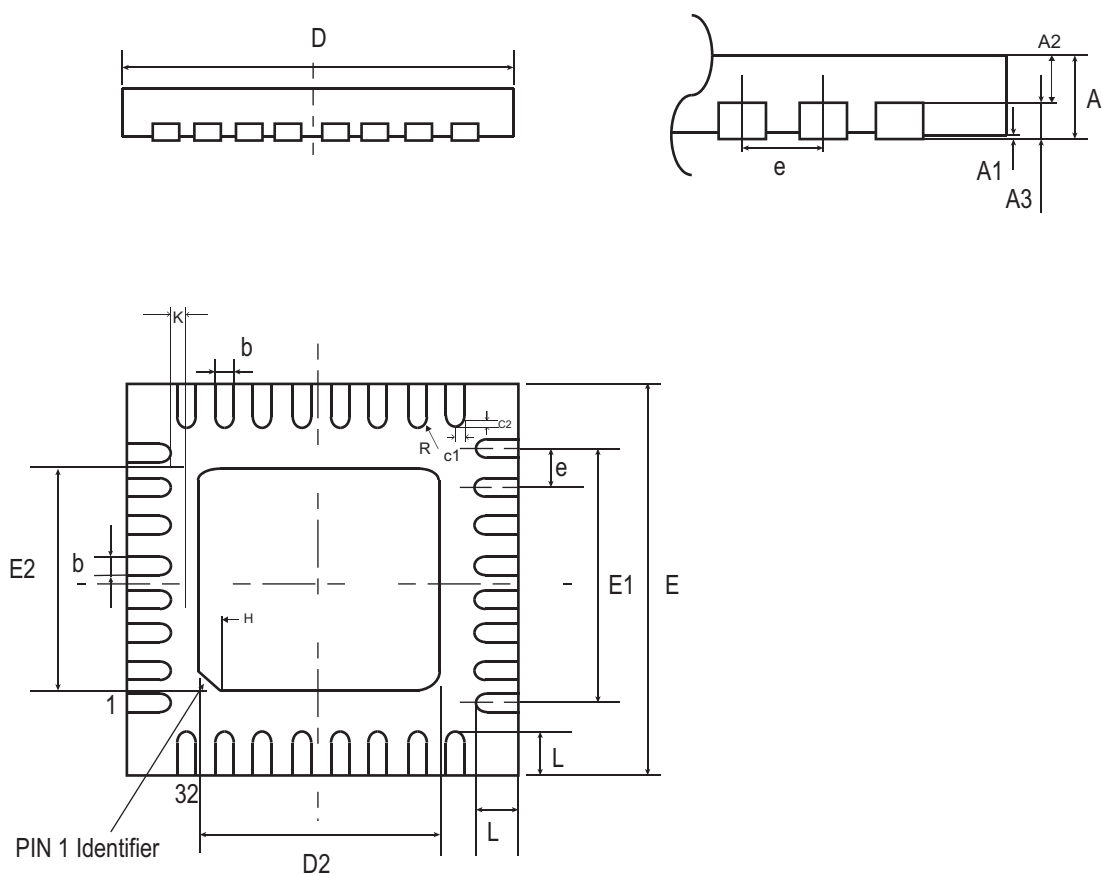
如果电压  $VCC < 2.5V$  时，会触发欠电压保护。当欠电压保护功能激活时, GateDriver 关闭 LDO5V 和驱动输出。



## 7

## 封装特性

## 7.1 封装 QFN32



978941

图 22. QFN32 , 32 脚方形扁平无引线封装外形封装图

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 46. QFN32 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	0.7	0.75	0.80
A1	0.00	0.02	0.05
A2	0.50	0.55	0.60
A3	0.20REF		
b	0.20	0.25	0.30
D	4.90	5.00	5.10
E	4.90	5.00	5.10
D2	3.40	3.50	3.60
E2	3.40	3.50	3.60
e		0.5	
H	0.30REF		
K	0.35REF		
L	0.35	0.40	0.45
R	0.09		
c1		0.08	
c2		0.08	
N	引脚数目 = 32		

## 8

## 型号命名

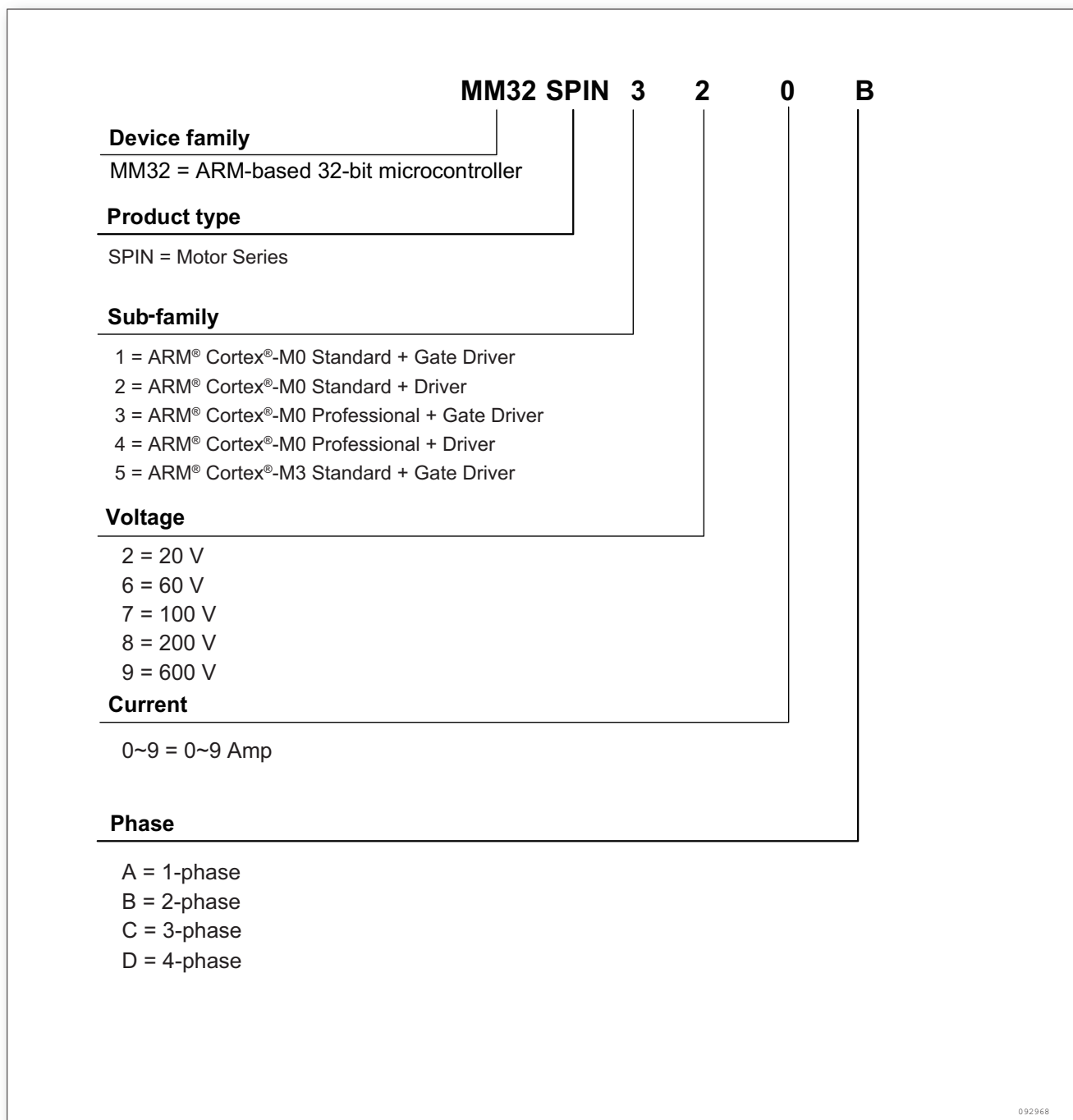


图 23. MM32 型号命名

## 9

## 修改记录

表 47. 修改记录

日期	版本	内容
2021/01/04	Rev0.11	修改 GateDriver 电气特性参数
2019/9/26	Rev0.10	初版。