



数据手册

MM32G0020

基于 Arm® Cortex®-M0 内核的 32 位微控制器

Revision: 1.0

灵动微电子有权在任何时间对此文件包含的信息（包括但不限于规格与产品说明）做出任何改动与发布，本文件将取代之前所有公布的信息。

目录

1	总览.....	1
1.1	概述.....	1
1.2	主要特点.....	1
2	订购信息.....	3
2.1	订购表.....	3
2.2	丝印.....	4
2.3	产品命名规则.....	6
3	功能描述.....	7
3.1	系统框图.....	7
3.2	内核简介.....	8
3.3	总线简介.....	8
3.4	存储器映像.....	8
3.5	Flash.....	9
3.6	SRAM.....	10
3.7	NVIC.....	10
3.8	EXTI.....	10
3.9	时钟和启动.....	10
3.10	启动模式.....	10
3.11	供电方案.....	11
3.12	供电监控器.....	11
3.13	电压调压器.....	11
3.14	低功耗模式.....	11
3.15	定时器和看门狗.....	12
3.16	GPIO.....	14
3.17	UART.....	14
3.18	I2C.....	14
3.19	SPI.....	14
3.20	ADC.....	14
3.21	CRC.....	14
3.22	SWD.....	15
4	引脚定义及复用功能.....	16
4.1	引脚分布图.....	16
4.1.1	QFN20 引脚分布.....	16
4.1.2	TSSOP20 引脚分布.....	17
4.2	引脚定义表.....	18
4.3	引脚复用.....	19
5	电气特性.....	20
5.1	测试条件.....	20
5.1.1	负载电容.....	20
5.1.2	引脚输入电压.....	20
5.1.3	供电方案.....	21
5.1.4	电流消耗测量.....	21
5.2	绝对最大额定值.....	22

5.3	工作条件	23
5.3.1	通用工作条件	23
5.3.2	上电和掉电时的工作条件	23
5.3.3	内嵌复位和电源控制模块特性	24
5.3.4	内置的参照电压	25
5.3.5	供电电流特性	25
5.3.6	外部时钟源特性	28
5.3.7	内部时钟源特性	28
5.3.8	PLL 特性	29
5.3.9	存储器特性	30
5.3.10	EMC 特性	30
5.3.11	功能性 EMS (电气敏感性)	31
5.3.12	I/O 端口特性	32
5.3.13	NRST 引脚特性	34
5.3.14	Timer 定时器特性	35
5.3.15	通信接口	36
5.3.16	ADC 特性	42
6	封装特性	47
6.1	QFN20	47
6.2	TSSOP20	49
7	修订记录	51

表格

表 2-1 订购表	3
表 3-1 存储器映像	8
表 3-2 不同功耗模式下的外设状态	12
表 3-3 定时器功能比较	12
表 4-1 引脚定义	18
表 4-2 PA 端口功能复用 AF0-AF4	19
表 4-3 PB 端口功能复用 AF0-AF4	19
表 5-1 电压特性	22
表 5-2 电流特性	22
表 5-3 通用工作条件	23
表 5-4 上电和掉电时的工作条件	23
表 5-5 内嵌复位和电源控制模块特性	24
表 5-6 内置的参照电压	25
表 5-7 运行模式下的典型电流消耗	26
表 5-8 睡眠模式下的典型电流消耗	26
表 5-9 停机模式下的典型和最大电流消耗 ⁽¹⁾	26
表 5-10 内置外设的电流消耗 ⁽¹⁾	27
表 5-11 低功耗模式的唤醒时间	27
表 5-12 高速外部用户时钟特性	28
表 5-13 HSI 振荡器特性 ⁽¹⁾⁽²⁾	29
表 5-14 LSI 振荡器特性 ⁽¹⁾	29
表 5-15 PLL 特性 ⁽¹⁾	29
表 5-16 Flash 存储器特性	30
表 5-17 Flash 存储器寿命和数据保存期限 ⁽¹⁾⁽²⁾	30
表 5-18 EMS 特性	31
表 5-19 ESD & LU 特性	32
表 5-20 I/O 静态特性	32
表 5-21 输出电压特性	33
表 5-22 I/O 交流特性 ⁽¹⁾⁽²⁾⁽³⁾	34
表 5-23 NRST 引脚特性	35
表 5-24 TIMx ⁽¹⁾ 特性	36
表 5-25 I2C 接口特性	36
表 5-26 SPI 特性 ⁽¹⁾	38
表 5-27 ADC 特性	42
表 5-28 $f_{ADC}=15\text{MHz}$ 时的最大 R_{AIN} ⁽¹⁾	43
表 5-29 ADC 静态参数 ⁽¹⁾⁽²⁾	44
表 6-1 QFN20 封装尺寸细节	48
表 6-2 TSSOP20 封装尺寸细节	50
表 7-1 修订历史	51

插图

图 2-1 TSSOP20 封装丝印	4
图 2-2 QFN20 封装丝印	5
图 2-3 型号命名规则	6
图 3-1 系统框图	7
图 4-1 QFN20 引脚分布	16
图 4-2 TSSOP20 引脚分布	17
图 5-1 引脚的负载条件	20
图 5-2 引脚输入电压	20
图 5-3 供电方案	21
图 5-4 电流消耗测量方案	22
图 5-5 上电与掉电波形	24
图 5-6 外部高速时钟源的交流时序图	28
图 5-7 I/O 交流特性	34
图 5-8 建议的 NRST 引脚保护	35
图 5-9 I2C 总线交流波形和测量电路 ⁽¹⁾	38
图 5-10 SPI 时序图从模式和 CPHA = 0, CPHASEL = 1	40
图 5-11 SPI 时序图从模式和 CPHA = 1, CPHASEL = 1 ⁽¹⁾	41
图 5-12 SPI 时序图主模式, CPHASEL = 1 ⁽¹⁾	42
图 5-13 ADC 静态参数示意图	45
图 5-14 使用 ADC 典型的连接图	45
图 5-15 供电电源和参考电源去耦线路	46
图 6-1 QFN20 封装尺寸	47
图 6-2 TSSOP20 封装尺寸	49

1 总览

1.1 概述

MM32G0020 微控制器搭载 Arm® Cortex®-M0 内核，最高工作频率可达 48MHz。内置 32KB 高速存储器，并集成了丰富的 I/O 端口和外设模块。本产品包含 1 个 12 位的 ADC、1 个 16 位高级定时器、1 个 16 位通用定时器、1 个 16 位基本定时器，还包含标准的通信接口：2 个 UART 接口、1 个 SPI 和 1 个 I2C 接口。

本产品系列工作电压为 2.0V ~ 5.5V，工作温度范围（环境温度）包含 -40°C ~ +85°C 的工业型和 -40°C ~ +105°C 的扩展工业型（尾缀 V）。内置多种省电工作模式保证低功耗应用的要求。

这些丰富的外设配置，使得本产品微控制器适合于多种应用场合：

- 节点控制
- 无线充电
- 电机控制
- 玩具
- 照明电路
- 应急消防设备
- 8/16 位 MCU 升级

本产品提供 QFN20 和 TSSOP20 封装形式。

1.2 主要特点

- 内核与系统
 - 32-bit Arm® Cortex®-M0
 - 工作频率可达 48MHz
- 存储器
 - 32KB Flash 存储器
 - 2KB SRAM
 - Boot loader 支持片内 Flash 在线系统编程（ISP）
- 时钟、复位和电源管理
 - 2.0V ~ 5.5V 供电
 - 上电/断电复位（POR/PDR）、可编程电压监测器（PVD）
 - 内嵌 8MHz HSI 高速振荡器
 - PLL 支持 CPU 最高运行在 48MHz，支持多种分频模式

- 内嵌 40KHz LSI 低速振荡器
 - 支持最高 48MHz 外部时钟输入（HSE，通过 OSCIN 引脚）
- 低功耗
 - 多种低功耗模式，包括：睡眠（Sleep）、停机（Stop）和深度停机（Deep Stop）
- 5 个定时器
 - 1 个 16 位 4 通道高级控制定时器（TIM1），可输出 4 路 PWM 或 3 路互补 PWM 对，支持中心或边沿对齐 PWM 模式，支持硬件死区插入和故障刹车，支持 PWM 移相输出模式
 - 1 个 16 位 4 通道通用定时器（TIM3），可输出 4 路 PWM 或捕获 4 路输入信号，支持霍尔传感器和正交编码器的解码，支持 IR 控制解码
 - 1 个 16 位基本定时器（TIM14），可输出 1 路 PWM 或捕获 1 路输入信号
 - 1 个配置了独立时钟的硬件看门狗定时器（IWDG）
 - 1 个 SysTick 定时器：24 位自减型计数器
- 多达 18 个快速 I/O 端口
 - 所有 I/O 口可以映像到 16 个外部中断
 - 所有端口均可输入输出电压不高于 V_{DD} 的信号
- 多达 4 个通信接口
 - 2 个 UART 接口
 - 1 个 I2C 接口
 - 1 个 SPI 接口
- 1 个 12 位模数转换器（ADC），支持最快 $1\mu s$ 转换时间（1MSPS 采样率），配置 8 个外部通道和 1 个可采集内置参考电压的内部通道
- CRC 计算单元
- 96 位芯片唯一 ID（UID）
- 调试模式
 - 串行调试接口（SWD）接口
- 工作温度范围包括 $-40^{\circ}C \sim 85^{\circ}C$ 工业型和 $-40^{\circ}C \sim 105^{\circ}C$ 的拓展工业型
- 工作电压范围为 2.0V ~ 5.5V
- 采用 QFN20 和 TSSOP20 封装

2 订购信息

2.1 订购表

表 2-1 订购表

Part numbers		MM32G0020B1T(V)	MM32G0020B1N(V)
CPU frequency		48 MHz	
Flash - KB		32	32
SRAM - KB		2	2
Timers	16-bit GP	1	1
	Basic	1	1
	Advanced	1	1
Interface s	UART	2	2
	I2C	1	1
	SPI	1	1
GPIO		18	18
12-bit ADC	Modules	1	1
	Channels	8	8
Supply voltage		2.0V to 5.5V	
Temperature range		-40°C to 85°C or -40°C to 105°C (Suffix V)	
Package		TSSOP20	QFN20

2.2 丝印

丝印须知：本节的目的在于指导用户从丝印中识别出所需的信息，而丝印图中的格式（包括字体、字号、对齐等）、位置、比例等均可能和实际丝印有差别，且部分封装的丝印中可能不包含灵动微电子 Logo，此类格式、位置、比例、Logo 等信息，请以实际产品为准。

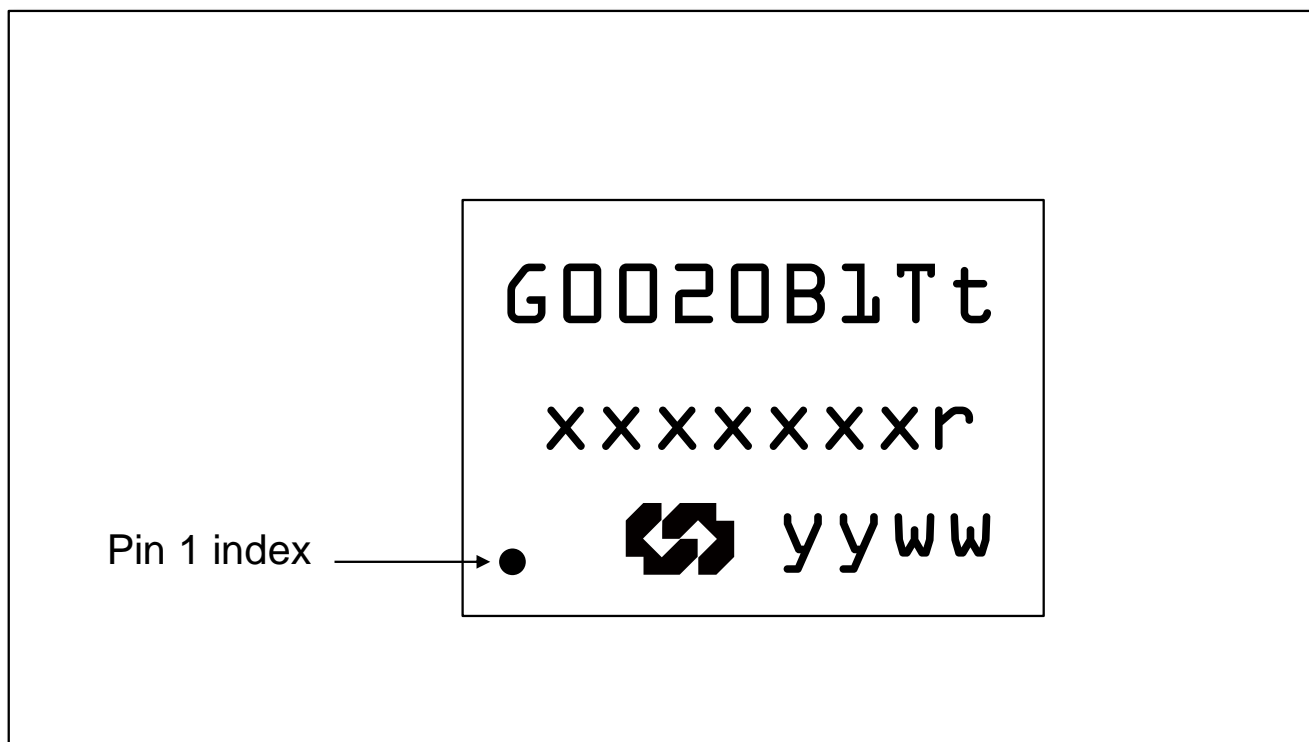


图 2-1 TSSOP20 封装丝印

TSSOP20 封装一般在顶层包含如下丝印：

- 第一行：G0020B1Tt
 - 部分产品型号，其中“t”表示温度等级，“t”为空表示该芯片为工业型（-40°C ~ 85°C），如 G0020B1T；“t”为“V”表示该芯片为拓展工业型（-40°C ~ 105°C），如 G0020B1TV。
- 第二行：xxxxxxxr
 - Trace code + 芯片版本号，其中“r”代表芯片版本号。对于初始工程样片，Trace code 的首两位标识为“ES”。
- 第三行：灵动微电子 Logo + yyww
 - “yyww”为 Date code，其中“yy”代表日期编码中的年份，“ww”代表日期编码中的周数。

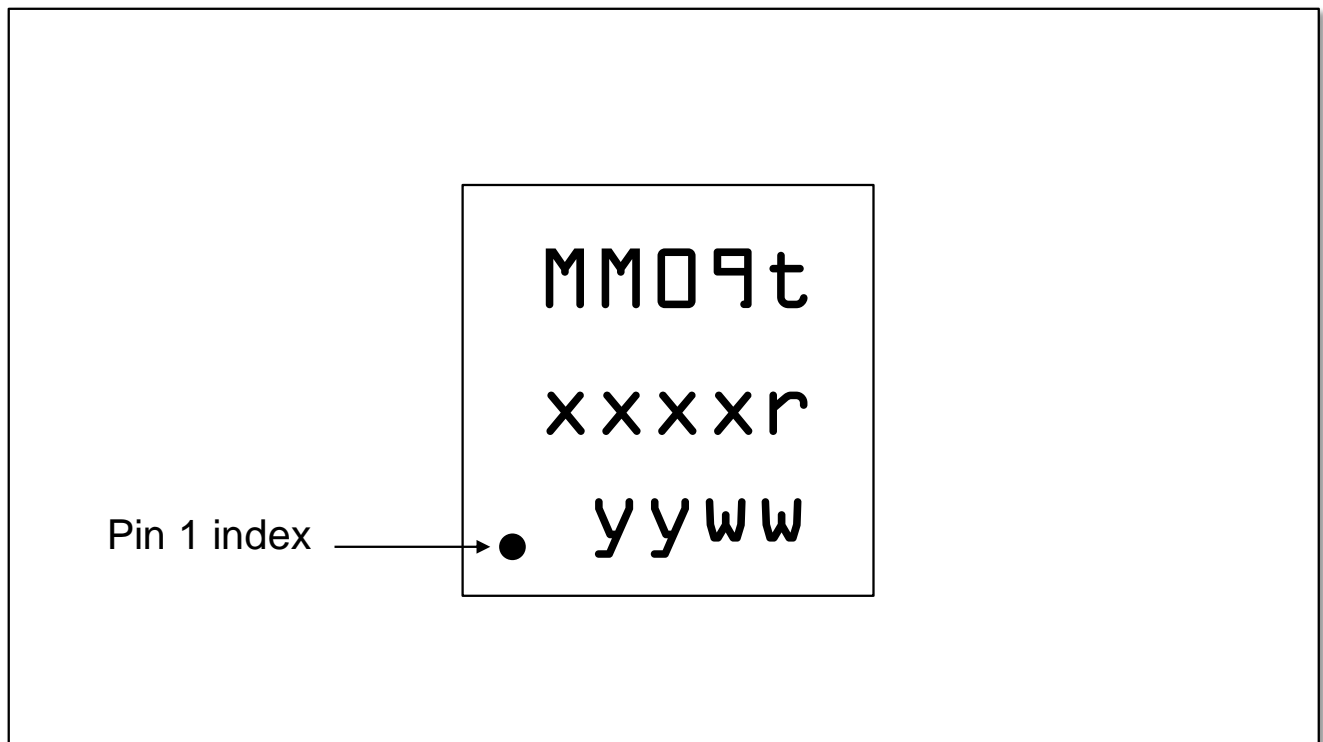


图 2-2 QFN20 封装丝印

QFN20 封装一般在顶层包含如下丝印：

- 第一行：MM09t
 - 产品型号的缩略表示。“MM09”表示 MM32G0020 系列。“t”表示环境温度范围，“t”为“N”表示该芯片为工业型（-40°C ~ 85°C），如 MM09N；“t”为“V”表示该芯片为拓展工业型（-40°C ~ 105°C），如 MM09V。
- 第二行：xxxxr
 - Trace code + 芯片版本号，其中“r”代表芯片版本号。对于初始工程样片，Trace code 的首两位标识为“ES”。
- 第三行：yyww
 - Date code，其中“yy”代表日期编码中的年份，“ww”代表日期编码中的周数。

2.3 产品命名规则

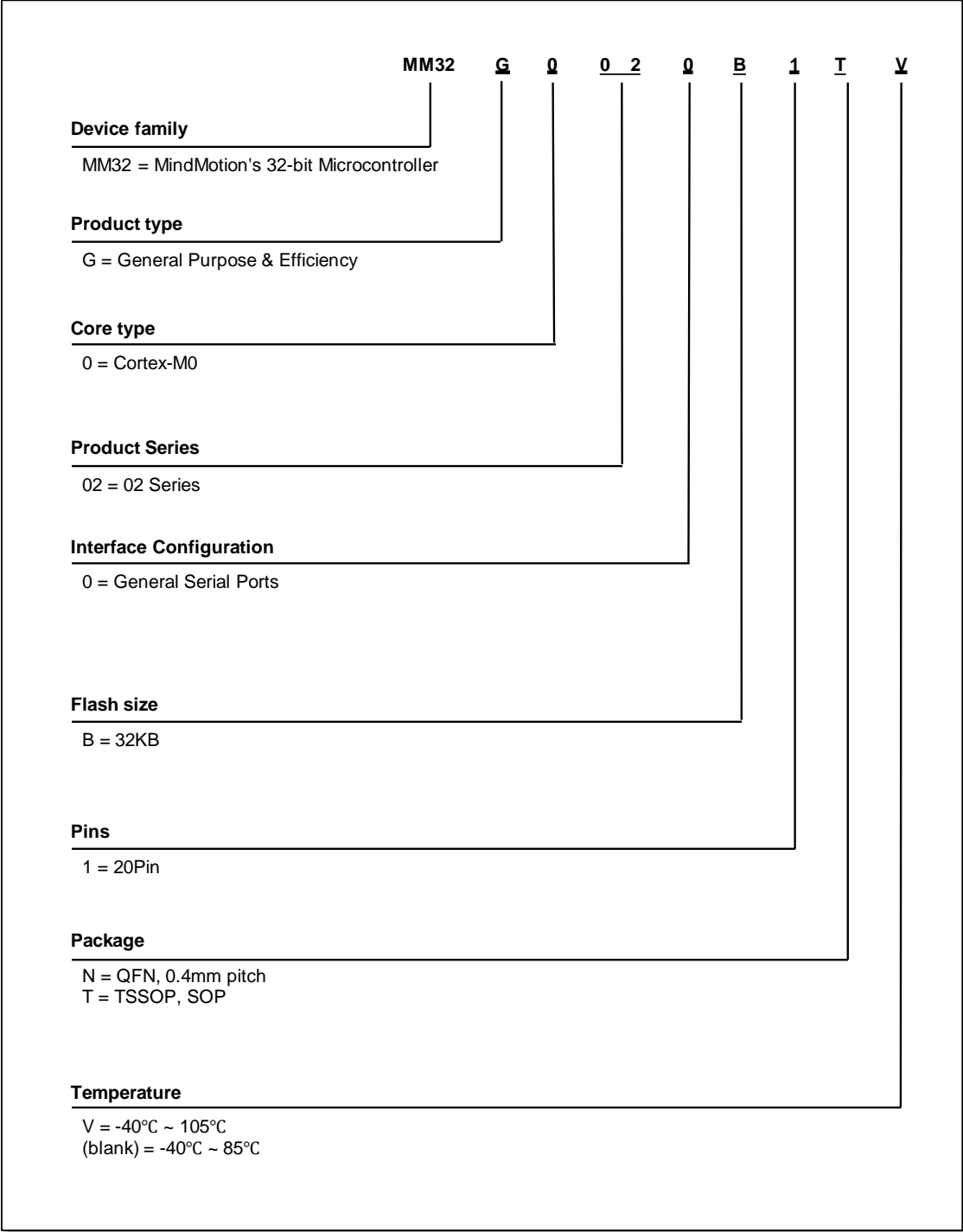


图 2-3 型号命名规则

3 功能描述

3.1 系统框图

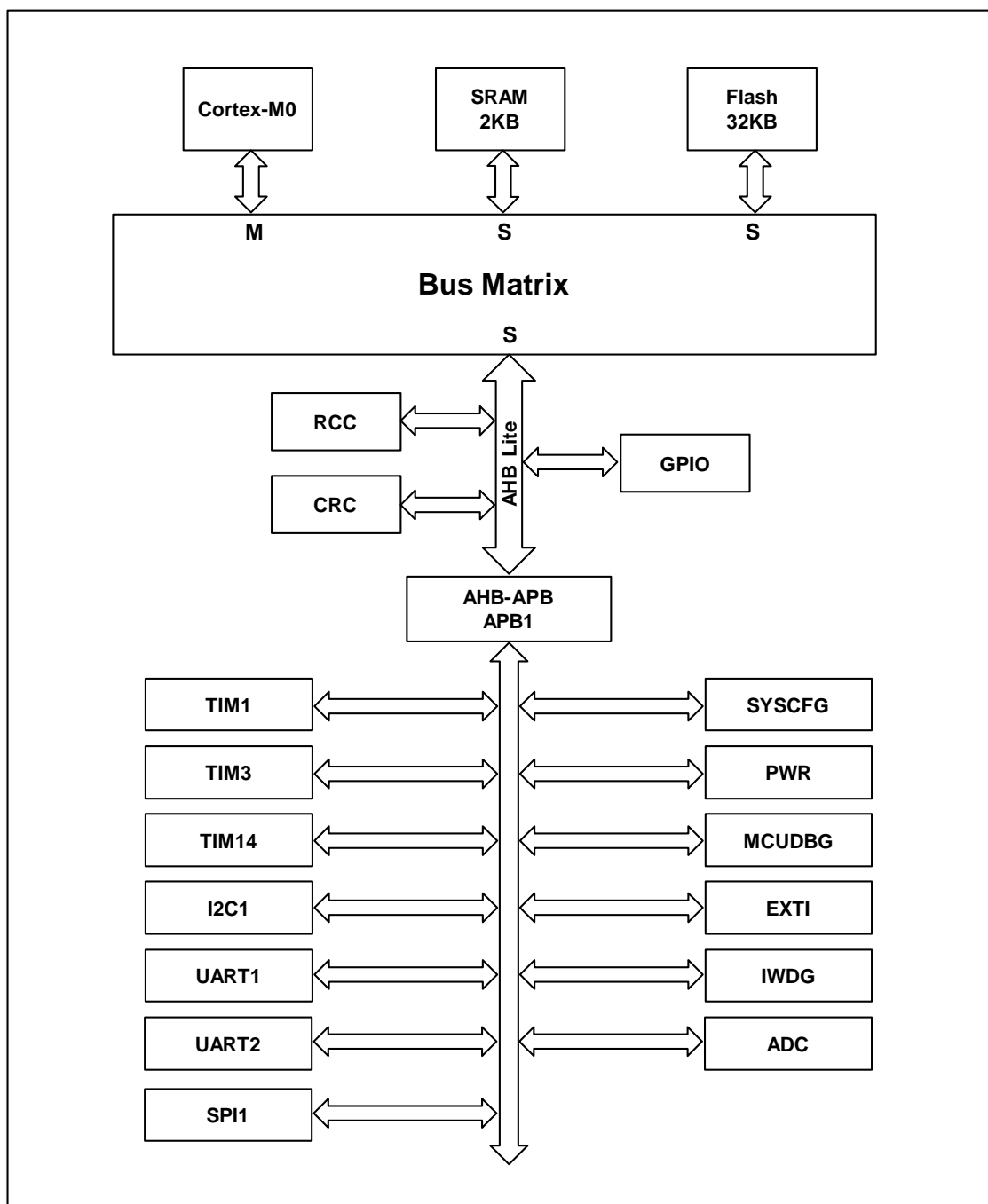


图 3-1 系统框图

3.2 内核简介

Arm® Cortex®-M0 处理器可提供高实时性的处理能力和先进的中断响应系统，常用于面向实时控制和低功耗等应用的高性价比和低引脚数目的微控制器产品。Arm® Cortex®-M0 是 32 位的 RISC 处理器，提供卓越的代码效率，尤其适合小存储容量的微控制器产品和应用。本产品搭载 Arm 内核，可与 Arm 相关工具和软件兼容。

3.3 总线简介

总线矩阵包括一个 AHB 互联矩阵，一个 AHB 总线和一个桥接的 APB 总线。AHB 总线的外设（RCC，GPIO 和 CRC）通过 AHB 互联矩阵与系统总线连接。在 APB 和 AHB 总线之间连接通过 AHB2APB 桥进行数据交换。当 APB 寄存器进行 8 位 16 位访问，APB 会自动拓宽成 32 位，同样的，AHB2APB 桥也具备自动拓宽功能。

3.4 存储器映像

表 3-1 存储器映像

Bus	Address range	Size	Peripheral
Flash	0x0000 0000 - 0x0000 7FFF	32 KB	Main flash memory, system memory or SRAM, depending on BOOT configuration
	0x0000 8000 - 0x07FF FFFF	~127 MB	Reserved
	0x0800 0000 - 0x0800 7FFF	32 KB	Main Flash memory
	0x0801 0000 - 0x1FF0 FFFF	~383 MB	Reserved
	0x1FFE 0000 - 0x1FFE 01FF	0.5 KB	Reserved
	0x1FFE 0200 - 0x1FFE 0FFF	3 KB	Reserved
	0x1FFE 1000 - 0x1FFE 11FF	0.5 KB	Reserved
	0x1FFE 1200 - 0x1FFE 1BFF	2.5 KB	Reserved
	0x1FFE 1C00 - 0x1FFF F3FF	~256 MB	Reserved
	0x1FFF F400 - 0x1FFF F7FF	1 KB	System memory
	0x1FFF F800 - 0x1FFF F80F	16 B	Option bytes
	0x1FFF F810 - 0x1FFF FFFF	2 KB	Reserved
SRAM	0x2000 0000 - 0x2000 07FF	2KB	SRAM
	0x2000 4000 - 0x2FFF FFFF	~255 MB	Reserved
APB1	0x4000 0000 - 0x4000 03FF	1 KB	Reserved
	0x4000 0400 - 0x4000 07FF	1 KB	TIM3
	0x4000 0800 - 0x4000 0BFF	8 KB	Reserved
	0x4000 2800 - 0x4000 2BFF	1 KB	Reserved
	0x4000 2C00 - 0x4000 2FFF	1 KB	Reserved
	0x4000 3000 - 0x4000 33FF	1 KB	IWDG
	0x4000 3400 - 0x4000 37FF	1 KB	Reserved
	0x4000 3800 - 0x4000 3BFF	1 KB	Reserved
	0x4000 4000 - 0x4000 43FF	1 KB	Reserved
	0x4000 4400 - 0x4000 47FF	1 KB	UART2

Bus	Address range	Size	Peripheral
	0x4000 4800 - 0x4000 4BFF	3 KB	Reserved
	0x4000 5400 - 0x4000 57FF	1 KB	I2C1
	0x4000 5800 - 0x4000 5BFF	1 KB	Reserved
	0x4000 5C00 - 0x4000 5FFF	1 KB	Reserved
	0x4000 6000 - 0x4000 63FF	1 KB	Reserved
	0x4000 6400 - 0x4000 67FF	1 KB	Reserved
	0x4000 6800 - 0x4000 6BFF	1 KB	Reserved
	0x4000 6C00 - 0x4000 6FFF	1 KB	Reserved
	0x4000 7000 - 0x4000 73FF	1 KB	PWR
	0x4000 7400 - 0x4000 FFFF	35 KB	Reserved
	0x4001 0000 - 0x4001 03FF	1 KB	SYSCFG
	0x4001 0400 - 0x4001 07FF	1 KB	EXTI
	0x4001 0800 - 0x4001 23FF	7 KB	Reserved
	0x4001 2400 - 0x4001 27FF	1 KB	ADC1
	0x4001 2800 - 0x4001 2BFF	1 KB	Reserved
	0x4001 2C00 - 0x4001 2FFF	1 KB	TIM1
	0x4001 3000 - 0x4001 33FF	1 KB	SPI1
	0x4001 3400 - 0x4001 37FF	1 KB	DBGMCU
	0x4001 3800 - 0x4001 3BFF	1 KB	UART1
	0x4001 3C00 - 0x4001 3FFF	1 KB	Reserved
	0x4001 4000 - 0x4001 43FF	1 KB	TIM14
	0x4001 4400 - 0x4001 47FF	1 KB	Reserved
	0x4001 4800 - 0x4001 4BFF	1 KB	Reserved
	0x4001 4C00 - 0x4001 7FFF	13 KB	Reserved
AHB	0x4002 0000 - 0x4002 03FF	1 KB	Reserved
	0x4002 0400 - 0x4002 0FFF	3 KB	Reserved
	0x4002 1000 - 0x4002 13FF	1 KB	RCC
	0x4002 1400 - 0x4002 1FFF	3 KB	Reserved
	0x4002 2000 - 0x4002 23FF	1 KB	Flash Interface
	0x4002 2400 - 0x4002 2FFF	3 KB	Reserved
	0x4002 3000 - 0x4002 33FF	1 KB	CRC
	0x4002 3400 - 0x4002 FFFF	47 KB	Reserved
	0x4003 0000 - 0x4003 03FF	1 KB	Reserved
	0x4003 0400 - 0x47FF FFFF	~127 MB	Reserved
	0x4800 0000 - 0x4800 03FF	1 KB	GPIOA
	0x4800 0400 - 0x4800 07FF	1 KB	GPIOB
	0x4800 0800 - 0x4800 0BFF	1 KB	Reserved
	0x4800 0C00 - 0x4800 0FFF	1 KB	Reserved
	0x4800 1000 - 0x5FFF FFFF	~384 MB	Reserved

3.5 Flash

本产品提供最大 32KB 字节的内置闪存存储器，用于存放程序和数据。

3.6 SRAM

本产品提供最大 2K 字节的内置 SRAM。

3.7 NVIC

本产品内置嵌套的向量式中断控制器，能够处理多个可屏蔽中断通道（不包括 16 个 Cortex®-M0 的中断线）和 4 个可编程优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

3.8 EXTI

外部中断/事件控制器包含多个边沿检测器，用于捕获来自 IO 引脚的电平变化，进而产生中断/事件请求。所有 IO 引脚可以连接到 16 个外部中断线。每个中断线均可独立开关，或启用各自的触发模式（上升沿、下降沿或双边沿）。一个挂起状态寄存器将会维持所有中断请求的状态。

EXTI 可以检测到脉冲宽度小于内部 APB 总线时钟周期的电平变化。

3.9 时钟和启动

芯片启动后选择系统时钟。在复位后，首先使用内部的 8 MHz 振荡器作为默认的系统时钟，随后可选择使用外部时钟源。当监测到外部时钟无效时，系统会自动将外部时钟源屏蔽，关闭 PLL，转而使用内部的振荡器。此时，如果使能了相关的中断监测开关，也会产生对应的中断请求。

时钟系统中，使用多个预分频器产生 AHB 总线、APB 总线的时钟。其中 AHB 和 APB 总线的时钟最高可达 48 MHz。

3.10 启动模式

在启动时，通过 BOOT0 引脚和 nBOOT1 选择位可以选择三种启动模式中的一种：

- 从片内 Flash 启动

- 从系统存储区启动
- 从片内 SRAM 启动

Bootloader 程序位于系统存储区。从系统存储区启动 Bootloader 之后，可通过 UART1 对片内 Flash 重新编程。

3.11 供电方案

- 通过 VDD 引脚为 I/O 引脚和内部调节器供电，VDD 的工作电压范围是 2.0V ~ 5.5V。
- 本产品没有单独的 VDDA 引脚，VDDA 和 VDD 在芯片内部连接在一起，VDDA 为 ADC、复位模块、振荡器和 PLL 的模拟部分供电，具体模拟器件的工作电压范围请参考电气特性章节。

3.12 供电监控器

本产品内部集成了上电复位（POR）/ 掉电复位（PDR）电路，该电路始终处于工作状态，保证系统供电超过 2.0V 时工作；当 VDD 低于设定的阈值（V_{POR/PDR}）时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器（PVD），它监视 VDD/VDDA 供电并与阈值 V_{PVD} 比较，当 VDD 低于或高于阈值 V_{PVD} 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

3.13 电压调压器

片内的电压调压器将外部电压转成内部逻辑电路工作的电压。电压调压器在芯片复位后时钟处于工作状态。

3.14 低功耗模式

产品支持低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

睡眠模式

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

停机模式

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到较低的电能消耗。在停机模式下，HSI 的振荡器和 HSE 被关闭。可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒，EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出的唤醒信号。

深度停机模式

与停机模式状态一致，但能够达到更低的电能消耗。

各低功耗模式下的外设状态如表 3-2 所示。其中：

- Power Down 表示模块掉电，除 Flash 外数据均会丢失。
- Optional 表示外设可通过软件配置开启或关闭
- ON 表示工作
- OFF 表示功能关闭
- Retention 表示数据保留但无法操作

表 3-2 不同功耗模式下的外设状态

Module/Mode	Run	Sleep	Stop	Deep Stop
Max. Freq.	48MHz	48MHz	40KHz	40KHz
PVD	Optional	Optional	Optional	Optional
POR	ON	ON	ON	ON
CPU	ON	OFF	OFF	OFF
SRAM	ON	ON	Retention	Retention
Flash	ON	Standby	Standby	Deep Standby
HSI	Optional	Optional	OFF	Power Down
LSI	Optional	Optional	Optional	Optional
IWDG	Optional	Optional	Optional	Optional
ADC	Optional	Optional	OFF	OFF
Other Peripherals	Optional	Optional	OFF	OFF
I/O	Optional	Optional	Retention	Retention

3.15 定时器和看门狗

本产品包含 1 个高级定时器、1 个通用定时器、1 个基本定时器、1 个看门狗定时器和 1 个系统嘀嗒定时器。下表比较了高级控制定时器、通用定时器、基本定时器的功能：

表 3-3 定时器功能比较

Type	Instance	Resolution	Counter direction	pre-divider	DMA request	Capture/com pare channels	Comple mentary output
Advanced	TIM1	16-bit	up, down, up/down	1 to 65536	No	4 (no capture)	3
General purpose	TIM3	16-bit	up, down, up/down	1 to 65536	No	4	No
Basic	TIM14	16-bit	up	1 to 65536	No	1	No

高级控制定时器（TIM1）

高级控制定时器是由 16 位计数器、4 个比较通道以及三相互补 PWM 发生器组成，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输出比较
- 产生 PWM（边缘或中心对齐模式）
- 单脉冲输出

配置为 16 位通用定时器时，它与 TIM2 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力（0 ~ 100%）。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与通用的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

通用定时器（TIM3）

产品中内置了多达 1 个可同步运行的通用定时器（TIM3）。定时器有一个 16 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一通用定时器都能用于产生 PWM 输出。

这些定时器还能够处理增量编码器的信号，也能处理 1 ~ 4 个霍尔传感器的数字输出。每个定时器都 PWM 输出或作为简单时间基准。

基本定时器（TIM14）

定时器均基于一个 16 位自动重载递增计数器和一个 16 位预分频器。在调试模式下，计数器可以被冻结。

独立看门狗（IWDG）

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的振荡器提供时钟。因为这个振荡器独立于主时钟，所以它可运行于停机模式。它可以用在系统发生问题时复位整个系统或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

系统时基定时器（Systick）

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

3.16 GPIO

每个 GPIO 引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

3.17 UART

产品中内嵌 2 个 UART 接口。UART 接口支持输出数据长度可为 5 位、6 位、7 位、8 位、9 位可配置。

3.18 I2C

本产品中内嵌 1 个 I2C 接口，能够工作于多主模式或从模式，支持标准和快速模式。

I2C 接口支持 7 位或 10 位寻址。

3.19 SPI

本产品中内嵌 1 个 SPI 接口。SPI 接口在从或主模式下，可配置成每帧 1 ~ 32 位。主模式最大速率 24 Mbps，从模式最大速率 12 Mbps。

3.20 ADC

产品内嵌 1 个 12 位的模拟/数字转换器（ADC），可用的 ADC 外部通道多达 8 个，可以实现单次、单周期和连续扫描转换。在扫描模式下，自动进行已选定的一组模拟输入上的采集值转换。

模拟看门狗功能允许非常精准地监视一路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由通用定时器（TIMx）和高级控制定时器产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 ADC 转换与时钟同步。

3.21 CRC

CRC（循环冗余校验）计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

3.22 SWD

内嵌 Arm 标准的两线串行调试接口（SW-DP）。

4 引脚定义及复用功能

4.1 引脚分布图

4.1.1 QFN20 引脚分布

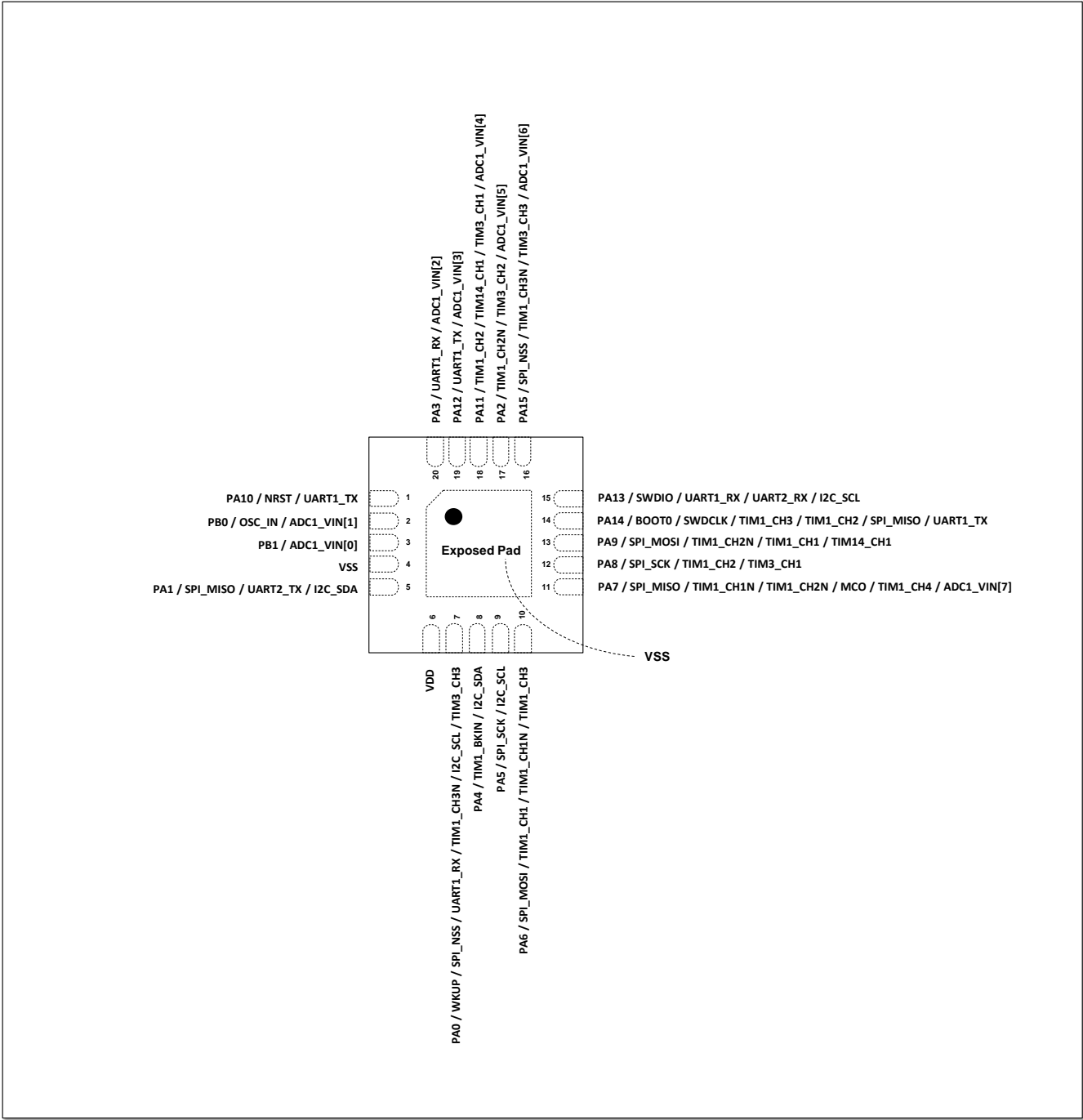


图 4-1 QFN20 引脚分布

4.1.2 TSSOP20 引脚分布

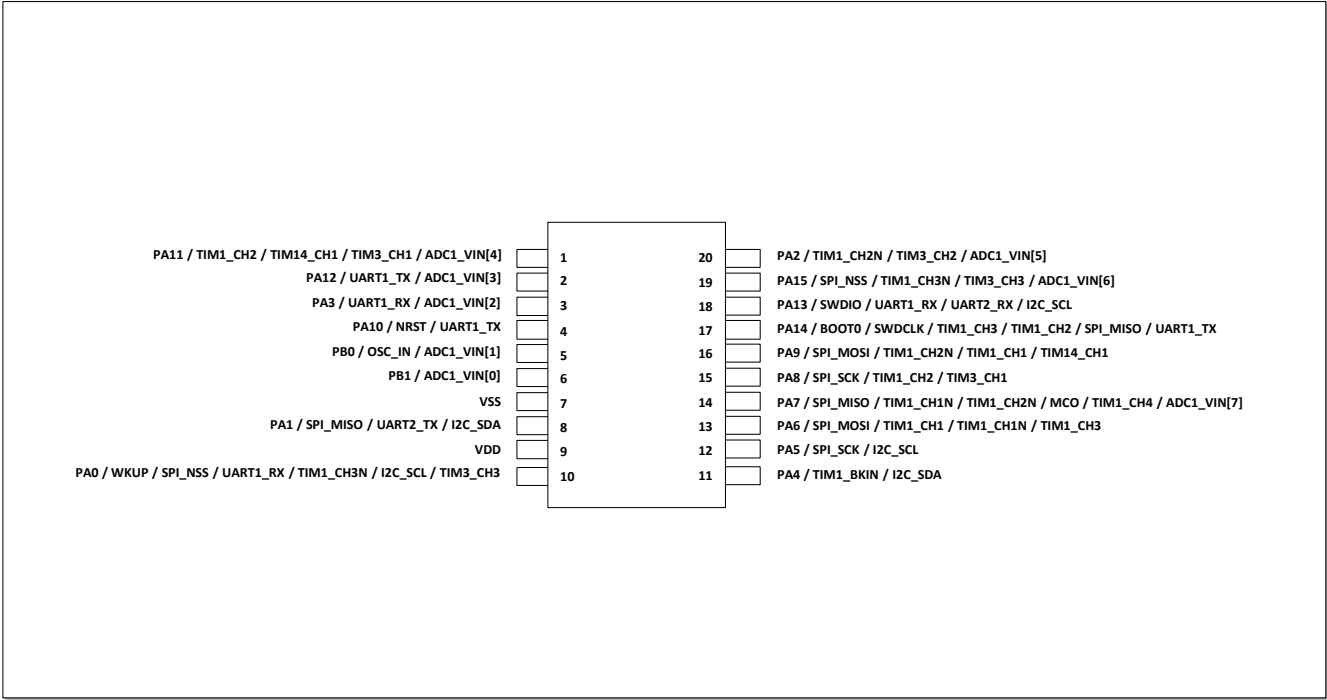


图 4-2 TSSOP20 引脚分布

4.2 引脚定义表

表 4-1 引脚定义

QFN20	TSSOP20	Name	Type ⁽¹⁾	I/O level ⁽²⁾	Main function	Multiplex function	Additional function
1	4	PA10 NRST	I/O	TC	PA10	UART1_TX	-
2	5	PB0 OSC_IN	I/O	TC	PB0	-	ADC1_VIN[1]
3	6	PB1	I/O	TC	PB1	-	ADC1_VIN[0]
4	7	VSS	S	-	VSS	-	-
5	8	PA1	I/O	TC	PA1	SPI_MISO UART2_TX I2C_SDA	-
6	9	VDD	S	-	VDD	-	-
7	10	PA0 WKUP	I/O	TC	PA0	SPI_NSS UART1_RX TIM1_CH3N I2C_SCL TIM3_CH3	-
8	11	PA4	I/O	TC	PA4	TIM1_BKIN I2C_SDA	-
9	12	PA5	I/O	TC	PA5	SPI_SCK I2C_SCL	-
10	13	PA6	I/O	TC	PA6	SPI_MOSI TIM1_CH1 TIM1_CH1N TIM1_CH3	-
11	14	PA7	I/O	TC	PA7	SPI_MISO TIM1_CH1N TIM1_CH2N MCO TIM1_CH4	ADC1_VIN[7]
12	15	PA8	I/O	TC	PA8	SPI_SCK TIM1_CH2 TIM3_CH1	-
13	16	PA9	I/O	TC	PA9	SPI_MOSI TIM1_CH2N TIM1_CH1 TIM14_CH1	-
14	17	PA14 BOOT0	I/O	TC	PA14	SWDCLK TIM1_CH3 TIM1_CH2 SPI_MISO UART1_TX	-
15	18	PA13	I/O	TC	PA13	SWDIO UART1_RX UART2_RX I2C_SCL	-
16	19	PA15	I/O	TC	PA15	SPI_NSS TIM1_CH3N TIM3_CH3	ADC1_VIN[6]
17	20	PA2	I/O	TC	PA2	TIM1_CH2N TIM3_CH2	ADC1_VIN[5]
18	1	PA11	I/O	TC	PA11	TIM1_CH2 TIM14_CH1 TIM3_CH1	ADC1_VIN[4]
19	2	PA12	I/O	TC	PA12	UART1_TX	ADC1_VIN[3]
20	3	PA3	I/O	TC	PA3	UART1_RX	ADC1_VIN[2]

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻

2. TC: 标准 IO, 输入信号不超过 VDD 电压

4.3 引脚复用

表 4-2 PA 端口功能复用 AF0-AF4

Pin	AF0	AF1	AF2	AF3	AF4
PA0	SPI_NSS	UART1_RX	TIM1_CH3N	I2C_SCL	TIM3_CH3
PA1	SPI_MISO	-	UART2_TX	I2C_SDA	-
PA2	-	-	TIM1_CH2N	-	TIM3_CH2
PA3	-	UART1_RX	-	-	-
PA4	-	-	TIM1_BKIN	I2C_SDA	-
PA5	SPI_SCK	-	-	I2C_SCL	-
PA6	SPI_MOSI	TIM1_CH1	TIM1_CH1N	-	TIM1_CH3
PA7	SPI_MISO	TIM1_CH1N	TIM1_CH2N	MCO	TIM1_CH4
PA8	SPI_SCK	TIM1_CH2	-	-	TIM3_CH1
PA9	SPI_MOSI	TIM1_CH2N	TIM1_CH1	TIM14_CH1	-
PA10	-	UART1_TX	-	-	-
PA11	-	-	TIM1_CH2	TIM14_CH1	TIM3_CH1
PA12	-	UART1_TX	-	-	-
PA13	SWDIO	UART1_RX	UART2_RX	I2C_SCL	-
PA14	SWDCLK	TIM1_CH3	TIM1_CH2	SPI_MISO	UART1_TX
PA15	SPI_NSS	TIM1_CH3N	-	-	TIM3_CH3

表 4-3 PB 端口功能复用 AF0-AF4

Pin	AF0	AF1	AF2	AF3	AF4
PB0	-	-	-	-	-
PB1	-	-	-	-	-

5 电气特性

5.1 测试条件

除非特别说明，所有电压都以 VSS 为基准。

5.1.1 负载电容

测量引脚参数时的负载条件示于图 5-1。

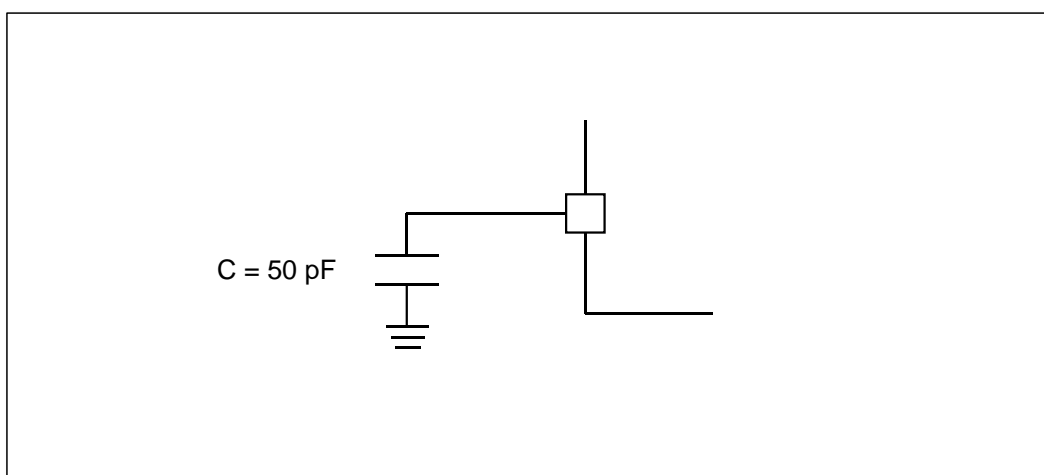


图 5-1 引脚的负载条件

5.1.2 引脚输入电压

引脚上输入电压的测量方式示于图 5-2。

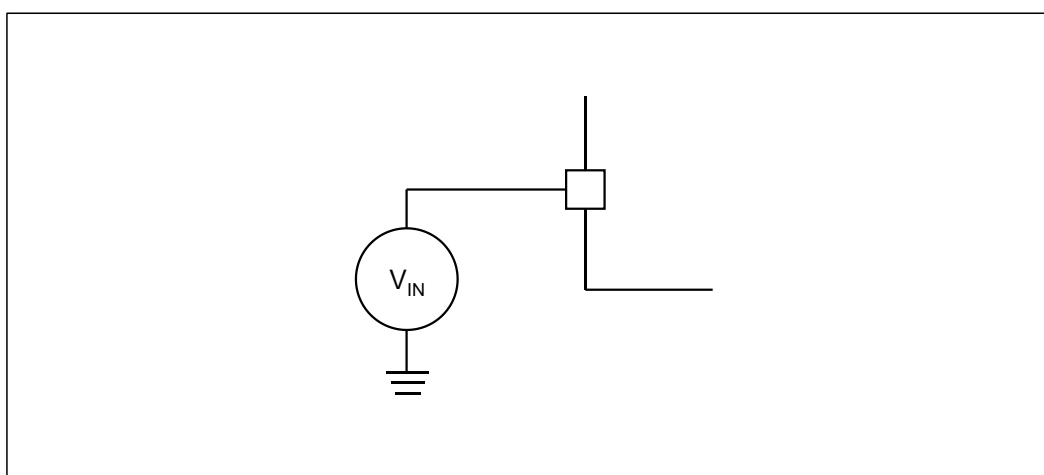


图 5-2 引脚输入电压

5.1.3 供电方案

供电设计方案示于下图 5-3。

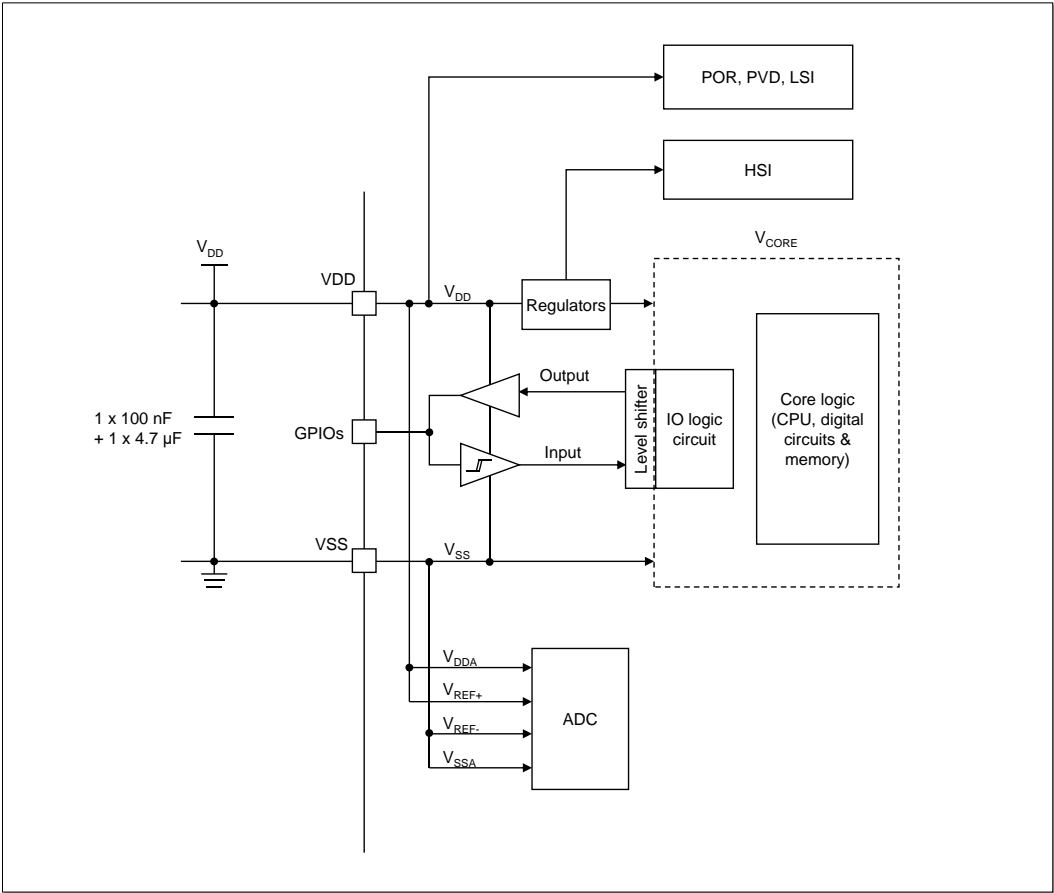


图 5-3 供电方案

注意：

- 1. 为使芯片达到最佳性能，电源地之间建议使用上图所示的滤波陶瓷电容去耦。
- 2. 本产品的 V_{DD} 、 V_{DDA} 和 V_{REF+} 在芯片内部均接到 V_{DD} 引脚， V_{SS} 、 V_{SSA} 和 V_{REF-} 在芯片内部均连接到 V_{SS} 引脚。

5.1.4 电流消耗测量

引脚上电流消耗的测量方式示于下图 5-4。

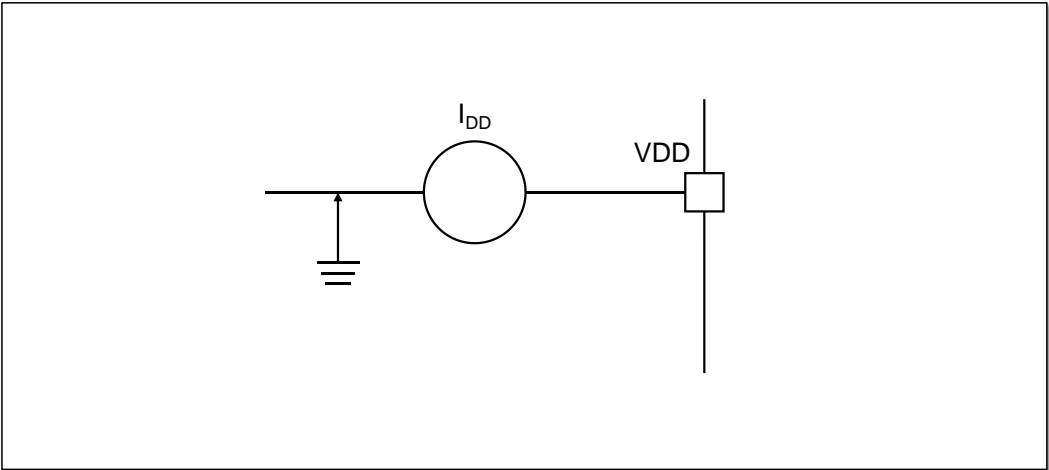


图 5-4 电流消耗测量方案

5.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表（表 5-1、表 5-2）中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 5-1 电压特性

Symbol	Description	Minimum	Maximum	Unit
V _{DDx} -V _{SSx}	External main supply voltage (including V _{DDA} and V _{SSA}) ⁽¹⁾	-0.3	5.8	V
V _{IN} ⁽²⁾	Input voltage on other pins	V _{SS} -0.3	V _{DD} +0.3	

- 所有的电源（V_{DD}）和地（V_{SS}）引脚必须始终连接到外部允许范围内的供电系统上。
- 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见下表。

表 5-2 电流特性

Symbol	Description	Maximum	Unit
I _{VDD/VDDA} ⁽¹⁾	Total current through V _{DD} /V _{DDA} power pins (supply current) ⁽¹⁾	+60	mA
I _{VSS/VSSA} ⁽¹⁾	Total current through V _{SS} /V _{SSA} ground pins (outflow current) ⁽¹⁾	-60	
I _{IO}	Output sink current on any I/O and control pins	+25	
	Output current on any I/O and control pins	-25	
I _{INJ(PIN)} ⁽²⁾⁽³⁾	NRST pin injection current	±5	
	HSE OSC_IN pin injection current	±5	
ΣI _{INJ(PIN)} ⁽⁵⁾	Other pins injection current ⁽⁴⁾	±25	

- 在允许的范围内，所有主电源（V_{DD}）和接地（V_{SS}）引脚必须始终连接到外部电源。
- 此电流消耗必须正确分布至所有 I/O 和控制引脚。
- 反向注入电流会干扰器件的模拟性能。

4. 当 $V_{IN} > V_{DDA}$ 时，会产生正向注入电流；当 $V_{IN} < V_{SS}$ 时，会产生反向注入电流。不得超出 $I_{INJ(PIN)}$ 。
5. 当多个输入同时存在注入电流时， $\Sigma I_{INJ(PIN)}$ 的最大值等于正向注入电流和反向注入电流（瞬时值）的绝对值之和。

5.3 工作条件

5.3.1 通用工作条件

表 5-3 通用工作条件

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f _{HCLK}	Internal AHB clock frequency	-	-	-	48	MHz
f _{PCLK1}	Internal APB1 clock frequency	-	-	-	48	
V _{DD}	Digital circuit operating voltage	-	2.0	3.3	5.5	V
V _{DDA}	Analog circuit operating voltage (Performance is guaranteed)	Must be the same as V _{DD} ⁽¹⁾	2.5	3.3	5.5	
	Analog circuit operating voltage (Performance is not guaranteed)		2.0	-	2.5	
P _D	Power dissipation Temperature: T _A = 85°C ⁽²⁾ or: T _A = 105°C ⁽²⁾	TSSOP20	-	-	270	mW
		QFN20	-	-	196	
T _A	Ambient temperature (industrial level)	-	-40	-	85	°C
	Ambient temperature (Extended industrial level)	-	-40	-	105	
T _J	Junction temperature ⁽³⁾ (industrial level)	-	-40	-	105	°C
	Junction temperature ⁽³⁾ (Extended industrial level)	-	-40	-	125	

1. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间，V_{DD} 和 V_{DDA} 之间 最多允许有 300 mV 的差别。
2. 如果 T_A 较低，只要 T_J 不超过 T_{Jmax}，则允许更高的 P_D 数值。
3. 在较低的功率耗散的状态下，只要 T_J 不超过 T_{Jmax}，T_A 可以扩展到这个范围

5.3.2 上电和掉电时的工作条件

下表中给出的参数是在表 5-3 一般的工作条件下测试得出。

表 5-4 上电和掉电时的工作条件

Symbol	Conditions	Min.	Typ.	Max.	Unit
t _{VDD}	V _{DD} rise time t _r	1	-	∞	us
	V _{DD} fall time t _f	400	-	∞	
V _{IT} ⁽³⁾	Power-down threshold voltage	-	0	-	mV

1. 由综合评估得出，不在生产中测试
2. 芯片上与掉电 V_{DD} 波形需严格遵循以下波形图中 t_r 和 t_f 阶段，上电过程不得出现掉电现象
3. 为确保芯片可以可靠上电，所有上电需从 0V 开始。

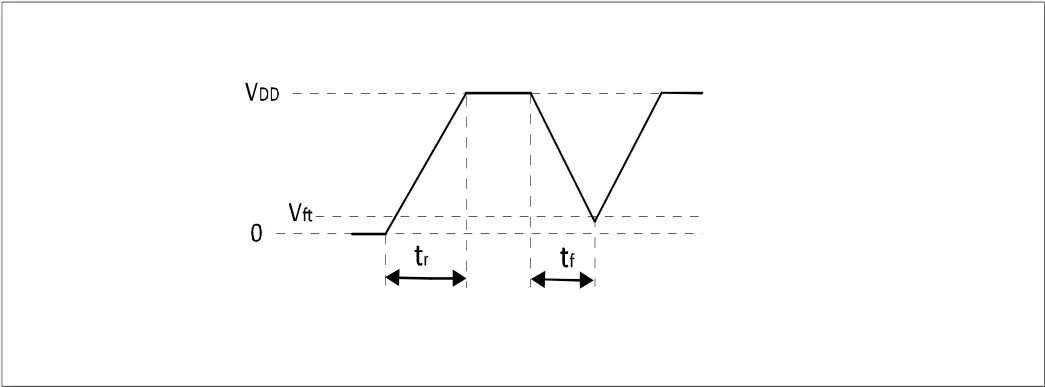


图 5-5 上电与掉电波形

5.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 5-3 列出的环境温度下和 VDD 供电电压下测试得出。

表 5-5 内嵌复位和电源控制模块特性

Symbol	Parameter	Condition	Min. ⁽³⁾	Typ.	Max. ⁽³⁾	Unit
VPVD	Level selection of programmable voltage detectors	PLS[3:0]=0001 (Rising edge)	1.84	2.04	2.24	V
		PLS[3:0]=0001 (Falling edge)	1.71	1.90	2.09	
		PLS[3:0]=0010 (Rising edge)	2.10	2.33	2.56	
		PLS[3:0]=0010 (Falling edge)	1.96	2.18	2.40	
		PLS[3:0]=0011 (Rising edge)	2.36	2.62	2.88	
		PLS[3:0]=0011 (Falling edge)	2.21	2.46	2.71	
		PLS[3:0]=0100 (Rising edge)	2.62	2.91	3.20	
		PLS[3:0]=0100 (Falling edge)	2.46	2.73	3.00	
		PLS[3:0]=0101 (Rising edge)	2.87	3.19	3.51	
		PLS[3:0]=0101 (Falling edge)	2.73	3.03	3.33	
		PLS[3:0]=0110 (Rising edge)	3.15	3.50	3.85	
		PLS[3:0]=0110 (Falling edge)	2.99	3.32	3.65	
		PLS[3:0]=0111 (Rising edge)	3.40	3.78	4.16	
		PLS[3:0]=0111 (Falling edge)	3.22	3.58	3.94	
		PLS[3:0]=1000 (Rising edge)	3.70	4.11	4.52	
		PLS[3:0]=1000 (Falling edge)	3.46	3.84	4.22	
		PLS[3:0]=1001 (Rising edge)	3.96	4.40	4.84	
		PLS[3:0]=1001 (Falling edge)	3.74	4.15	4.57	
		PLS[3:0]=1010 (Rising edge)	4.19	4.65	5.12	
		PLS[3:0]=1010 (Falling edge)	4.01	4.45	4.90	
VPOR/PDR ⁽¹⁾	Power-on reset threshold	-	-	1.65	-	V
Vhyst_PDR	PDR hysteresis	-	-	40	-	mV

Symbol	Parameter	Condition	Min. ⁽³⁾	Typ.	Max. ⁽³⁾	Unit
T _{RSTTEMPO} ⁽²⁾	Reset duration	-	-	2.5	-	ms

1. 产品的特性由设计保证至最小的数值 V_{POR/PDR}。
2. 由设计保证，不在生产中测试。
3. 由综合评估得出。
- 注：复位持续时间的测量方法为从上电（POR 复位）到用户应用代码第一个 IO 翻转的时刻。

5.3.4 内置的参照电压

下表中给出的参数是依据表 5-3 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 5-6 内置的参照电压

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
V _{REFINT}	Built-in voltage reference	-40°C < T _A < 105°C	-	1.2	-	V
T _{s_vrefint} ⁽¹⁾	ADC sampling time when readout build-in voltage reference	-	-	11.8	-	us

1. 最短的采样时间是通过应用中的多次循环得到。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或 V_{SS}（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- Flash 存储器的访问时间调整到 f_{HCLK} 的频率（0 ~ 24 MHz 时为 0 个等待周期，24 ~ 48MHz 时为 1 个等待周期）。
- 指令预取功能开启。当开启外设时：f_{HCLK} = f_{PCLK}。

注：指令预取功能必须在设置时钟和总线分频之前设置。

下表中给出的参数，是依据表 5-3 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 5-7 运行模式下的典型电流消耗

Symbol	Parameters	Condition	f _{HCLK} (Hz)	Typical All peripherals enabled				Typical All peripherals disabled				Unit
				-40°C	25°C	85°C	105°C	-40°C	25°C	85°C	105°C	
I _{DD}	Supply current in Run mode	Internal clock source	48M	5.42	5.33	5.33	5.33	4.31	4.23	4.22	4.23	mA
			24M	3.74	3.64	3.62	3.63	3.17	3.08	3.07	3.08	
			8M	1.38	1.37	1.41	1.43	1.24	1.23	1.26	1.28	
			4M	1.41	1.34	1.13	1.09	1.11	1.41	1.34	1.13	
			2M	0.91	0.84	0.87	0.89	0.82	0.75	0.78	0.80	
			1M	0.61	0.59	0.62	0.64	0.55	0.53	0.57	0.58	
			500K	0.48	0.45	0.47	0.50	0.45	0.42	0.46	0.47	
			125K	0.38	0.35	0.38	0.40	0.37	0.35	0.37	0.39	

表 5-8 睡眠模式下的典型电流消耗

Symbol	Parameters	Condition	f _{HCLK} (Hz)	Typical All peripherals enabled				Typical All peripherals disabled				Unit
				-40°C	25°C	85°C	105°C	-40°C	25°C	85°C	105°C	
I _{DD}	Supply current in Sleep mode	Internal clock source	48M	2.84	2.74	2.71	2.70	1.73	1.62	1.60	1.60	mA
			24M	1.89	1.78	1.76	1.75	1.33	1.22	1.20	1.20	
			8M	1.22	1.11	1.10	1.10	1.03	0.93	0.91	0.91	
			4M	1.47	1.41	0.78	0.79	0.45	0.37	0.39	0.40	
			2M	0.94	0.87	0.92	0.94	0.42	0.34	0.36	0.37	
			1M	0.61	0.59	0.63	0.65	0.57	0.55	0.59	0.61	
			500K	0.48	0.46	0.49	0.51	0.46	0.44	0.47	0.49	
			125K	0.38	0.36	0.39	0.40	0.38	0.35	0.38	0.40	

表 5-9 停机模式下的典型和最大电流消耗 ⁽¹⁾

Symbol	Parameter	Conditions	Typical	Maximum		Unit
			25°C	25°C	-40~105°C	
I _{DDx}	Supply current in Stop mode	Enter Stop mode after reset, V _{DD} =3.3V	56.3	69	145	μA
	Supply current in Deep Stop mode	Enter Deep Stop mode after reset, V _{DD} =3.3V	1.3	2.9	64	

1. I/O 状态为模拟输入。

内置外设电流消耗

内置外设的电流消耗列于下表，MCU 的工作条件如下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或 V_{SS}（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出

- 关闭所有外设的时钟
- 只开启一个外设的时钟
- 环境温度和 VDD 供电电压条件列于表 5-3。

表 5-10 内置外设的电流消耗 ⁽¹⁾

Symbol	Parameter	Bus	Typical	Unit
I _{DD}	CRC	AHB	0.45	uA/MHz
	GPIOA		0.23	
	GPIOB		0.25	
	TIM1	APB1	3.91	
	TIM14		1.14	
	SPI1		2.91	
	UART1		2.70	
	SYSCFG		0.06	
	MCUDBG		0.04	
	EXTI		0.60	
	ADC		2.28	
	TIM3		2.03	
	UART2		2.63	
	IWDG		0.35	
	I2C1		3.25	

1. f_{HCLK} = 48MHz，f_{APB1} = f_{HCLK}，每个外设的预分频系数为默认值。

从低功耗模式唤醒的时间

下表列出的唤醒时间是在内部时钟 HSI 的唤醒阶段测量得到。唤醒时使用的时钟源根据当前的操作模式而定：

- 停机模式：时钟源是振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟所有的时间是使用环境温度和供电电压符合表 5-3 通用工作条件测量得到。

表 5-11 低功耗模式的唤醒时间

Symbol	Parameter	Conditions	Typical	Unit
tw _{USLEEP}	Wake up from Sleep mode	System clock is HSI	3	cycles
tw _{USTOP}	Wake up from Stop mode (regulator is in Run mode)	System clock is HSI	11	μs
tw _{UDEEPSTOP}	Wake up from Deep Stop mode (regulator is in low power mode)	System clock is HSI	14	μs

5.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 5-12 高速外部用户时钟特性

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
f_{HSE_ext}	User external clock source frequency ⁽¹⁾	-	-	8	48	MHz
V_{HSEH}	OSC_IN input high level voltage	-	$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN input low level voltage	-	V_{SS}	-	$0.3V_{DD}$	V
$t_{w(HSE)}$	OSC_IN high or low time ⁽¹⁾	-	10	-	-	ns

1. 由设计保证，不在生产中测试。

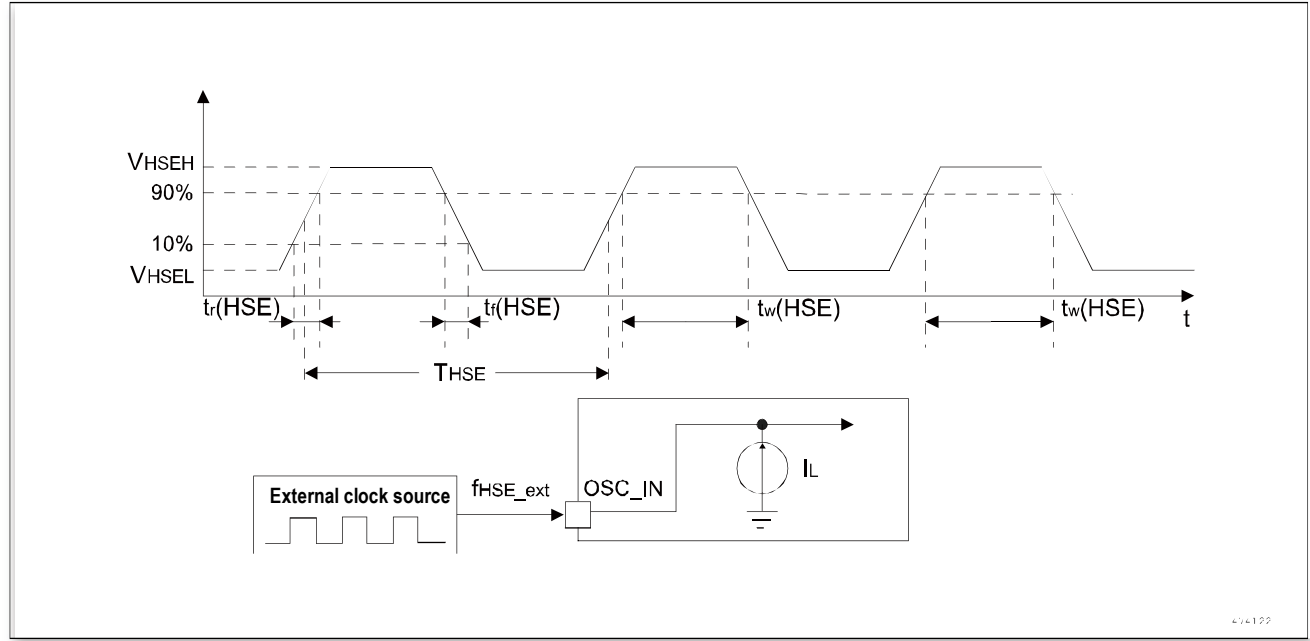


图 5-6 外部高速时钟源的交流时序图

5.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

高速内部（HSI）振荡器

表 5-13 HSI 振荡器特性 (1)(2)

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f _{HSI}	Frequency	-	-	8	-	MHz
ACC _{HSI}	HSI oscillator deviation	T _A = 25°C	-1	-	+1	%
		T _A = -40°C~ 105°C	-2.5	-	+2.5	%
T _{stab} (HSI)	HSI oscillator startup time	-	-	-	20	µs
I _{DD} (HSI)	HSI oscillator power consumption	-	-	80	-	µA

1. V_{DD} = 3.3V, T_A = -40°C~ 105°C, 除非特别说明。
2. 由设计保证, 不在生产中测试。

低速内部（LSI）振荡器

表 5-14 LSI 振荡器特性 (1)

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f _{LSI} (2)	Frequency	T _A = 25°C	36	40	44	KHz
f _{LSI} (2)	Frequency	T _A = -40°C~ 105°C	20	40	70	KHz
t _{SU} (LSI) (3)	LSI oscillator startup time	-	-	-	100	µs
I _{DD} (LSI) (3)	LSI oscillator power consumption	-	-	0.20	-	µA

1. V_{DD} = 3.3V, T_A = -40°C~ 105°C, 除非特别说明。
2. 由综合评估得出。
3. 由设计保证, 不在生产中测试。

5.3.8 PLL 特性

PLL 的输入时钟 f_{PLL_IN} 和 f_{PLL_OUT} 之间关系为:

公式 1

$$\frac{f_{PLL_IN}}{PLL_DIV[2:0] + 1} = \frac{f_{PLL_OUT}}{PLL_MUL[6:0] + 1}$$

PLLMUL[6:0]、PLLDIV[2:0] 是 PLL 的倍频分频器和输出分频器的分频比设置。

下表列出的参数是使用环境温度和供电电压符合通用工作条件测量得到。

表 5-15 PLL 特性(1)

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f _{PLL_IN}	PLL input clock (2)	-	4	8	24	MHz
D _{PLL_IN}	PLL input clock duty cycle	-	20	-	80	%
f _{VCO}	VCO output clock	-	80	-	200	MHz
f _{PLL_OUT}	PLL output clock	-	40	-	100	MHz

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
I _{DD(PLL)}	PLL current consumption	-	-	1550	-	uA

1. 由设计保证，不在生产中测试。
2. 根据 PLL 的输入时钟并使用正确的倍频系数来保证 f_{PLL_OUT} 处于允许的输出范围内。

5.3.9 存储器特性

表 5-16 Flash 存储器特性

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
t _{prog}	16-bit programming time	-	131.5	-	154.5	μs
t _{ERASE}	Page (1024 bytes) erase time	-	4	-	6	ms
t _{ME}	Mass erase time	-	30	-	40	ms
I _{DD}	Supply current	Read mode	-	-	1.2	mA
		Write mode	-	-	1.2	mA
		Erase mode	-	-	0.6	mA

表 5-17 Flash 存储器寿命和数据保存期限 ⁽¹⁾⁽²⁾

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
N _{END}	Endurance	-	100000	-	-	Cycles
T _{DR}	Data retention	T _A = 105°C	10	-	-	Years
		T _A = 85°C	20	-	-	
		T _A = 25°C	100	-	-	

5.3.10 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS（电磁敏感性）

当运行一个简单的应用程序时（通过 I/O 端口闪烁 2 个 LED），测试样品被施加 1 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。

- 静电放电(ESD)（正向和负向）施加到所有器件引脚，直到发生功能干扰。该测试符合 IEC 61000-4-2 标准。
- FTB: 通过一个 100 pF 的电容向 VDD 和 VSS 施加一串快速瞬变电压（正负），直到发生功能性干扰。该测试符合 IEC 61000-4-4 标准。

芯片复位可以使系统恢复正常操作。测试结果列于下表中。

表 5-18 EMS 特性

Symbol	Parameter	Conditions	Level/Type
V _{FESD}	Voltage limit applied to any I/O pin, resulting in malfunction	V _{DD} = 3.3V, T _A = +25°C, f _{HCLK} = 48MHz. Conforming to IEC61000-4-2	2A
V _{FEFT}	Fast transient voltage burst limits to be applied through 100 pF on VDD and VSS pins to induce a functional disturbance	V _{DD} = 3.3V, T _A = +25°C, f _{HCLK} = 48MHz. Conforming to IEC61000-4-4	2A

设计可靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏（控制寄存器等）

认证前的试验

很多常见的失效（意外的复位和程序计数器被破坏），可以通过人工的在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

5.3.11 功能性 EMS (电气敏感性)

基于三个不同的测试（ESD, LU），使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电（ESD）

静电放电（一个正的脉冲然后间隔一秒钟后一个负的脉冲）施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关（3 片 x (n + 1) 供电引脚）。这个测试符合 JEDEC JS-001-2017/002-2018 标准。

静态栓锁

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。

- 在每个输入、输出和可配置的 I/O 引脚上注入电流。这个测试符合 EIA/JESD78E 集成电路栓锁标准。

这些测试兼容 EIA/JESD78E IC latch-up 标准。

表 5-19 ESD & LU 特性

Symbol	Parameter	Conditions	Maximum	Unit
V _{ESD(HBM)}	Electrostatic discharge voltage (Human body model)	T _A = 25°C, conforming to ESDA/JEDEC JS-001-2017	±5000	V
V _{ESD(CDM)}	Electrostatic discharge voltage (Charging device model)	T _A = 25°C, conforming to ESDA/JEDEC JS-002-2018	±2000	V
I _{LU}	Latch-up current	T _A = 105°C, conforming to JESD78E	±300	mA

5.3.12 I/O 端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照表 5-3 的条件测量得到。所有的 I/O 端口都是兼容 CMOS。

表 5-20 I/O 静态特性

Symbol	Parameter	Conditions	Minimum	Typical	Maximum	Unit
V _{IL}	Low level input voltage	V _{DD} = 3.3V	-	-	0.8	V
V _{IL}	Low level input voltage	V _{DD} = 5V	-	-	0.3 * V _{DD}	V
V _{IH}	High level input voltage	V _{DD} = 3.3V	2.0	-	-	V
V _{IH}	High level input voltage	V _{DD} = 5V	0.7 * V _{DD}	-	-	V
V _{hy}	Schmitt trigger hysteresis ⁽¹⁾	V _{DD} = 3.3V	0.1 * V _{DD}	0.50	-	V
V _{hy}	Schmitt trigger hysteresis ⁽¹⁾	V _{DD} = 5V	0.1 * V _{DD}	0.60	-	V
I _{lkg}	Input leakage current ⁽²⁾	V _{DD} = 3.3V	-1	-	1	μA
I _{lkg}	Input leakage current ⁽²⁾	V _{DD} = 5V	-1	-	1	μA
R _{PU}	Weak pull-up equivalent resistor ⁽³⁾	V _{DD} = 3.3V, V _{IN} = V _{SS}	50	60	75	kΩ
R _{PU}	Weak pull-up equivalent resistor ⁽³⁾	V _{DD} = 5V, V _{IN} = V _{SS}	50	60	75	kΩ
R _{PD}	Weak pull-down equivalent resistor ⁽³⁾	V _{DD} = 3.3V, V _{IN} = V _{DD}	50	60	75	kΩ
R _{PD}	Weak pull-down equivalent resistor ⁽³⁾	V _{DD} = 5V, V _{IN} = V _{DD}	50	60	75	kΩ
C _{IO}	I/O pin capacitance	-	-	-	10	pF

1. 由综合评估得出，不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
3. 上拉和下拉电阻是 poly 电阻。

输出驱动电流

GPIO（通用输入/输出端口）可以吸收或输出多达 $\pm 20\text{mA}$ 电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过表 5-1 给出的绝对最大额定值：

- 所有 I/O 端口从 V_{DD} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD} 。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS} 。

输出电压

除非特别说明，下表列出的参数是使用环境温度和 V_{DD} 供电电压符合表 5-3 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 的。

表 5-21 输出电压特性

MODE[1:0]	Symbol	Parameter	Conditions	Minimum	Typical	Maximum	Unit
11	$V_{OL}^{(1)}$	Output low voltage	$ I_{IO} = 6\text{mA}$, $V_{DD} = 3.3\text{V}$	-	0.16	-	V
	$V_{OH}^{(2)}$	Output high voltage		-	3.11	-	
	$V_{OL}^{(1)(3)}$	Output low voltage	$ I_{IO} = 8\text{mA}$, $V_{DD} = 3.3\text{V}$	-	0.2	0.4	
	$V_{OH}^{(2)(3)}$	Output high voltage		2.4	3.05	-	
	$V_{OL}^{(2)(3)}$	Output low voltage	$ I_{IO} = 20\text{mA}$, $V_{DD} = 3.3\text{V}$	-	0.57	-	
	$V_{OH}^{(2)(3)}$	Output high voltage		-	2.62	-	
10	$V_{OL}^{(1)}$	Output low voltage	$ I_{IO} = 6\text{mA}$, $V_{DD} = 3.3\text{V}$	-	0.31	-	
	$V_{OH}^{(2)}$	Output high voltage		-	2.93	-	
	$V_{OL}^{(1)(3)}$	Output low voltage	$ I_{IO} = 8\text{mA}$, $V_{DD} = 3.3\text{V}$	-	0.42	-	
	$V_{OH}^{(2)(3)}$	Output high voltage		-	2.79	-	
01	$V_{OL}^{(1)}$	Output low voltage	$ I_{IO} = 6\text{mA}$, $V_{DD} = 3.3\text{V}$	-	0.31	-	
	$V_{OH}^{(2)}$	Output high voltage		-	2.93	-	
	$V_{OL}^{(1)(3)}$	Output low voltage	$ I_{IO} = 8\text{mA}$, $V_{DD} = 3.3\text{V}$	-	0.42	-	
	$V_{OH}^{(2)(3)}$	Output high voltage		-	2.79	-	

1. 芯片吸收的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VSS} 。
2. 芯片输出的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VDD} 。
3. 由综合评估得出。

输入输出交流特性

输入输出交流特性的定义和数值分别在下面的图表中给出。

除非特别说明，下表列出的参数是使用环境温度和供电电压符合表 5-3 的条件测量得到。

表 5-22 I/O 交流特性 (1)(2)(3)

SPEED[1:0]	Symbol	Parameter	Conditions	Minimum	Typical	Maximum	Unit
11	$t_{f(I/O)out}$	Output fall time	$C_L = 50pF$ $V_{DD} = 3.3V$	3.34	4.7	9.27	ns
	$t_{r(I/O)out}$	Output rise time		3.34	5.1	9.27	ns
10	$t_{f(I/O)out}$	Output fall time		5.91	10.0	17.0	ns
	$t_{r(I/O)out}$	Output rise time		5.91	9.6	17.0	ns
01	$t_{f(I/O)out}$	Output fall time		6.06	10.4	17.4	ns
	$t_{r(I/O)out}$	Output rise time		6.06	9.9	17.4	ns

- 1. I/O 端口的速度可以通过 MODEx[1: 0] 配置。参见本芯片参考手册中有关 GPIO 端口配置寄存器的说明。
- 2. 最大频率在图 5-7 中定义。
- 3. 由设计保证，不在生产中测试。

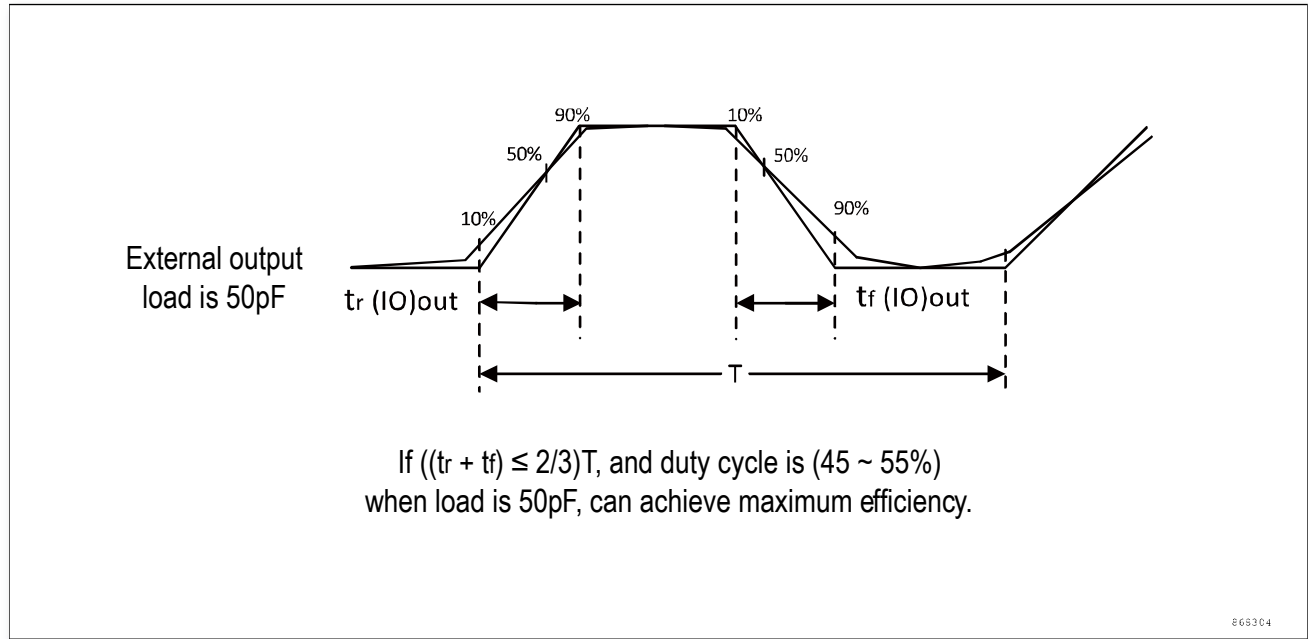


图 5-7 I/O 交流特性

5.3.13 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻，RPU。

除非特别说明，下表列出的参数是使用环境温度和 VDD 供电电压符合表 5-3 的条件测量得到。

表 5-23 NRST 引脚特性

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
$V_{IL(NRST)}^{(1)}$	NRST input low voltage	$V_{DD}=3.3V$	-	-	1.4	V
$V_{IH(NRST)}^{(1)}$	NRST input high voltage	$V_{DD}=3.3V$	2.0	-	-	V
$V_{hys(NRST)}$	NRST Schmitt trigger voltage hysteresis	$V_{DD}=3.3V$	-	0.6	-	V
R_{PU}	Weak pull-up equivalent resistor	$V_{IN}=V_{SS}$	50	60	75	$k\Omega$
$V_{F(NRST)}^{(1)}$	NRST input filtered pulse	-	-	-	0.5	μs
$V_{NF(NRST)}^{(1)}$	NRST input not filtered pulse	-	0.7	-	-	μs

1. 由设计保证，不在生产中测试。

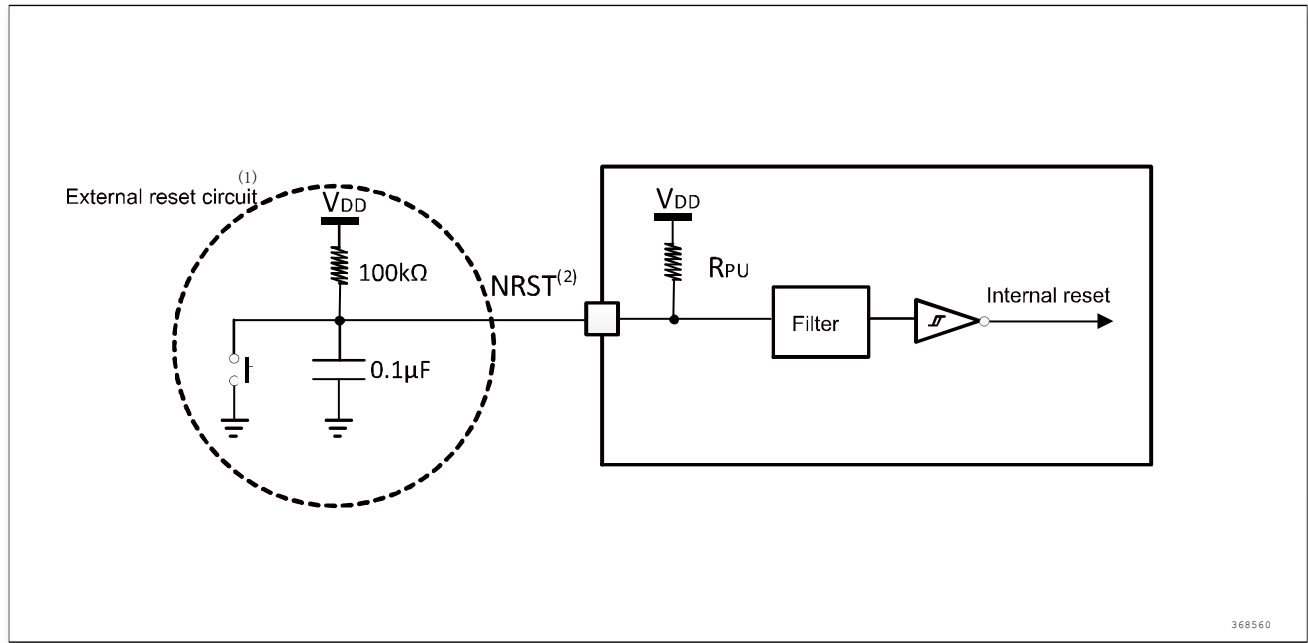


图 5-8 建议的 NRST 引脚保护

1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 5-23 中列出的最大 $V_{IL(NRST)}$ 以下，否则 MCU 不能得到复位。

5.3.14 Timer 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚（输出比较、输入捕获、外部时钟、PWM 输出）的特性详情，参见小节 5.3.12 I/O 端口特性。

表 5-24 TIMx ⁽¹⁾ 特性

Symbol	Parameter	Condition	Minimum	Maximum	Unit
t _{res} (TIM)	Timer resolution	-	1	-	t _{TIMxCLK}
		f _{TIMxCLK} = 48MHz	20.8	-	ns
f _{EXT}	External clock frequency of channel 1 to 4	-	0	-	MHz
		f _{TIMxCLK} = 48MHz	0	24	
Res _{TIM}	Timer resolution	-	-	16	bit
t _{COUNTER}	16-bit counter period	-	1	65536	t _{TIMxCLK}
		f _{TIMxCLK} = 48MHz	0.0208	1365.3	µs
t _{MAX_COUNT}	Maximum possible counter value (TIM_PSC adjustable)	-	-	65536*65536	t _{TIMxCLK}
		f _{TIMxCLK} = 48MHz	-	89.5	S
t _{MAX_IN}	TIM maximum input frequency	f _{HCLK} = f _{SYSClk} /2	-	96	MHz

1. 设计保证，不在生产中测试

5.3.15 通信接口

I2C 接口特性

除非特别说明，下表列出的参数是使用环境温度，f_{PCLK1} 频率和 VDD 供电电压符合表 5-3 的条件测量得到。

I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是“真”的开漏引脚，当配置为开漏输出时，在引出脚和 VDD 之间的 PMOS 管被关闭，但仍然存在。

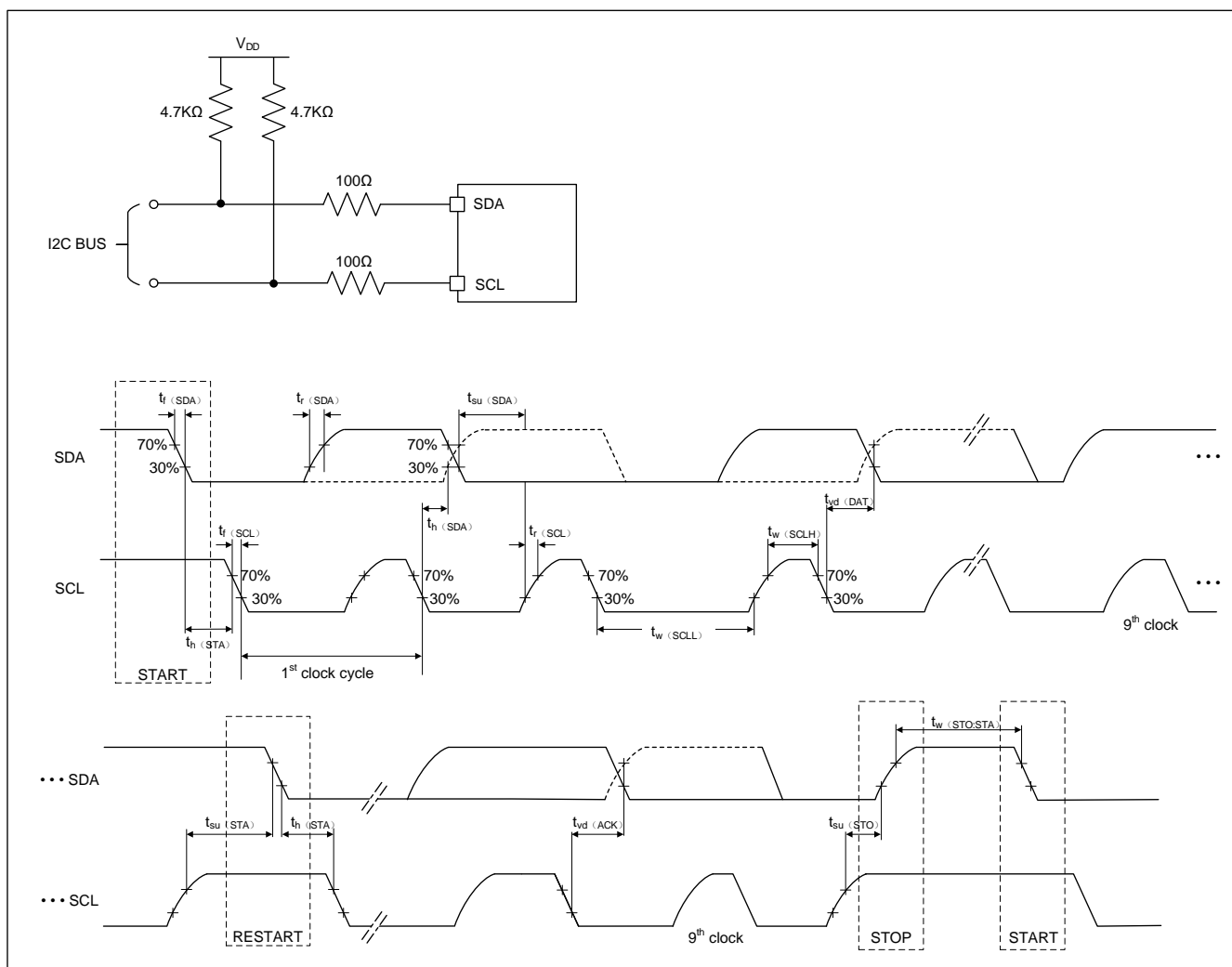
I2C 接口特性列于下表，有关输入输出复用功能引脚（SDA 和 SCL）的特性详情，参见小节 5.3.12 I/O 端口特性。

表 5-25 I2C 接口特性

Symbol	Parameter	Standard I2C ⁽¹⁾		Fast mode I2C ⁽¹⁾		Unit
		Minimum	Maximum	Minimum	Maximum	
t _w (SCLL)	SCL clock low time	8*t _{PCLK}	-	8*t _{PCLK}	-	µs
t _w (SCLH)	SCL clock high time	6*t _{PCLK}	-	6*t _{PCLK}	-	µs
t _{su} (SDA)	SDA setup time	2*t _{PCLK}	-	2*t _{PCLK}	-	ns
t _h (SDA)	SDA hold time	0 ⁽³⁾	-	0 ⁽⁴⁾	875 ⁽³⁾	ns
t _r (SDA) t _r (SCL)	SDA and SCL rising time	-	1000	-	300	ns
t _f (SDA) t _f (SCL)	SDA and SCL fall time	-	300	-	300	ns
t _{vd} (DAT) ⁽⁵⁾	Data valid time	-	6*t _{PCLK} - 1 ⁽⁴⁾	-	6*t _{PCLK} - 0.3 ⁽⁴⁾	µs
t _{vd} (ACK) ⁽⁶⁾	Data valid acknowledge time	-	6*t _{PCLK} - 1 ⁽⁴⁾	-	6*t _{PCLK} - 0.3 ⁽⁴⁾	µs

Symbol	Parameter	Standard I2C ⁽¹⁾		Fast mode I2C ⁽¹⁾		Unit
		Minimum	Maximum	Minimum	Maximum	
$t_{h(STA)}$	Start condition hold time	$8 \cdot t_{PCLK}$	-	$8 \cdot t_{PCLK}$	-	μs
$t_{su(STA)}$	Start condition setup time	$6 \cdot t_{PCLK}$	-	$6 \cdot t_{PCLK}$	-	μs
$t_{su(STO)}$	Stop condition setup time	$6 \cdot t_{PCLK}$	-	$6 \cdot t_{PCLK}$	-	μs
$t_{w(STO:STA)}$	Time from Stop condition to Start condition (bus idle)	$5 \cdot t_{PCLK}$	-	$5 \cdot t_{PCLK}$	-	μs
C_b	Capacitive load of each bus	4.7	-	1.2	-	pF

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I2C 的最大频率， f_{PCLK1} 必须大于 3MHz。为达到快速模式 I2C 的最大频率， f_{PCLK1} 必须大于 12MHz。
3. 在 SDA 进入 0.3V_{DD} 至 0.7V_{DD} 的不确定范围之前，确保 SCL 在下降沿下降到 0.3V_{DD} 以下。
注意：对于无法观察 SCL 下降沿的控制器，应独立测量 SCL 从静态高电平 (V_{DD}) 到 0.3V_{DD} 的转换时间来插入 SDA 转换相对于 SCL 的延迟。
4. 标准模式和快速模式的最大 $t_{h(SDA)}$ 可以是 3.45 μs 和 0.9 μs ，但必须比 $t_{vd(DAT)}$ 或 $t_{vd(ACK)}$ 的最大值小一个转换时间。仅当器件不延长 SCL 信号的低电平周期 ($t_{w(SCLL)}$) 时才必须满足此最大值。如果时钟延长了 SCL，则数据在释放时钟之前必须在建立时间之前有效。
5. $t_{vd(DAT)}$ = 从 SCL LOW 到 SDA 输出数据信号的时间。
6. $t_{vd(ACK)}$ = 从 SCL LOW 到 SDA 输出确认信号的时间。

图 5-9 I2C 总线交流波形和测量电路⁽¹⁾

1. 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$ 。

SPI 接口特性

除非特别说明，下表列出的参数是使用环境温度， f_{PCLKx} 频率和 V_{DD} 供电电压符合表 5-3 的条件测量得到。

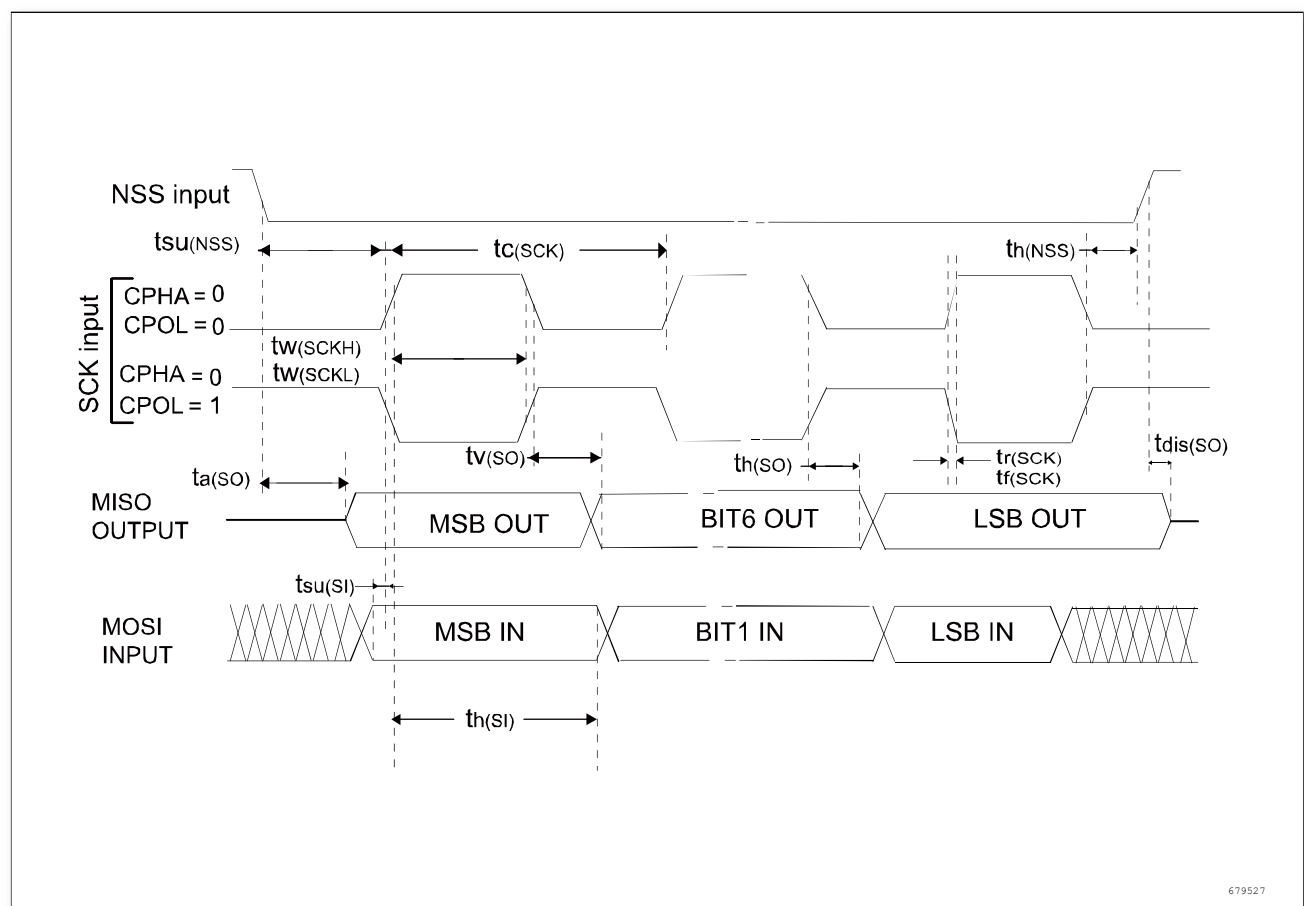
有关输入输出复用功能引脚（NSS、SCK、MOSI、MISO）的特性详情，参见小节 5.3.12 I/O 端口特性。

表 5-26 SPI 特性 (1)

Symbol	Parameter	Conditions	Minimum	Maximum	Unit
f _{SCK} 1/t _c (SCK)	SPI clock frequency	Master mode	-	24	MHz
		Slave mode	-	12	
t _r (SCK)	SPI clock rise time	Load capacitance: C = 15pF	-	6	ns

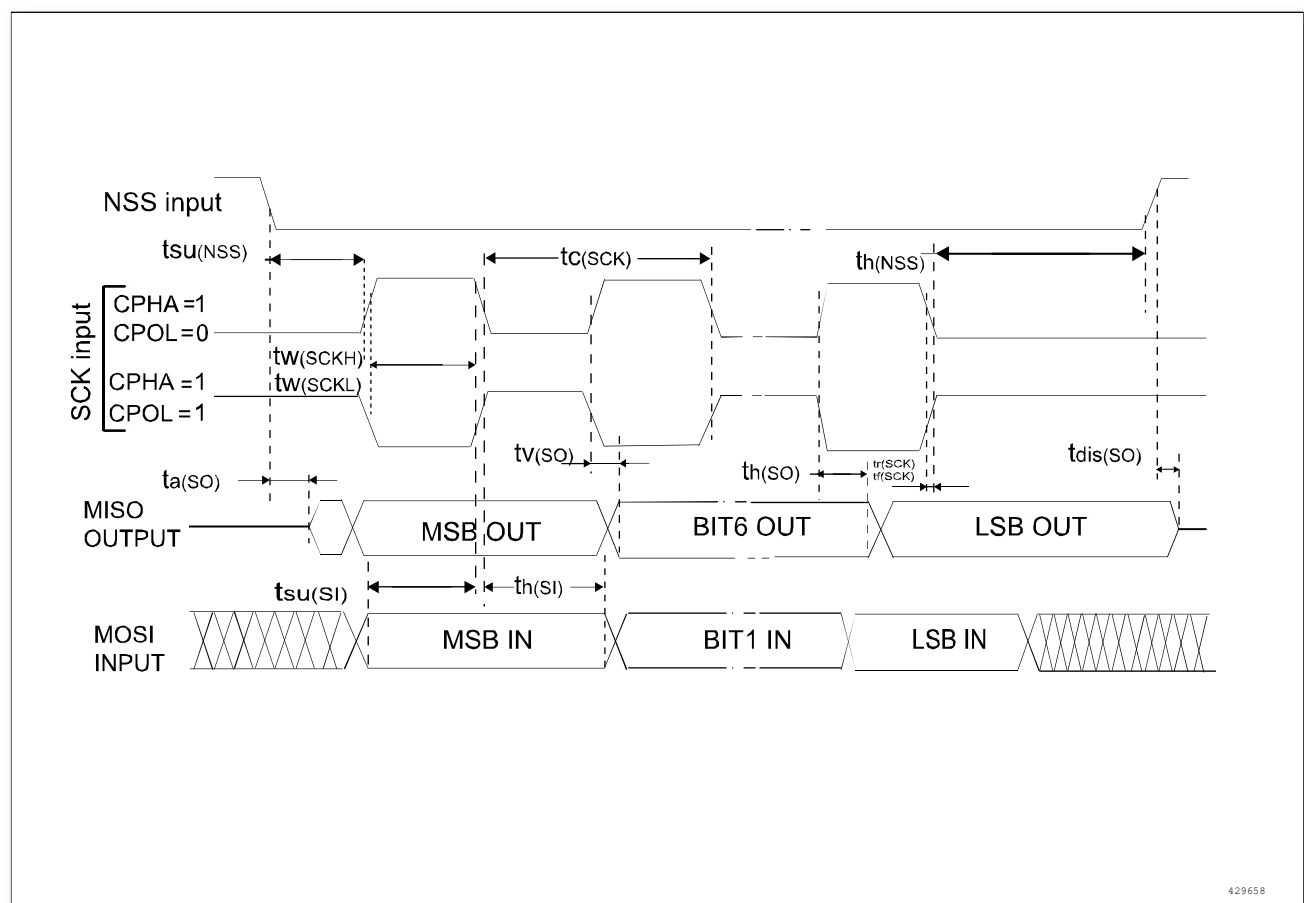
Symbol	Parameter	Conditions	Minimum	Maximum	Unit
$t_{f(SCK)}$	SPI clock fall time	Load capacitance: C = 15pF	-	6	ns
$t_{su(NSS)}^{(1)}$	NSS setup time	Slave mode	10	-	ns
$t_{h(NSS)}^{(1)}$	NSS hold time	Slave mode	10	-	ns
$t_{w(SCKH)}^{(1)}$	SCK high time	-	$t_{c(SCK)}/2 - 6$	$t_{c(SCK)}/2 + 6$	ns
$t_{w(SCKL)}^{(1)}$	SCK low time	-	$t_{c(SCK)}/2 - 6$	$t_{c(SCK)}/2 + 6$	ns
$t_{su(MI)}^{(1)}$	Data input setup time	Master mode, $f_{PCLK} = 48\text{MHz}$, prescaler = 2, high speed mode	15	-	ns
$t_{su(SI)}^{(1)}$		Slave mode	5	-	ns
$t_{h(MI)}^{(1)}$	Data input hold time	Master mode, $f_{PCLK} = 48\text{MHz}$, prescaler = 2, high speed mode	0	-	ns
$t_{h(SI)}^{(1)}$		Slave mode	5	-	ns
$t_{v(MO)}^{(1)}$	Data output valid time	Master mode (after enable edge)	-	15	ns
$t_{v(SO)}^{(1)}$	Data output valid time	Slave mode (after enable edge)	-	15	ns

1. 由综合评估得出。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。



679527

图 5-10 SPI 时序图从模式和 CPHA = 0, CPHASEL = 1



429658

图 5-11 SPI 时序图从模式和 CPHA = 1，CPHASEL = 1 ⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

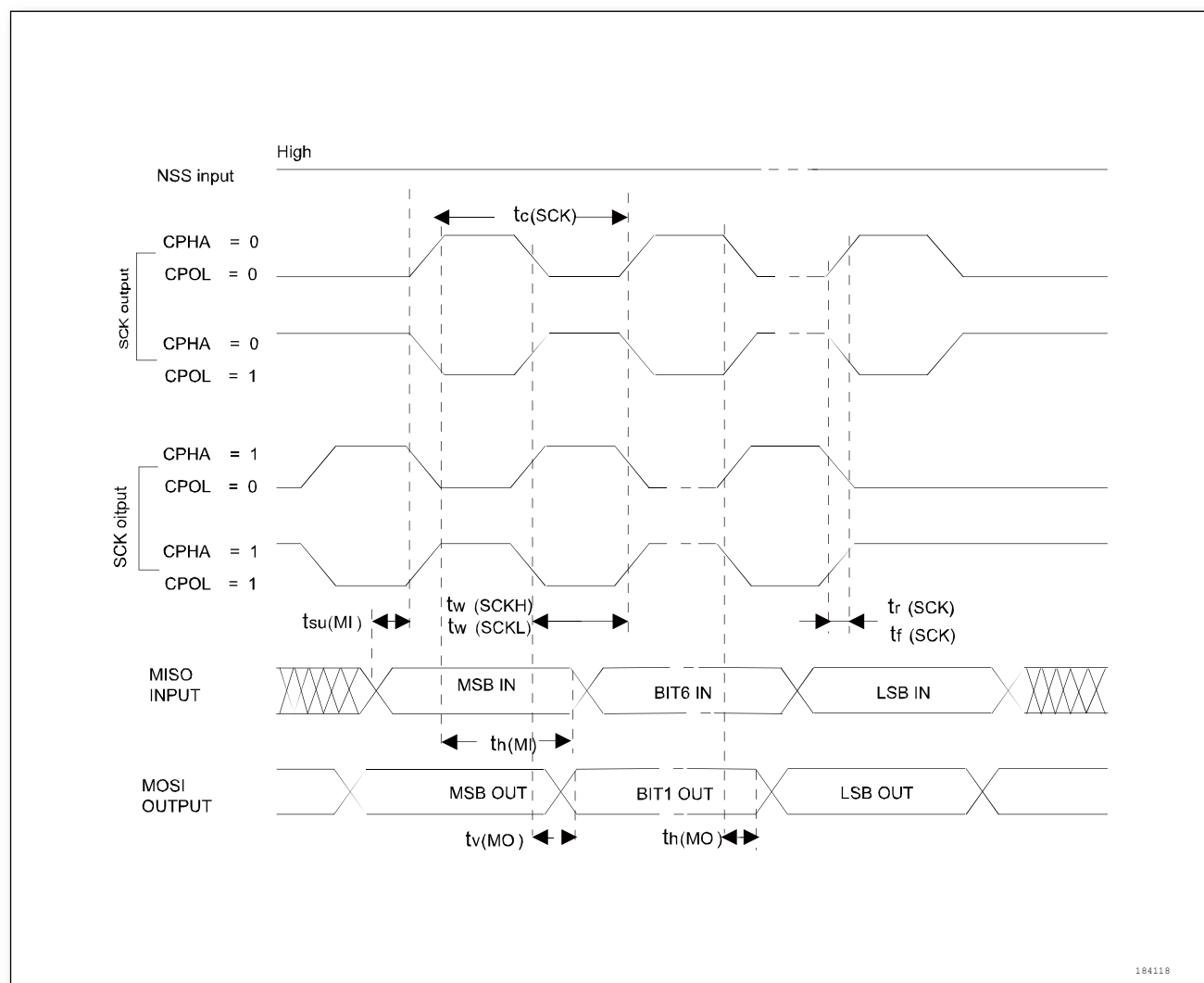


图 5-12 SPI 时序图主模式，CPHASEL = 1 ⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

5.3.16 ADC 特性

除非特别说明，下表的参数是使用符合表 5-3 的条件的环境温度、f_{PCLK2} 频率和 V_{DDA} 供电电压测量得到。

表 5-27 ADC 特性

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
V _{DDA}	Supply voltage	-	2.5	3.3	5.5	V
f _{ADC}	ADC clock frequency	-	-	-	16	MHz
f _s ⁽¹⁾	Sampling frequency	-	-	-	1	MHz
f _{TRIG} ⁽¹⁾	External trigger frequency ⁽³⁾	f _{ADC} = 15MHz	-	-	1	MHz
		-	-	-	16	1/f _{ADC}

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
V _{AIN} ⁽²⁾	Conversion voltage range	-	0	-	V _{DDA}	V
R _{AIN} ⁽¹⁾	External input impedance	-	See equation 2			kΩ
R _{ADC} ⁽¹⁾	Sampling switch resistance	-	-	-	1.5	kΩ
C _{ADC} ⁽¹⁾	Internal sample and hold capacitance	-	-	-	10	pF
t _{STAB} ⁽¹⁾	Stabilization time	-	-	-	10	μs
t _{latr} ⁽¹⁾	Delay between trigger and conversion start	-	-	-	-	1/f _{ADC}
t _s ⁽¹⁾	Sampling time	f _{ADC} = 16MHz	0.156	-	15.031	μs
		-	2.5	-	240.5	1/f _{ADC}
t _{CONV} ⁽¹⁾	Total conversion time (including sampling time)	f _{ADC} = 16MHz	0.9375	-	15.8125	μs
		-	15 ~ 253 (sampling t _s + successive approximation 12.5)			1/f _{ADC}
ENOB	Effective number of bits	-	-	10.8	-	bit

- 1. 由综合评估保证，不在生产中测试。
- 2. 由设计保证，不在生产中测试。
- 3. 在该系列产品中，V_{REF+} 在内部连接到 V_{DDA}，V_{REF-} 在内部连接到 V_{SSA}。
- 4. 由设计保证，不在生产中测试。
- 5. 对于外部触发，必须在时延中加上一个延迟 1/ f_{ADC}。

输入阻抗列表

公式 2

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{n+2})} - R_{ADC}$$

上述公式（公式 2）用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N = 12（表示 12 位分辨率），是在 f_{ADC} = 15MHz 时测量所得。

表 5-28 f_{ADC}=15MHz 时的最大 R_{AIN} ⁽¹⁾

T _s (cycles)	t _s (μs)	Maximum R _{AIN} (kΩ)
2.5	0.156	0.2
8.5	0.531	4.3
14.5	0.906	8.5
29.5	1.844	18.8
42.5	2.656	27.7
56.5	3.531	37.3
72.5	4.531	48.3
240.5	15.031	163.7

1. 由设计保证，不在生产中测试。

表 5-29 ADC 静态参数 (1)(2)

Symbol	Parameter	Conditions	Typical	Unit
ET	Comprehensive error	$f_{PCLK1} = 24\text{MHz}$, $f_{ADC} = 12\text{MHz}$, $R_{AIN} < 0.1\text{ k}\Omega$, $V_{DDA} = 3.3\text{V}$, $T_A = 25^\circ\text{C}$	-6/+3	LSB
EO	Offset error		-2/+3	
EG	Gain error		+3	
ED	Differential linearity error		-1/+2	
EL	Integral linearity error		-3/+3	

1. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电 流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产 生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。如果正向的注入电流，只要处于小节 5.2 中给出的 $I_{INJ} (PIN)$ 和 $\Sigma I_{INJ} (PIN)$ 范围之内，就不会影响 ADC 精度。
2. 由综合评估保证，不在生产中测试。

其中，ADC 静态参数的含义解释如下，其对应的示意图如图 5-13 所示。

- ET = 总未调整误差：实际和理想传输曲线间的最大偏离。
- EO = 偏移误差：第一次实际转换和第一次理想转换间的偏离。
- EG = 增益误差：最后一次理想转换和最后一次实际转换间的偏离。
- ED = 微分线性误差：实际步进和理想值间的最大偏离。
- EL = 积分线性误差：任何实际转换和端点相关线间的最大偏离。

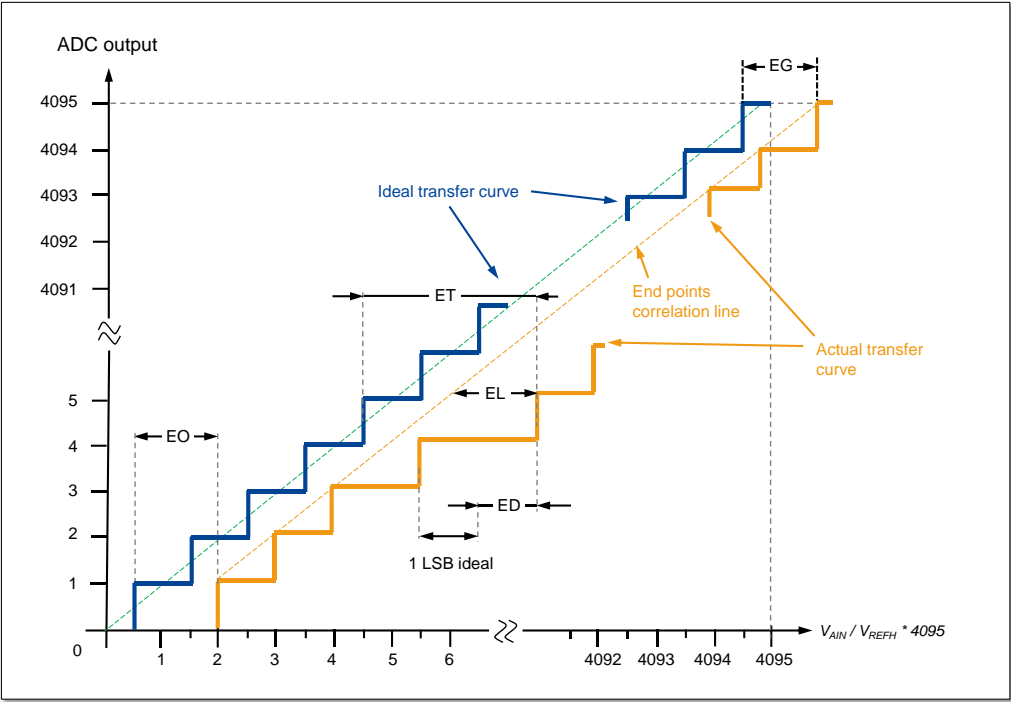


图 5-13 ADC 静态参数示意图

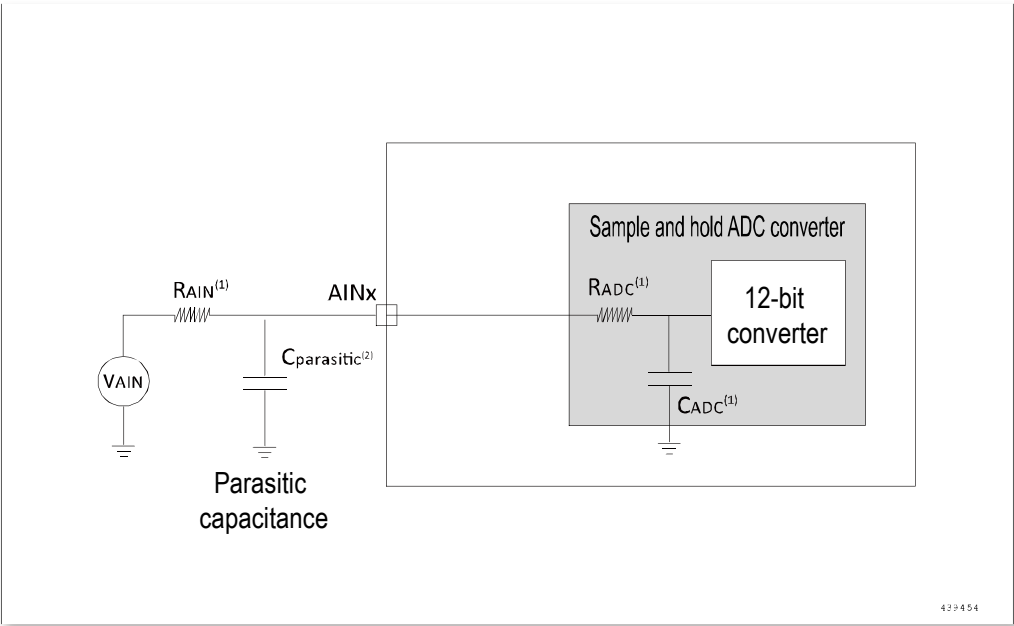


图 5-14 使用 ADC 典型的连接图

1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表 5-27。
2. $C_{parasitic}$ 表示 PCB（与焊接和 PCB 布局质量相关）与焊盘上的寄生电容（大约 7pF）。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

PCB 设计建议

电源的去耦必须按照下图连接。图中的 10 nF 电容必须是瓷介电容，它们应该尽可能地靠近 MCU 芯片。

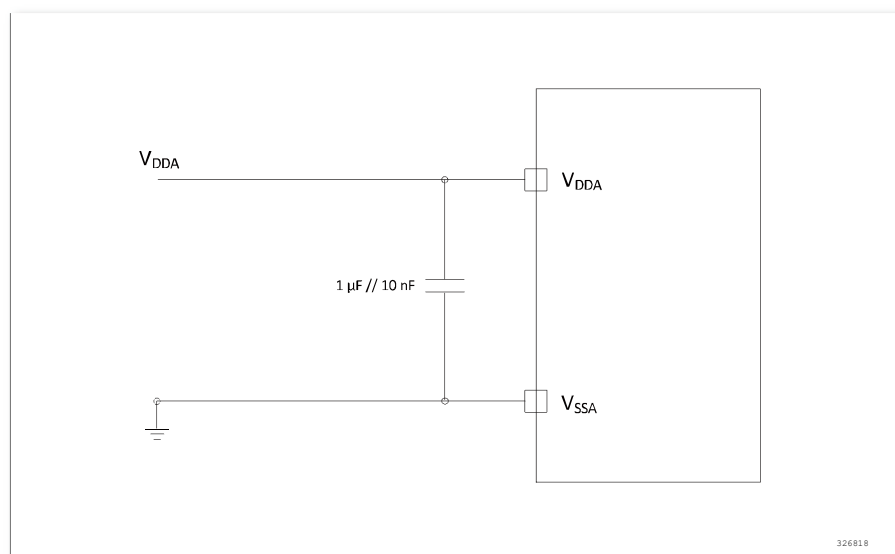


图 5-15 供电电源和参考电源去耦线路

6 封装特性

6.1 QFN20

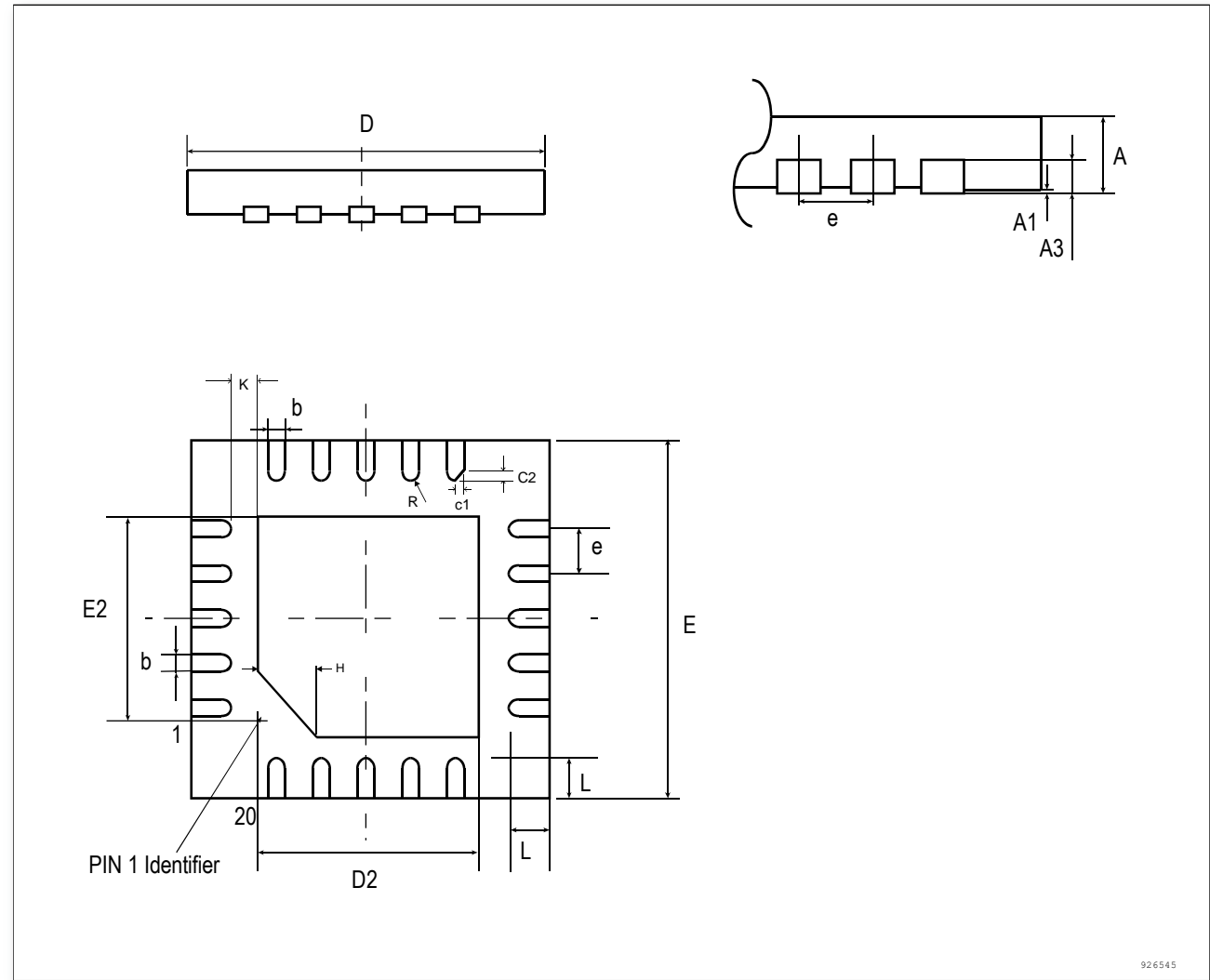


图 6-1 QFN20 封装尺寸

- 1. 图不是按照比例绘制。
- 2. 尺寸单位为毫米。

表 6-1 QFN20 封装尺寸细节

ID	Millimeters		
	Minimum	Typical	Maximum
A	0.50	0.55	0.60
A1	0.00	0.02	0.05
A3	0.152REF		
b	0.15	0.20	0.25
D	2.90	3.00	3.10
E	2.90	3.00	3.10
D2	1.40	1.50	1.60
E2	1.40	1.50	1.60
e	-	0.40	-
H	0.35REF		
K	0.40REF		
L	0.25	0.35	0.45
R	0.075	-	-

6.2 TSSOP20

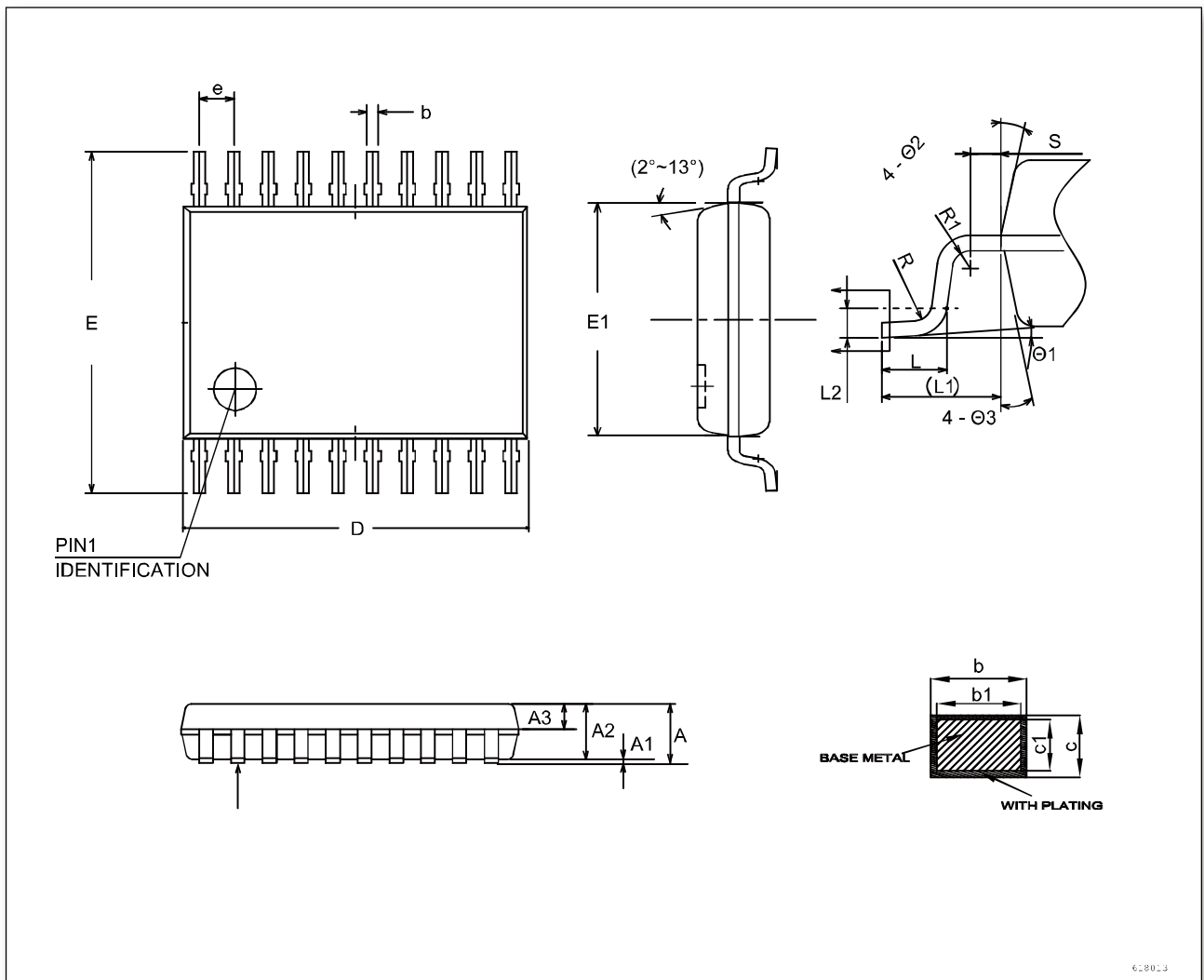


图 6-2 TSSOP20 封装尺寸

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 6-2 TSSOP20 封装尺寸细节

ID	Millimeters		
	Minimum	Typical	Maximum
A	1.0	-	1.10
A1	0.05	-	0.15
A2	-	-	0.95
A3	0.39	-	0.40
b	0.20	0.22	0.24
c	0.10	-	0.19
c1	0.10	-	0.15
D	6.40	6.45	6.50
E	6.25	6.40	6.55
E1	-	4.35	4.40
e	-	0.65	-
L	0.45	0.60	0.75
L2	0.25BSC		
L1	1.0REF		
R	0.09	-	-
θ1	0°	-	8°

7 修订记录

表 7-1 修订历史

日期	版本	描述
2023/8/10	Rev 1.0	初版