



数据手册 Data Sheet MM32SPIN05x

基于 Arm[®] Cortex[®] M0 内核的 32 位微控制器

版本: 1.24

灵动微电子有权在任何时间对此文件包含的信息(包括但不限于规格与产品说明) 做出任何改动与发布, 本文件将取代之前所有公布的信息。

目录

.....	1
1 总览	5
1.1 概述	5
1.2 产品简述	5
2 规格说明	7
2.1 型号列表	7
2.1.1 订购信息	7
2.1.2 丝印	8
2.1.3 系统框图	11
2.2 功能说明	12
2.2.1 内核简介	12
2.2.2 总线简介	12
2.2.3 存储器映像	12
2.2.4 内置 Flash	14
2.2.5 内置 SRAM	14
2.2.6 嵌套的向量式中断控制器 NVIC	14
2.2.7 外部中断/事件控制器 EXTI	14
2.2.8 时钟和启动	14
2.2.9 启动模式 BootModes	16
2.2.10 供电方案 PowerSupplySchemes	16
2.2.11 供电监控器 PowerSupplySupervisors	16
2.2.12 电压调压器 VoltageRegulator	16
2.2.13 低功耗模式 LowPowerMode	16
2.2.14 硬件除法器 HWDIV	17
2.2.15 DMA	18
2.2.16 定时器和看门狗 TIM&WDG	18
2.2.17 GPIO	20
2.2.18 通用异步收发器 UART	20
2.2.19 I2C 总线	20
2.2.20 SPI 接口	20
2.2.21 ADC	20
2.2.22 硬件除法器	21
2.2.23 模拟比较器 COMP	21
2.2.24 温度传感器	21
2.2.25 串行调试口(SWD)	21
3 引脚定义及复用功能	22
3.1 引脚分布图	22
3.2 引脚定义表	26
3.3 复用功能表	29
4 电气特性	31
4.1 测试条件	31

4.1.1	负载电容	31
4.1.2	引脚输入电压	31
4.1.3	供电方案 PowerSupply	31
4.1.4	电流消耗测量	32
4.2	绝对最大额定值	32
4.3	工作条件	33
4.3.1	通用工作条件	33
4.3.2	热特性	33
4.3.3	上电和掉电时的工作条件	34
4.3.4	内嵌复位和电源控制模块特性	34
4.3.5	供电电流特性	35
4.3.6	外部时钟源特性	37
4.3.7	内部时钟源特性	39
4.3.8	存储器特性	39
4.3.9	EMC 特性	40
4.3.10	功能性 EMS (电气敏感性)	41
4.3.11	GPIO 端口通用输入/输出特性	41
4.3.12	NRST 引脚特性	43
4.3.13	TIM 定时器特性	44
4.3.14	通信接口	44
4.3.15	ADC 特性	48
4.3.16	温度传感器特性	50
4.3.17	比较器特性	51
5	封装特性	52
5.1	封装 LQFP48	52
5.2	封装 LQFP32	54
5.3	封装 QFN32	56
5.4	封装 QFN20	58
5.5	封装 TSSOP20	60
6	产品命名规则	62
7	修订记录	63

插图

图 1 QFN32 封装丝印标识图.....	8
图 2 QFN20 封装丝印标识图	9
图 3 LQFP 丝印标识图	9
图 4 TSSOP 丝印标识图	10
图 5 模块框图	11
图 6 时钟树	15
图 7 LQFP48 引脚分布	22
图 8 LQFP32 引脚分布	23
图 9 QFN32 引脚分布	24
图 10 QFN20 引脚分布	24
图 11 TSSOP20 引脚分布	25
图 12 引脚的负载条件	31
图 13 引脚输入电压	31
图 14 供电方案	32
图 15 电流消耗测量方案	32
图 17 待机模式下的典型电流消耗在 $V_{DD} = 3.3V$ 时与温度的对比	36
图 18 停机模式下的典型电流消耗在 $V_{DD} = 3.3V$ 时与温度的对比	36
图 19 外部高速时钟源的交流时序图	38
图 20 使用 8MHz 晶体的典型应用	39
图 21 输入输出交流特性定义	43
图 22 建议的 NRST 引脚保护	44
图 23 I2C 总线交流波形和测量电路(1).....	45
图 24 SPI 时序图-从模式和 $CPHA=0,CPHASEL=1$	46
图 25 SPI 时序图-从模式和 $CPHA=1,CPHASEL=1(1)$	47
图 26 SPI 时序图-主模式(1).....	48
图 27 使用 ADC 典型的连接图	50
图 28 供电电源和参考电源去耦线路	50
图 29 LQFP48,48 脚低剖面方形扁平封装图	52
图 30 LQFP32,32 脚低剖面方形扁平封装图	54
图 31 QFN32,32 脚低剖面方形扁平封装图	56
图 32 QFN20 脚低剖面方形扁平封装图	58
图 33 TSSOP20,20 脚低剖面方形扁平封装图	60
图 34 MM32 型号命名.....	62

表格

表 1 订购信息	7
表 2 存储器映像	12
表 3 低功耗模式一览	16
表 4 定时器功能比较	18
表 5 引脚定义	26
表 6 PA 端口功能复用 AF0-AF7	29
表 7 PB 端口功能复用 AF0-AF7	30
表 8 PC 端口功能复用 AF0-AF7	30
表 9 PD 端口功能复用 AF0-AF7	30
表 10 电压特性	32
表 11 电流特性	33
表 12 通用工作条件	33
表 13 封装热特性	33
表 14 上电和掉电时的工作条件 ⁽¹⁾	34
表 15 内嵌复位和电源控制模块特性	34
表 16 运行模式下的典型电流消耗，数据处理代码从内部 Flash 中运行	35
表 17 睡眠模式下的典型电流消耗，数据处理代码从内部 Flash 中运行	35
表 18 停机和待机模式下的典型和最大电流消耗 ⁽¹⁾	35
表 19 内置外设的电流消耗 ⁽¹⁾	36
表 20 低功耗模式的唤醒时间	37
表 21 高速外部用户时钟特性	37
表 22 HSE 8~24MHz 振荡器特性 ⁽¹⁾⁽²⁾	38
表 23 HSI 振荡器特性 ⁽¹⁾⁽²⁾	39
表 24 LSI 振荡器特性 ⁽¹⁾	39
表 25 Flash 存储器特性	39
表 26 Flash 存储器寿命和数据保存期限 ⁽¹⁾⁽²⁾	40
表 27 EMS 特性	40
表 28 ESD 特性	41
表 29 I/O 静态特性	41
表 30 输出电压特性	42
表 31 输入输出交流特性 ⁽¹⁾⁽³⁾	42
表 32 NRST 引脚特性	43
表 33 TIMx ⁽¹⁾ 特性	44
表 34 I2C 接口特性	44
表 35 SPI 特性 ⁽¹⁾	45
表 36 ADC 特性	48
表 37 $f_{ADC}=15\text{MHz}$ ⁽¹⁾ 时的最大 R_{AIN}	49
表 38 ADC 静态参数 ⁽¹⁾⁽²⁾	49
表 39 温度传感器特性 ⁽³⁾⁽⁴⁾	50
表 40 比较器特性	51
表 41 LQFP48 尺寸说明	53
表 42 LQFP32 尺寸说明	55
表 43 QFN32 尺寸说明	57
表 44 QFN20 尺寸说明	59
表 45 TSSOP20 尺寸说明	61

1.1 概述

本产品使用高性能的 Arm[®] Cortex[®]-M0 为内核的 32 位微控制器，最高工作频率可达 72MHz，内置高速存储器，丰富的 I/O 端口和外设连接到外部总线。本产品包含 1 个 12 位 ADC、1 个比较器、1 个 16 位通用定时器、1 个 32 位通用定时器、3 个 16 位基本定时器、1 个 16 位高级定时器。还包含标准的通信接口：1 个 I2C 接口、2 个 SPI 接口和 2 个 UART 接口。

本产品系列工作电压为 2.0V ~ 5.5V，工作温度范围（环境温度）包含 -40°C ~ +85°C 的工业型（芯片同时也支持 -40°C ~ +105°C 扩展型）。内置多种省电工作模式保证低功耗应用的要求。

这些丰富的外设配置，使得本产品微控制器适合于多种应用场合：

- 电机驱动和应用控制
- 医疗和手持设备
- PC 游戏外设和 GPS 平台
- 工业应用：可编程控制器(PLC)、变频器、打印机和扫描仪
- 警报系统、视频对讲和暖气通风空调系统等

本产品提供 LQFP48、LQFP32、QFN32、QFN20 和 TSSOP20 封装

1.2 产品简述

- 内核与系统
 - Arm[®] Cortex[®]-M0 32 位微控制器
 - 最高工作频率可达 72MHz
 - 单指令周期 32 位硬件乘法器
 - 硬件除法器 (32Bit)
- 存储器
 - 高达 32KB 的 Flash 程序存储器
 - 高达 4KB SRAM
 - Boot loader 支持片内 Flash 在线系统编程 (ISP)
- 时钟、复位和电源管理
 - 2.0V ~ 5.5V 供电
 - 上电/断电复位 (POR/PDR)、可编程电压监测器 (PVD)
 - 外部 4 ~ 24MHz 高速晶体振荡器
 - 内嵌经出厂调校的 48/72MHz 高速振荡器
- 低功耗
 - 睡眠 (sleep)、停机 (stop) 和待机模式 (standby)
- 1 个 12 位模数转换器，1 μ S 转换时间 (多达 13 个输入通道)
 - 转换范围：0 ~ V_{DDA}
 - 支持采样时间和分辨率配置

- 片上温度传感器
 - 片上电压传感器
- 1 个模拟比较器
- 1 个 DMA 控制器，共 5 通道
 - 支持的外设包括：Timer、ADC、UART、I2C、SPI
- 多达 39 个快速 I/O 端口：
 - 所有 I/O 口可以映像到 16 个外部中断
 - 所有端口均可输入输出 V_{DD} 信号
- 9 个定时器
 - 1 个 16 位 4 通道高级控制定时器，有 4 通道 PWM 输出，以及死区生成和紧急停止功能
 - 1 个 16 位定时器和 1 个 32 位定时器，有高达 4 个输入捕获/输出比较，可用于 IR 控制解码
 - 2 个 16 位定时器，有 1 个输入捕获/输出比较和 1 组互补输出，死区生成，紧急停止，调制器门电路用于 IR 控制。
 - 1 个 16 位定时器，有 1 个输入捕获/输出比较
 - 2 个看门狗定时器（IWDG 和 WWDG）
 - 1 个 SysTick 定时器：24 位自减型计数器
- 调试模式
 - 串行调试接口 (SWD)
- 多达 5 个数字外设接口
 - 2 个 UART 接口
 - 1 个 I2C 接口
 - 2 个 SPI 接口（2 个 I2S 接口）
- 96 位芯片唯一 ID (UID)
- 采用 LQFP48、LQFP32、QFN32、QFN20 和 TSSOP20 封装

2

规格说明

2.1 型号列表

2.1.1 订购信息

表 1 订购信息

产品型号		MM32SPIN05PF	MM32SPIN05PT	MM32SPIN05NT	MM32SPIN05NW/TW
外围接口					
CPU 频率		72MHz			
闪存 KB		32	32	32	32
SRAM KB		4	4	4	4
定时器	通用 (16 bit)	4	4	4	4
	通用 (32 bit)	1	1	1	1
	高级	1	1	1	1
通信接口	UART	2	2	2	2
	I2C	1	1	1	1
	SPI / I2S	2	1	1	1
GPIO 端口数		39	25	27	16
12 位 ADC	个数	1	1	1	1
	通道数	13	13	13	9
比较器		1	1	1	1
工作电压		2.0V~5.5V			
工作温度		-40℃~105℃			
封装		LQFP48	LQFP32	QFN32	QFN20/TSSOP20

2.1.2 丝印

丝印标识

QFN 丝印示意:

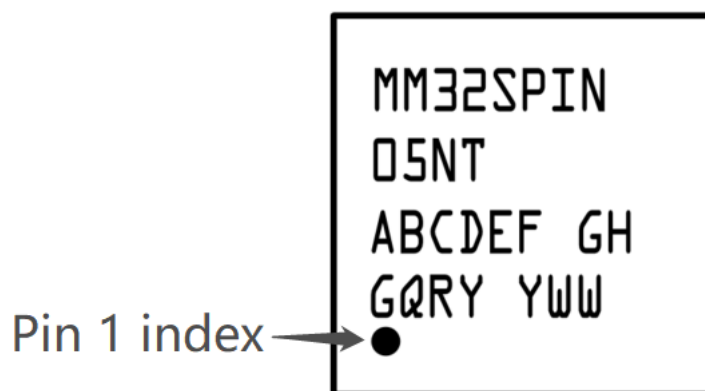


图 1 QFN32 封装丝印标识图

QFN32 封装一般都在顶层包含如下丝印

- 第一行: MM32SPIN
 - 产品型号第一部分
- 第二行: 05NT
 - 产品型号第二部分
- 第三行: ABCDEF - 生产管控代码
GH-版本号
- 第四行: GQRY YWW
 - “GQRY” 为 other information; “YWW” 为日期信息, 其中 “Y” 为当前年份的最后一位数, “WW” 为实际周号

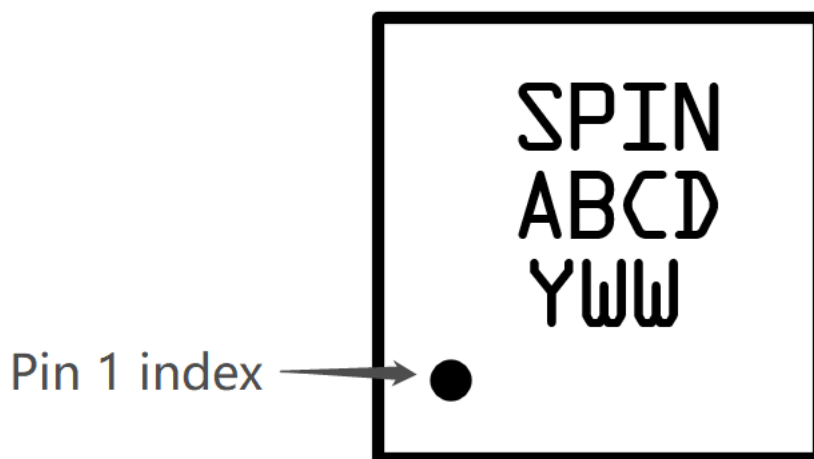


图 2 QFN20 封装丝印标识图

QFN20 3x3 封装一般都在顶层包含如下丝印

- 第一行：SPIN
- 电机系列型号
- 第二行：ABCD
- 生产管控代码
- 第三行：YWW
- “YWW”为日期信息，其中“Y”为当前年份的最后一位数，“WW”为实际周号

丝印标识

LQFP 丝印示意:

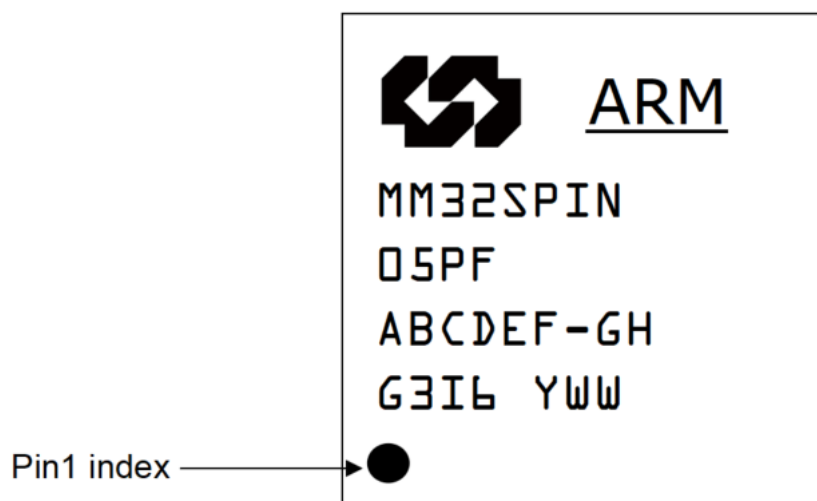


图 3 LQFP 丝印标识图

LQFP 封装一般都在顶层包含如下丝印

- 第一行：
- 灵动微电子 logo+ARM
- 第二行：MM32SPIN
- 产品型号第一部分
- 第三行：05PF/05PT
- 产品型号第二部分

规格说明

- 第四行：ABCDEF – 生产管控代码
GH-版本号
- 第五行：GQRYWW
- “GQRY” 为 other information; “YWW” 为日期信息，其中 “Y” 为当前年份的最后一位数，“WW” 为实际周号

丝印标识

TSSOP 丝印示意:

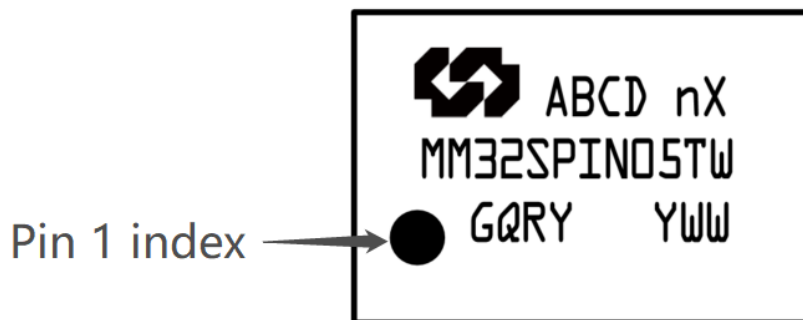


图 4 TSSOP 丝印标识图

TSSOP20 封装一般都在顶层包含如下丝印

- 第一行:
 - 灵动微电子 logo
 - ABCD 为生产管控代码
 - nX 为版本号
- 第二行：MM32SPIN05TW
 - 产品型号
- 第三行：GQRY YWW
 - “GQRY” 为 other information; “YWW” 为日期信息，其中 “Y” 为当前年份的最后一位数，“WW” 为实际周号

2.1.3 系统框图

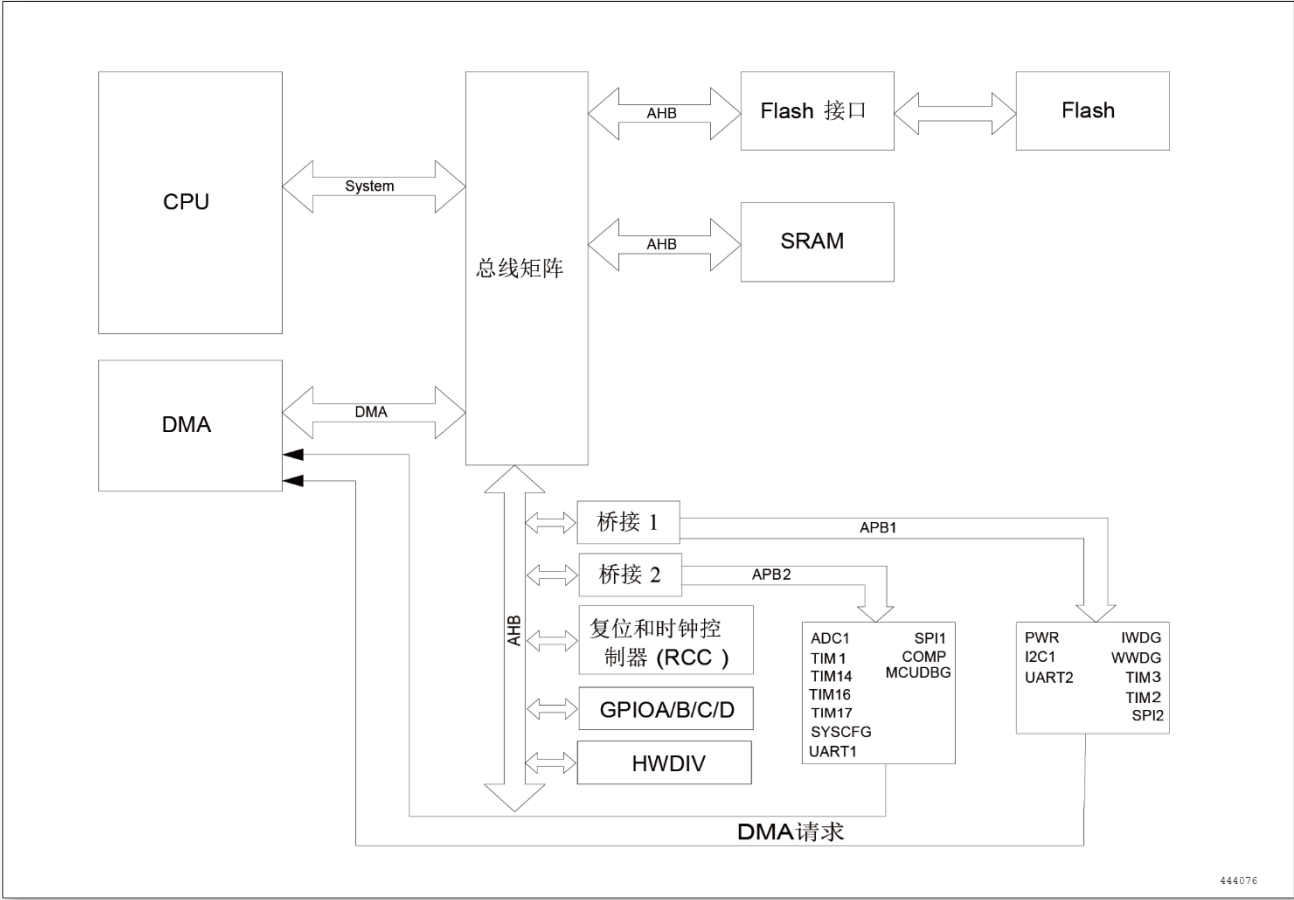


图 5 模块框图

2.2 功能说明

2.2.1 内核简介

Arm® 的 Cortex®-M0 处理器是最新一代的嵌入式 Arm 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

Arm® 的 Cortex®-M0 是 32 位的 RISC 处理器，提供额外的代码效率，在通常 8 和 16 位系统的存储空间上发挥了 Arm 内核的高性能。

本产品拥有内置的 Arm 核心，因此它与所有的 Arm 工具和软件兼容。

2.2.2 总线简介

MM32SPIN05 采用矩阵总线结构，该矩阵包括两个 AHB 主机：CPU 和 DMA，三个从机分别是 SRAM、闪存存储、AHB 总线（含 AHB 到 APB 的总线桥）以及连接在 APB 总线的各种设备。

系统总线连接 CPU 内核和总线矩阵，从而达到数据传输的作用。CPU 和 DMA 作为主机驱动总线，总线矩阵会协调 CPU 内核和 DMA 之间的访问。

DMA 总线作用是连接 DMA 和总线矩阵，从而达到数据传输的作用，总线矩阵协调着主机 DMA 到从机 SRAM，闪存和连接在 APB 线上的各种外设的访问控制。

总线矩阵包括一个 AHB 互联矩阵，一个 AHB 总线和两个桥接的 APB 总线。当 CPU 总线和 DMA 总线同时请求时，具备仲裁的功能。AHB 总线的外设（RCC，HWDIV，GPIO）通过 AHB 互联矩阵与系统总线连接。在 APB 和 AHB 总线之间连接通过 AHB2APB 桥进行数据交换。当 APB 寄存器进行 8 位 16 位访问，APB 会自动拓宽成 32 位，同样的，AHB2APB 桥也具备自动拓宽功能。

2.2.3 存储器映像

表 2 存储器映像

总线	编址范围	大小	外设
FLASH	0x0000 0000 0x0000 7FFF	32 KB	主闪存存储器，系统存储器或是 SRAM 有赖于 BOOT 的配置
	0x0000 8000 0x07FF FFFF	~ 128 MB	Reserved
	0x0800 0000 0x0800 7FFF	32 KB	Main Flash memory
	0x0800 8000 0x1FFD FFFF	~256 MB	Reserved
	0x1FFE 0000 0x1FFE 01FF	0.5 KB	Reserved
	0x1FFE 0200 0x1FFE 0FFF	3 KB	Reserved
	0x1FFE 1000 0x1FFE 1BFF	3 KB	Reserved
	0x1FFE 1C00 0x1FFF F3FF	~256 MB	Reserved
	0x1FFF F400 0x1FFF F7FF	1 KB	System memory
	0x1FFF F800 0x1FFF F80F	16 B	Option bytes
	0x1FFF F810 0x1FFF FFFF	~2 KB	Reserved
SRAM	0x2000 0000 0x2000 0FFF	4 KB	SRAM
	0x2000 1000 0x2FFF FFFF	~ 512 MB	Reserved

总线	编址范围	大小	外设
APB1	0x4000 0000 0x4000 03FF	1 KB	TIM2
	0x4000 0400 0x4000 07FF	1 KB	TIM3
	0x4000 0800 0x4000 27FF	8 KB	Reserved
	0x4000 2800 0x4000 2BFF	1 KB	Reserved
	0x4000 2C00 0x4000 2FFF	1 KB	WWDG
	0x4000 3000 0x4000 33FF	1 KB	IWDG
	0x4000 3400 0x4000 37FF	1 KB	Reserved
	0x4000 3800 0x4000 3BFF	1 KB	SPI2
	0x4000 4000 0x4000 43FF	1 KB	Reserved
	0x4000 4400 0x4000 47FF	1 KB	UART2
	0x4000 4800 0x4000 4BFF	3 KB	Reserved
	0x4000 5400 0x4000 57FF	1 KB	I2C1
	0x4000 5800 0x4000 5BFF	1 KB	Reserved
	0x4000 5C00 0x4000 5FFF	1 KB	Reserved
	0x4000 6000 0x4000 63FF	1 KB	Reserved
	0x4000 6400 0x4000 67FF	1 KB	Reserved
	0x4000 6800 0x4000 6BFF	1 KB	Reserved
	0x4000 6C00 0x4000 6FFF	1 KB	Reserved
	0x4000 7000 0x4000 73FF	1 KB	PWR
	0x4000 7400 0x4000 7FFF	1 KB	Reserved
	0x4001 0000 0x4001 03FF	1 KB	SYSCFG
APB2	0x4001 0400 0x4001 07FF	1 KB	EXTI
	0x4001 0800 0x4001 23FF	7 KB	Reserved
	0x4001 2400 0x4001 27FF	1 KB	ADC1
	0x4001 2800 0x4001 2BFF	1 KB	Reserved
	0x4001 2C00 0x4001 2FFF	1 KB	TIM1
	0x4001 3000 0x4001 33FF	1 KB	SPI1
	0x4001 3400 0x4001 37FF	1 KB	DBGMCU
	0x4001 3800 0x4001 3BFF	1 KB	Reserved
	0x4001 3C00 0x4001 3FFF	1 KB	COMP
	0x4001 4000 0x4001 43FF	1 KB	TIM14
	0x4001 4400 0x4001 47FF	1 KB	TIM16
	0x4001 4800 0x4001 4BFF	1 KB	TIM17
	0x4001 4C00 0x4001 7FFF	13 KB	Reserved
AHB	0x4002 0000 0x4002 03FF	1 KB	DMA
	0x4002 0400 0x4002 0FFF	3 KB	Reserved
	0x4002 1000 0x4002 13FF	1 KB	RCC
	0x4002 1400 0x4002 1FFF	3 KB	Reserved
	0x4002 2000 0x4002 23FF	1 KB	Flash 接口
	0x4002 2400 0x4002 5FFF	15 KB	Reserved
	0x4002 6000 0x4002 63FF	1 KB	Reserved
	0x4002 6400 0x4002 FFFF	39 KB	Reserved
	0x4003 0000 0x4003 03FF	1 KB	HDIV
	0x4003 0400 0x47FF FFFF	~ 128 MB	Reserved
	0x4800 0000 0x4800 03FF	1 KB	GPIOA

总线	编址范围	大小	外设
	0x4800 0400 0x4800 07FF	1 KB	GPIOB
	0x4800 0800 0x4800 0BFF	1 KB	GPIOC
	0x4800 0C00 0x4800 0FFF	1 KB	GPIOD
	0x4800 1000 0x5FFF FFFF	~ 384 MB	Reserved

2.2.4 内置 Flash

最大 32KB 的内置 Flash，用于存放程序和数据。

2.2.5 内置 SRAM

最大 4KB 的内置 SRAM。

2.2.6 嵌套的向量式中断控制器 NVIC

本产品内置嵌套的向量式中断控制器，能够处理多个可屏蔽中断通道（不包括 16 个 Cortex®-M0 的中断线）和 4 个可编程优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.2.7 外部中断/事件控制器 EXTI

外部中断/事件控制器包含多个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI 可以检测到脉冲宽度小于内部 AHB 的时钟周期。所有通用 I/O 口连接到 16 个外部中断线。

2.2.8 时钟和启动

系统时钟的选择是在启动时进行，复位时内部 8MHz 的振荡器被选为默认的 CPU 时钟，随后可以选择外部的、具失效监控的 4~24MHz 时钟。当检测到外部时钟失效时，它将被隔离，系统将自动地切换到内部的振荡器，如果使能了中断，软件可以接收到相应的中断。多个预分频器用于配置 AHB 的频率、高速 APB(APB2 和 APB1) 区域。AHB 和高速 APB 的最高频率是 72MHz。参考图 6 的时钟驱动框图。

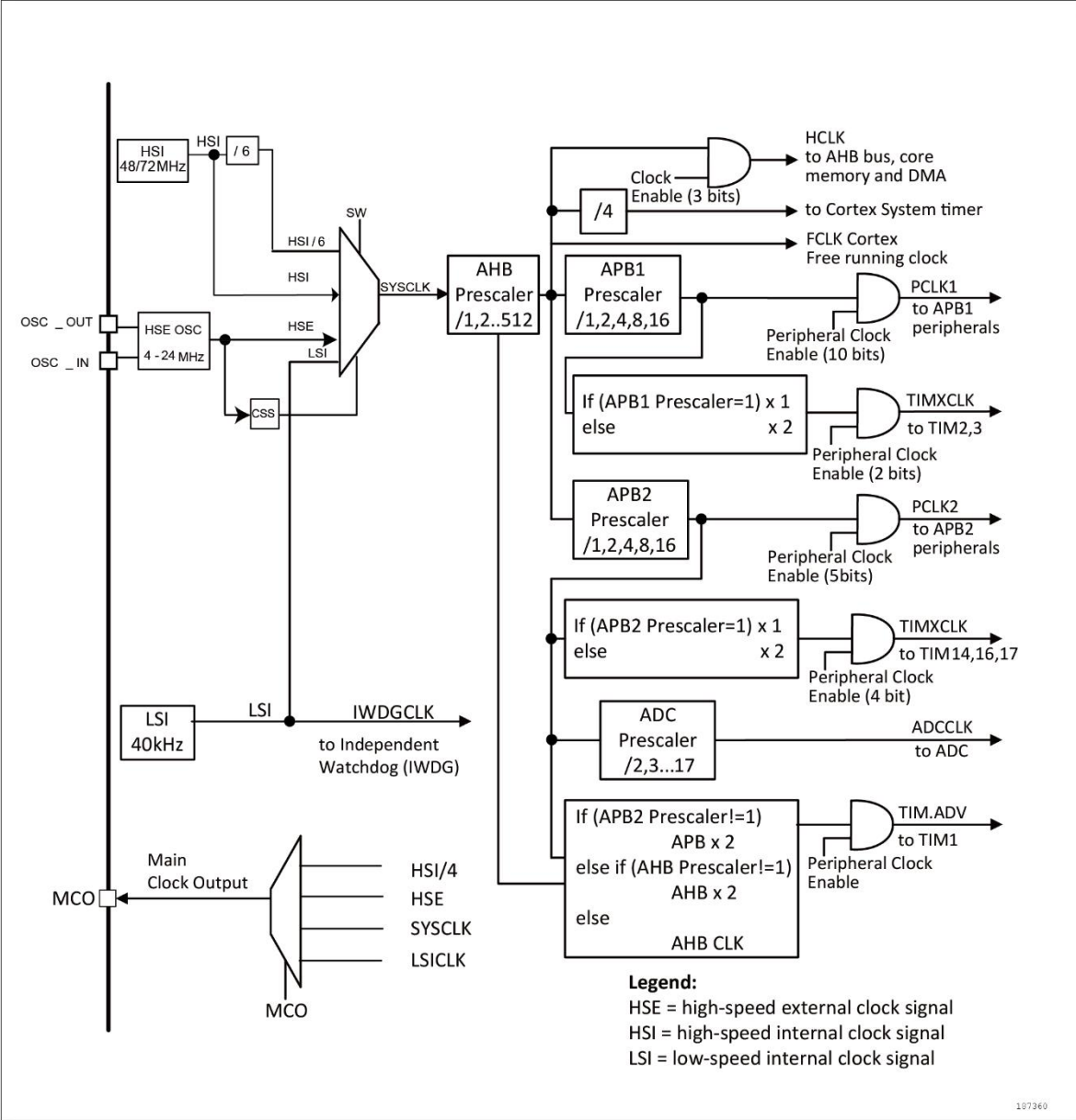


图 6 时钟树

2.2.9 启动模式 BootModes

在启动时，通过 BOOT0 引脚和 BOOT 位可以选择三种启动模式中的一种：

- 从片内 Flash 启动
- 从系统存储区启动
- 从片内 SRAM 启动

Bootloader 程序位于系统存储区。从系统存储区启动 Bootloader 之后，可通过 UART1 对片内 FLASH 重新编程。

2.2.10 供电方案 PowerSupplySchemes

- $V_{DD}=2.0V\sim5.5V$ ：通过 V_{DD} 引脚为 I/O 引脚和内部调节器供电。
- $V_{DDA}=2.0V\sim5.5V$ ：为 ADC、复位模块和振荡器提供供电。 V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。

2.2.11 供电监控器 PowerSupplySupervisors

本产品内部集成了上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态，保证系统供电超过 2.0V 时工作；当 V_{DD} 低于设定的阈值(V_{POR}/V_{PDR})时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器(PVD)，它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较，当 V_{DD} 低于或高于阈值 V_{PVD} 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

2.2.12 电压调压器 VoltageRegulator

片内的电压调压器将外部电压转成内部逻辑电路工作的电压。电压调压器在芯片复位后时钟处于工作状态。

2.2.13 低功耗模式 LowPowerMode

产品支持低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

表 3 低功耗模式一览

模式	进入	唤醒方式	对 1.5V 电源域时钟的影响	对 VDD 区域时钟的影响	电压调节器	对数据和寄存器的影响	注意事项
睡眠模式 (SleepMode)	WFI(WaitforInterrupt)	任一中断	CPU 时钟关，对其他时钟和 ADC 时钟无影响	无	开		外设时钟继续维持，寄存器和 SRAM 的内容保持
	WFE(WaitforEvent)	唤醒事件					

模式	进入	唤醒方式	对 1.5V 电源域时钟的影响	对 VDD 区域时钟的影响	电压调节器	对数据和寄存器的影响	注意事项
停机模式 (Stop Mode)	LPDS 位; SLEEPDEE P 位; WFI 或 WFE;	任一外部中断(在外部中断寄存器中设置)、IWDG 复位唤醒	所有使用 1.5V 的区域的时钟都已关闭	HSI 和 HSE 的振荡器关闭	开	寄存器和 SRAM 的内容维持, 所有的外设时钟都停止	进入低功耗前不使用的 GPIO 应该设置模拟输入状态
待机模式 (Standby Mode)	PDDS 位; SLEEPDEE P 位; WFI 或 WFE;	WKUP 引脚、NRST 引脚上的外部复位、IWDG 复位			关	寄存器和 SRAM 的内容全部丢失, 所有的外设时钟都停止, 唤醒相当于芯片复位	

睡眠模式

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

停机模式

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到较低的电能消耗。在停机模式下，HSI 的振荡器和 HSE 晶体振荡器被关闭。可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒，EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出的唤醒信号。

待机模式

待机模式可实现系统的最低功耗。该模式是在 CPU 深睡眠模式时关闭电压调节器。内部所有的 1.5V 部分的供电区域被断开。HSI 和 HSE 振荡器也都关闭,可以通过 WKUP 引脚的上升沿、NRST 引脚的外部复位、IWDG 复位唤醒或者看门狗定时器唤醒并复位。SRAM 和寄存器的内容将被丢失。只有备份的寄存器和待机电路维持供电。

2.2.14 硬件除法器 HWDIV

硬件除法单元包括 4 个 32 位数据寄存器，分别为被除数，除数，商和余数，可以做有符号或者无符号的 32 位除法运算。通过硬件除法控制寄存器 USIGN 可以选择是有符号除法还是无符号除法。

每一次写入除数寄存器，会自动触发除法运算，在运算结束后，结果会写入到商和余数寄存器里。如果在结束前读商寄存器、余数寄存器或者状态寄存器，读操作会被暂停，直到结束才返回运算结果。

如果除数为零，会产生溢出中断标志位。

2.2.15 DMA

灵活的 5 路通用 DMA 可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输；DMA 控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA 可以用于主要的外设，如 UART、I2C、SPI、ADC 和通用/基本/高级控制定时器 TIMx。

2.2.16 定时器和看门狗 TIM&WDG

产品包含 1 个高级定时器、2 个通用定时器、3 个基本定时器。以及 2 个看门狗定时器和 1 个系统嘀嗒定时器。下表比较了高级控制定时器、通用定时器和基本定时器的功能：

表 4 定时器功能比较

定时器类型	名称	计数器分辨率	计数器类型	预分频系数	DMA 请求生成	捕获/比较通道	互补输出
高级	TIM1	16 位	递增、递减、 递增/递减	1~65536 之间的 任意整数	有	4	有
通用	TIM2	32 位	递增、递减、 递增/递减	1~65536 之间的 任意整数	有	4	无
	TIM3	16 位	递增、递减、 递增/递减	1~65536 之间的 任意整数	有	4	无
基本	TIM14	16 位	递增	1~65536 之间的 任意整数	有	1	无
	TIM16/TIM17	16 位	递增	1~65536 之间的 任意整数	有	1	有

高级控制定时器(TIM1)

高级控制定时器是由 16 位计数器、4 个捕获/比较通道以及三相互补 PWM 发生器组成，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM（边缘或中心对齐模式）
- 单脉冲输出

配置为 16 位通用定时器时，它与 TIM2 定时器具有相同的功能。配置为 16 位 PWM

发生器时，它具有全调制能力(0~100%)。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与通用的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

通用定时器(TIMx)

产品中内置了多达 2 个可同步运行的通用定时器 (TIM2、TIM3)。定时器有一个 16/32 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

通用定时器_32 位

定时器有一个 32 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

通用定时器_16 位

每个定时器有一个 16 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

这些定时器还能够处理增量编码器的信号，也能处理 1~4 个霍尔传感器的数字输出。每个定时器都 PWM 输出或作为简单时间基准。

基本定时器

TIM14

该定时器基于一个 16 位自动重载递增计数器和一个 16 位预分频器。具有一个单通道，用于输入捕获/输出比较，PWM 或单脉冲模式输出。在调试模式下，其计数器可被冻结。

TIM16/TIM17

定时器均基于一个 16 位自动重载递增计数器和一个 16 位预分频器。有一个单通道，用于输入捕获/输出比较，PWM 或单脉冲模式输出。有互补输出，带死区生成和独立 DMA 请求生成功能。在调试模式下，计数器可以被冻结。

独立看门狗(IWDG)

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的振荡器提供时钟。因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以用在系统发生时复位整个系统或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

窗口看门狗(WWDG)

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看

门狗用于在发生时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

系统时基定时器(Systick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

2.2.17 GPIO

每个 GPIO 引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

2.2.18 通用异步收发器 UART

UART 接口具有硬件的 CTS 和 RTS 信号管理。支持 LIN 主从功能。兼容 ISO7816 智能卡模式。UART 接口支持输出数据长度可为 5 位、6 位、7 位、8 位、9 位均可配置。所有 UART 接口都可以使用 DMA 操作。

2.2.19 I2C 总线

I2C 总线接口能够工作于多主模式或从模式，支持标准和快速模式。

I2C 接口支持 7 位或 10 位寻址。

2.2.20 SPI 接口

SPI 接口在从或主模式下，可配置成每帧 1~32 位。主模式下 SPI 支持最大时钟频率 24MHz，从模式下支持最大时钟频率 12MHz。

所有的 SPI 接口都可以使用 DMA 操作。

2.2.21 ADC

产品内嵌 1 个 12 位的模拟/数字转换器(ADC)，可用的 ADC 外部通道多达 13 个，可以实现单次、单周期和连续扫描转换。在扫描模式下，自动进行已选定的一组模拟输入上的采集值转换。ADC 可以使用 DMA 操作。

模拟看门狗功能允许非常精准地监视一路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由通用定时器(TIMx)和高级控制定时器产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 ADC 转换与时钟同步。

2.2.22 硬件除法器

硬件除法单元包括 4 个 32 位数据寄存器，分别为被除数，除数，商和余数，可以做有符号或者无符号的 32 位除法运算。通过硬件除法控制寄存器 **USIGN** 可以选择是有符号除法 还是无符号除法。

每一次写入除数寄存器，会自动触发除法运算，在运算结束后，结果会写入到商和余数寄存器里。如果在结束前读商寄存器、余数寄存器或者状态寄存器，读操作会被暂停，直到 结束才返回运算结果。

如果除数为零，会产生溢出中断标志位。

2.2.23 模拟比较器 COMP

产品内嵌 1 个比较器，可独立使用（适用所有终端上的 I/O 口），也可与定时器结合使用。**COMP** 可用于多种功能，包括：

- 由模拟信号触发低功耗模式唤醒事件
- 调节模拟信号
- 定时器输出的 PWM 相结合，组成逐周期的电流控制回路
- 轨对轨比较器
- 每个比较器有可选门限
 - 可复用的 I/O 引脚
 - 内部比较电压 **CRV** 可选择 **VDDA** 或者内部基准电压的分压电压值
- 可编程迟滞电压
- 可编程的速率和功耗
- 输出端可以重定向到一个 I/O 端口或多个定时器输入端，可以触发以下事件：
 - 捕获事件
 - **OCref_clr** 事件（逐周期电流控制）
 - 为实现快速 PWM 关断的刹车事件

2.2.24 温度传感器

温度传感器产生一个随温度线性变化的电压。温度传感器在内部被连接到 **ADC** 的输入通道上，用于将传感器的输出转换到数字数值。

2.2.25 串行调试口(SWD)

内嵌 Arm 标准的两线串行调试接口(SW-DP)。

ARM 的 SW-DP 接口允许通过串行线调试工具连接到单片机

3

引脚定义及复用功能

3.1 引脚分布图

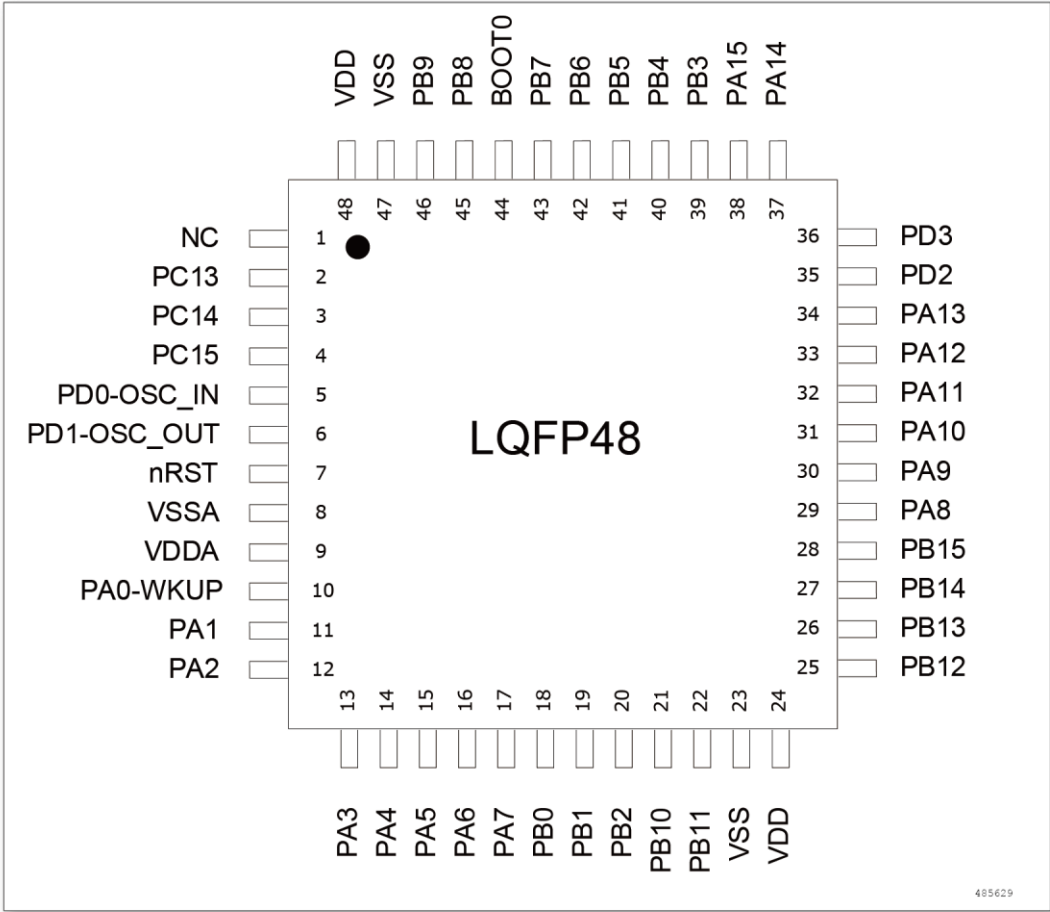


图 7 LQFP48 引脚分布

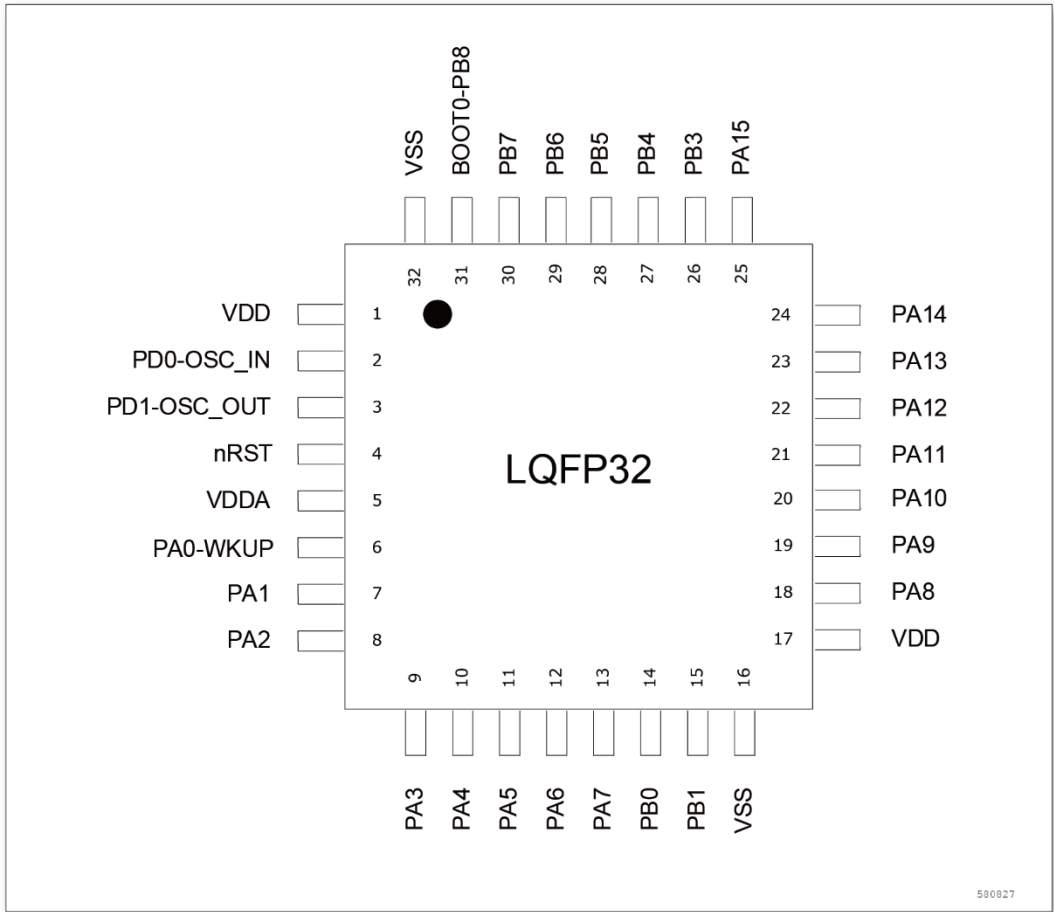


图 8 LQFP32 引脚分布

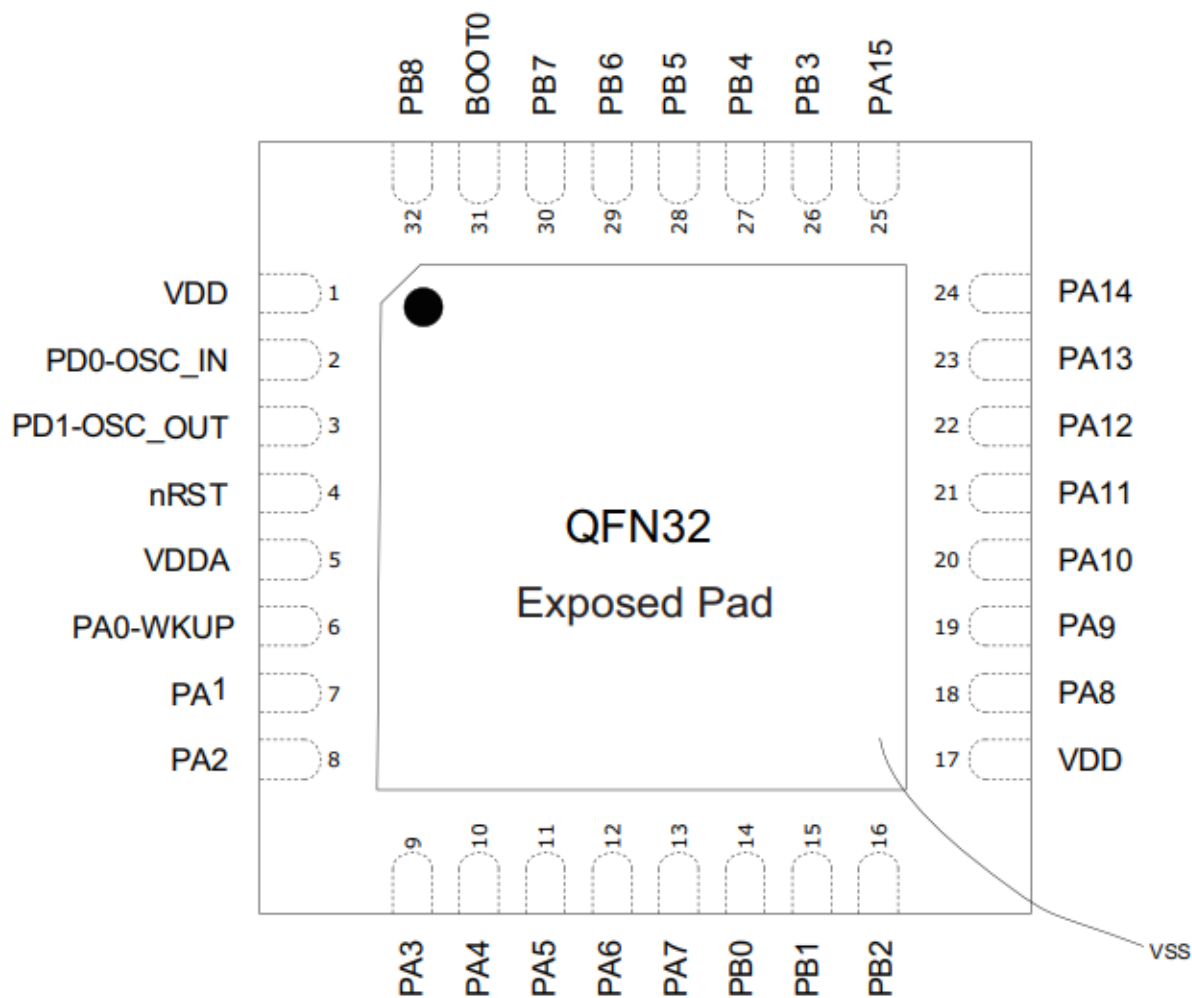


图 9 QFN32 引脚分布

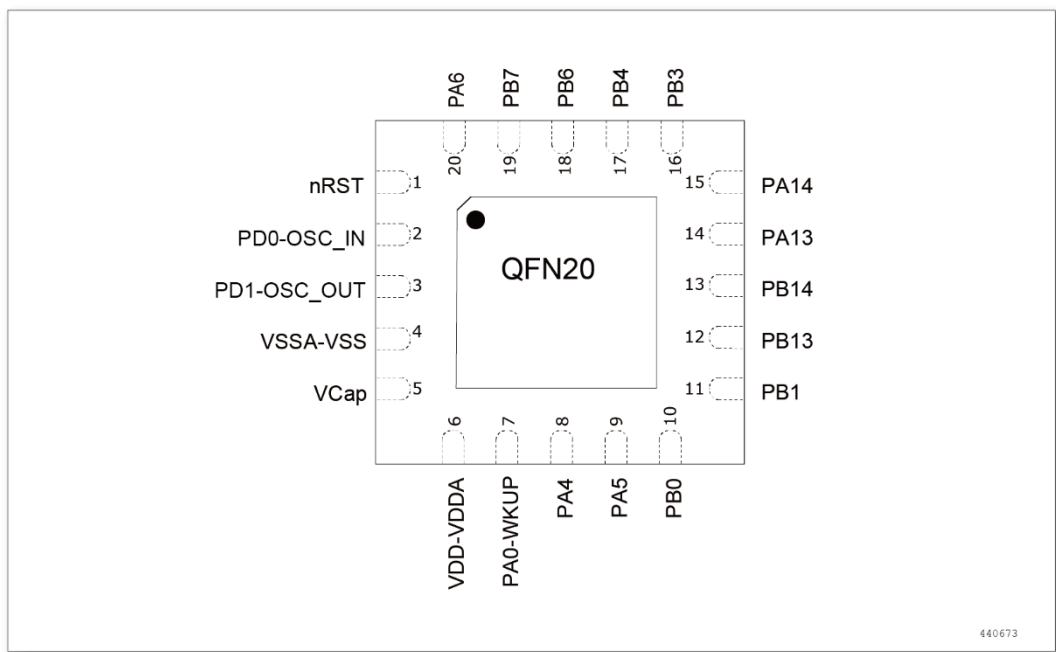


图 10 QFN20 引脚分布

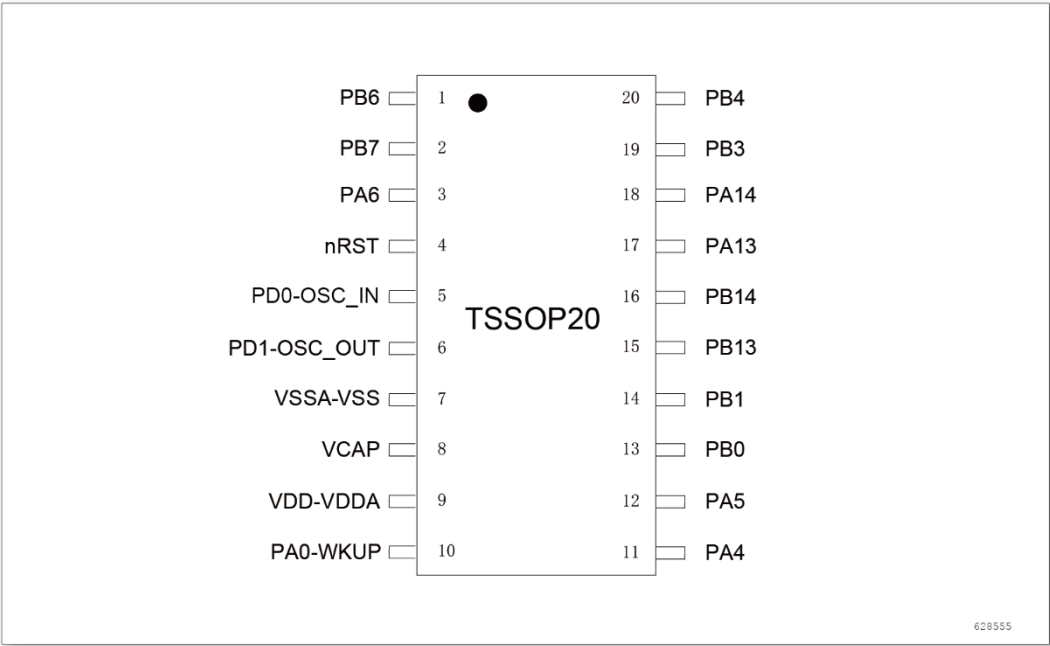


图 11 TSSOP20 引脚分布

注：VCAP 建议不连接或者连接 0.01uF-0.1uF 电容到地

3.2 引脚定义表

表 5 引脚定义

引脚编码					引脚名称	类型 (1)	I/O 电平 (2)	主功能	可选的复用功能	附加功能
LQFP48	LQFP32	QFN32	TSSOP20	QFN20						
1	-	-	-	-	NC	S	-	NC		
2	-	-	-	-	PC13	I/O	FT	PC13	TIM2_CH1	-
3	-	-	-	-	PC14	I/O	FT	PC14	TIM2_CH2	-
4	-	-	-	-	PC15	I/O	FT	PC15	TIM2_CH3	
5	2	2	5	2	PD0 OSC_IN	I/O	FT	PD0	I2C1_SDA	-
6	3	3	6	3	PD1 OSC_OUT	I/O	FT	PD1	I2C1_SCL	-
7	4	4	4	1	NRST	I/O	FT	NRST	-	-
8	-	-	-	4	VSSA	S	-	VSSA	-	-
9	5	5	9	6	VDDA/VDD	S	-	VDDA	-	-
10	6	6	10	7	PA0 WKUP	I/O	TC	PA0	UART2_CTS/ TIM2_CH1_ETR/ SPI2_NSS/ TIM2_CH3/ COMP1_OUT	ADC1_VIN[0]
11	7	7	-	-	PA1	I/O	TC	PA1	UART2_RTS/ TIM2_CH2	ADC1_VIN[1]/ COMP1_INP[0]
12	8	8	-	-	PA2	I/O	TC	PA2	UART2_TX/ TIM2_CH3/ SPI2_NSS	ADC1_VIN[2]/ COMP1_INP[1]
13	9	9	-	-	PA3	I/O	TC	PA3	UART2_RX/ TIM2_CH4	ADC1_VIN[3]/ COMP1_INP[2]
14	10	10	11	8	PA4	I/O	TC	PA4	SPI1_NSS/ TIM1_BKIN/ TIM14_CH1/ I2C1_SDA	ADC1_VIN[4]/ COMP1_INP[3]
15	11	11	12	9	PA5	I/O	TC	PA5	SPI1_SCK/ TIM2_CH1_ETR/ TIM1_ETR/ I2C1_SCL/ TIM1_CH3N	ADC1_VIN[5]/ COMP1_INM[0]
16	12	12	3	20	PA6	I/O	TC	PA6	SPI1_MISO/ TIM3_CH1/ TIM1_BKIN/ UART2_RX/ TIM1_ETR/ TIM16_CH1/ TIM1_CH3/ COMP1_OUT	ADC1_VIN[6]/ COMP1_INM[1]
17	13	13	-	-	PA7	I/O	TC	PA7	SPI1_MOSI/ TIM3_CH2/ TIM1_CH1N/ TIM14_CH1/ TIM17_CH1/ TIM1_CH2N/ TIM1_CH3N	ADC1_VIN[7]/ COMP1_INM[2]
18	14	14	13	10	PB0	I/O	TC	PB0	TIM3_CH3/ TIM1_CH2N/ TIM1_CH1N/ TIM1_CH3	ADC1_VIN[8]
19	15	15	14	11	PB1	I/O	TC	PB1	TIM14_CH1/ TIM3_CH4/ TIM1_CH3N/ TIM1_CH4/ TIM1_CH2N/ MCO/ TIM1_CH2/ TIM1_CH1N	ADC1_VIN[9]
20	-	16	-	-	PB2	I/O	FT	PB2	-	-
21	-	-	-	-	PB10	I/O	FT	PB10	I2C1_SCL/ TIM2_CH3/ SPI2_SCK	-

引脚定义及复用功能

引脚编码					引脚名称	类型 (1)	I/O 电 平 (2)	主功能	可选的复用功能	附加功能
LQFP48	LQFP32	QFN32	TSSOP20	QFN20						
22	-	-	-	-	PB11	I/O	FT	PB11	I2C1_SDA/ TIM2_CH4	-
23	16	-	7	4	VSS	S	-	VSS	-	-
24	17	17	9	6	VDD	S	-	VDD	-	-
25	-	-	-	-	PB12	I/O	FT	PB12	SPI2_NSS/ SPI2_SCK/ TIM1_BKIN/ SPI2_MOSI/ SPI2_MISO	-
26	-	-	15	12	PB13	I/O	FT	PB13	SPI2_SCK/ SPI2_MISO/ TIM1_CH1N/ SPI2_NSS/ SPI2_MOSI/ I2C1_SCL/ TIM1_CH3N/ TIM2_CH1	-
27	-	-	16	13	PB14	I/O	FT	PB14	SPI2_MISO/ SPI2_MOSI/ TIM1_CH2N/ SPI2_SCK/ SPI2_NSS/ I2C1_SDA/ TIM1_CH3/ TIM1_CH1	-
28	-	-	-	-	PB15	I/O	FT	PB15	SPI2_MOSI/ SPI2_NSS/ TIM1_CH3N/ SPI2_MISO/ SPI2_SCK/ TIM1_CH2N/ TIM1_CH2	-
29	18	18	-	-	PA8	I/O	FT	PA8	MCO/ TIM1_CH1/ TIM1_CH2/ TIM1_CH3	-
30	19	19	-	-	PA9	I/O	FT	PA9	UART1_TX/ TIM1_CH2/ UART1_RX/ I2C1_SCL/ MCO/ TIM1_CH1N/ TIM1_CH4	-
31	20	20	-	-	PA10	I/O	FT	PA10	TIM17_BKIN/ UART1_RX/ TIM1_CH3/ UART1_TX/ I2C1_SDA/ TIM1_CH1/ SPI2_SCK	-
32	21	21	-	-	PA11	I/O	FT	PA11	UART1_CTS/ SPI2_MOSI/ TIM1_CH4/ I2C1_SCL/ COMP1_OUT	-
33	22	22	-	-	PA12	I/O	FT	PA12	UART1_RTS/ TIM1_ETR/ SPI2_MISO/ I2C1_SDA/ TIM1_CH2	-
34	23	23	17	14	PA13	I/O	FT	PA13	SWDIO/ SPI2_MISO/ MCO/ TIM1_CH2/ TIM1_BKIN	-
35	-	-	-	-	PD2	I/O	FT	PD2	-	-
36	-	-	-	-	PD3	I/O	FT	PD3	-	-

引脚定义及复用功能

引脚编码					引脚名称	类型 (1)	I/O 电平 (2)	主功能	可选的复用功能	附加功能
LQFP48	LQFP32	QFN32	TSSOP20	QFN20						
37	24	24	18	15	PA14	I/O	FT	PA14	SWDCLK/ UART2_TX/ SPI1_NSS	-
38	25	25	-	-	PA15	I/O	FT	PA15	SPI1_NSS/ UART2_RX/ TIM2_CH1_ETR	-
39	26	26	19	16	PB3	I/O	TC	PB3	SPI1_SCK/ TIM2_CH2/ UART1_TX/ TIM2_CH3/ TIM1_CH1/ TIM2_CH1	ADC1_VIN[10]
40	27	27	20	17	PB4	I/O	TC	PB4	SPI1_MISO/ TIM3_CH1/ UART1_RX/ TIM17_BKIN/ TIM1_CH2/ TIM2_CH2	ADC1_VIN[11]
41	28	28	-	-	PB5	I/O	FT	PB5	SPI1_MOSI/ TIM3_CH2/ TIM16_BKIN/ MCO/ TIM1_CH3/ TIM2_CH3	-
42	29	29	1	18	PB6	I/O	FT	PB6	UART1_TX/ I2C1_SCL/ TIM16_CH1N/ TIM2_CH1	-
43	30	30	2	19	PB7	I/O	TC	PB7	UART1_RX/ I2C1_SDA/ TIM17_CH1N/ UART2_TX	ADC1_VIN[12]
44	31	31	-	-	BOOT0	I/O	FT	BOOT0	-	-
45	31	32	-	-	PB8	I/O	FT	PB8	I2C1_SCL/ TIM16_CH1/ UART2_RX	-
46	-	-	-	-	PB9	I/O	FT	PB9	I2C1_SDA/ TIM17_CH1/ TIM1_CH4/ SPI2_NSS	-
47	32	-	-	4	VSS	S	-	VSS	-	-
48	1	1	-	6	VDD	S	-	VDD	-	-
-	-	-	8	5	VCap	S	-	1.5V regulator capacitor	-	-

- 1.I=输入，O=输出，S=电源，HiZ=高阻
- 2.TC:标准 IO，输入信号不超过 VDD 电压
FT:容忍 5V，可输出 VDD 和 5V 之间的信号
- 3.仅存在于 QFN20 TSSOP 封装形式中

3.3 复用功能表

表 6 PA 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	-	UART2_CTS	TIM2_CH1_ETR	SPI2_NSS	TIM2_CH3	-	-	COMP1_OUT
PA1	-	UART2_RTS	TIM2_CH2	-	-	-	-	-
PA2	-	UART2_TX	TIM2_CH3	SPI2_NSS	-	-	-	-
PA3	-	UART2_RX	TIM2_CH4	-	-	-	-	-
PA4	SPI1_NSS	-	-	TIM1_BKIN	TIM14_CH1	I2C1_SDA	-	-
PA5	SPI1_SCK	-	TIM2_CH1_ETR	TIM1_ETR	-	I2C1_SCL	TIM1_CH3N	-
PA6	SPI1_MISO	TIM3_CH1	TIM1_BKIN	UART2_RX	TIM1_ETR	TIM16_CH1	TIM1_CH3	COMP1_OUT
PA7	SPI1_MOSI	TIM3_CH2	TIM1_CH1_N	-	TIM14_CH1	TIM17_CH1	TIM1_CH2N	TIM1_CH3N
PA8	MCO	-	TIM1_CH1	-	-	-	TIM1_CH2	TIM1_CH3
PA9	-	UART1_TX	TIM1_CH2	UART1_RX	I2C1_SCL	MCO	TIM1_CH1N	TIM1_CH4
PA10	TIM17_BKIN	UART1_RX	TIM1_CH3	UART1_TX	I2C1_SDA	-	TIM1_CH1	SPI2_SCK
PA11	-	UART1_CTS	TIM1_CH4	-	SPI2_MOSI	I2C1_SCL	-	COMP1_OUT
PA12	-	UART1_RTS	TIM1_ETR	-	SPI2_MISO	I2C1_SDA	-	TIM1_CH2
PA13	SWDIO	-	-	-	SPI2_MISO	MCO	TIM1_CH2	TIM1_BKIN
PA14	SWDCLK	UART2_TX	-	SPI1_NSS	-	-	-	-
PA15	SPI1_NSS	UART2_RX	TIM2_CH1_ETR	-	-	-	-	-

引脚定义及复用功能

表 7 PB 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	-	TIM3_CH3	TIM1_CH2 N	TIM1_CH1N	TIM1_CH3	-	-	-
PB1	TIM14_CH1	TIM3_CH4	TIM1_CH3 N	TIM1_CH4	TIM1_CH2 N	MCO	TIM1_CH2	TIM1_CH1N
PB2	-	-	-	-	-	-	-	-
PB3	SPI1_SCK	-	TIM2_CH2	UART1_TX	TIM2_CH3	-	TIM1_CH1	TIM2_CH1
PB4	SPI1_MISO	TIM3_CH1	-	UART1_RX	-	TIM17_BKI N	TIM1_CH2	TIM2_CH2
PB5	SPI1_MOSI	TIM3_CH2	TIM16_BKI N	MCO	-	-	TIM1_CH3	TIM2_CH3
PB6	UART1_TX	I2C1_SCL	TIM16_CH 1N	-	TIM2_CH1	-	-	-
PB7	UART1_RX	I2C1_SDA	TIM17_CH 1N	-	UART2_TX	-	-	-
PB8	-	I2C1_SCL	TIM16_CH 1	-	UART2_R X	-	-	-
PB9	-	I2C1_SDA	TIM17_CH 1	-	TIM1_CH4	SPI2_NSS	-	-
PB10	-	I2C1_SCL	TIM2_CH3	-	-	SPI2_SCK	-	-
PB11	-	I2C1_SDA	TIM2_CH4		-	-	-	-
PB12	SPI2_NSS	SPI2_SCK	TIM1_BKIN	SPI2_MOSI	SPI2_MIS O	-	-	-
PB13	SPI2_SCK	SPI2_MISO	TIM1_CH1 N	SPI2_NSS	SPI2_MOS I	I2C1_SCL	TIM1_CH3 N	TIM2_CH1
PB14	SPI2_MISO	SPI2_MOSI	TIM1_CH2 N	SPI2_SCK	SPI2_NSS	I2C1_SDA	TIM1_CH3	TIM1_CH1
PB15	SPI2_MOSI	SPI2_NSS	TIM1_CH3 N	SPI2_MISO	SPI2_SCK	-	TIM1_CH2 N	TIM1_CH2

表 8 PC 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PC13	-	-	-	-	-	-	TIM2_CH1	-
PC14	-	-	-	-	-	-	TIM2_CH2	-
PC15	-	-	-	-	-	-	TIM2_CH3	-

表 9 PD 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PD0	-	I2C1_SDA	-	-	-	-	-	-
PD1	-	I2C1_SCL	-	-	-	-	-	-

4

电气特性

4.1 测试条件

除非特别说明，所有电压都以 V_{SS} 为基准。

4.1.1 负载电容

测量引脚参数时的负载条件示于下图。

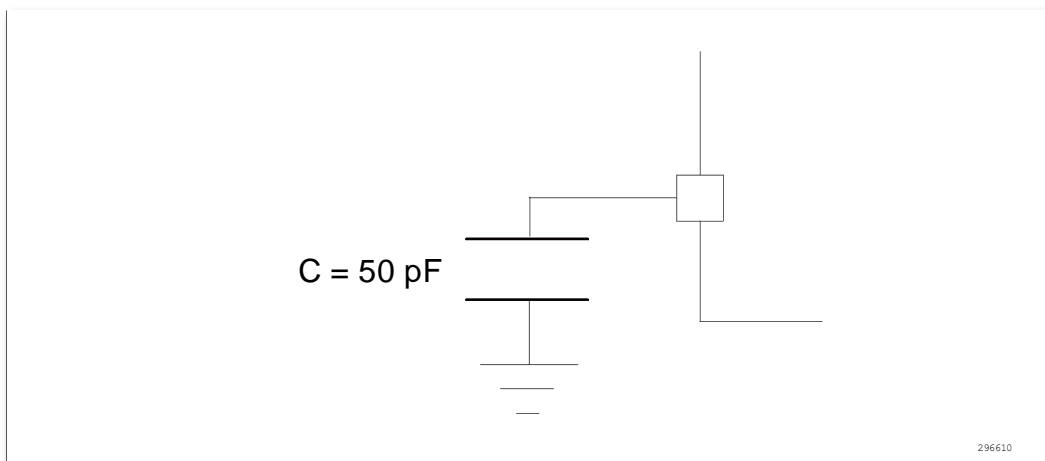


图 12 引脚的负载条件

4.1.2 引脚输入电压

引脚上输入电压的测量方式示于下图。

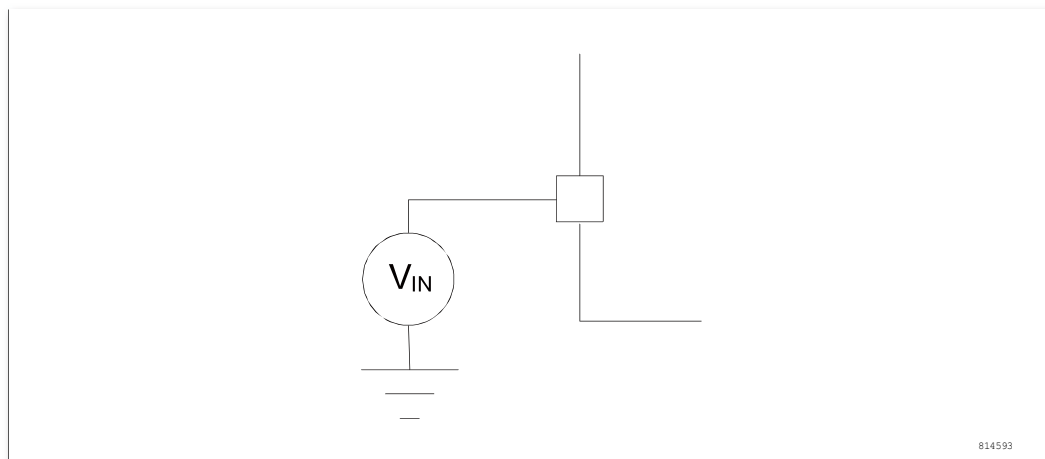


图 13 引脚输入电压

4.1.3 供电方案 PowerSupply

供电设计方案示于下图。

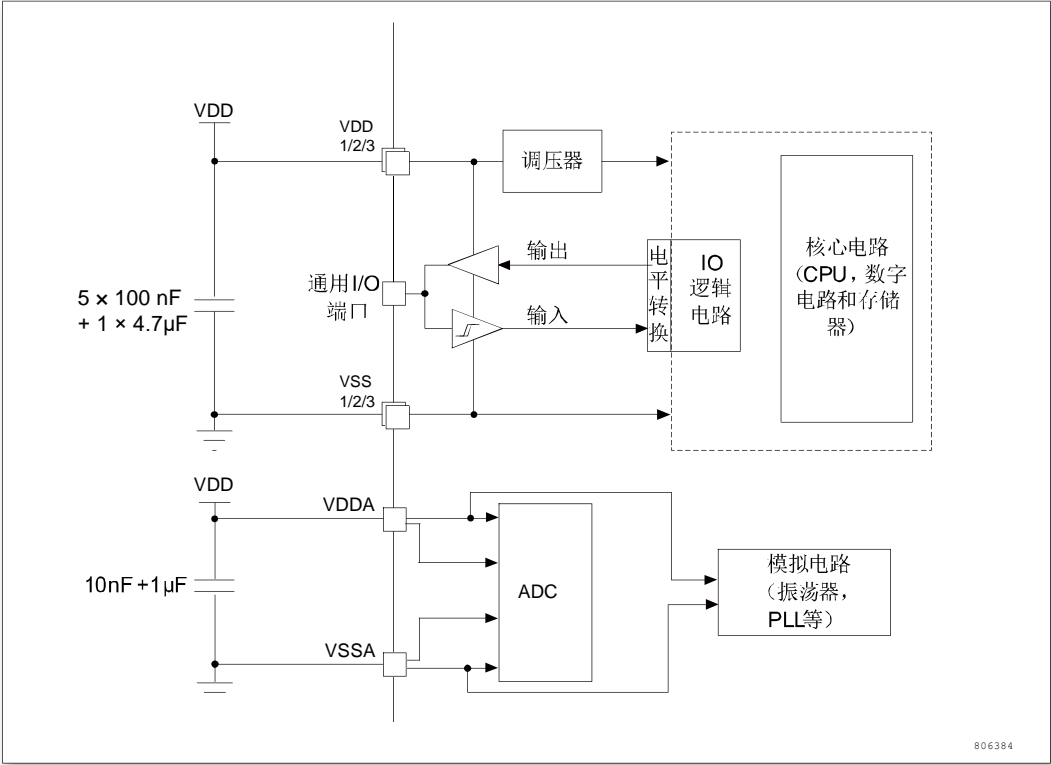


图 14 供电方案

4.1.4 电流消耗测量

引脚上电流消耗的测量方式示于下图。

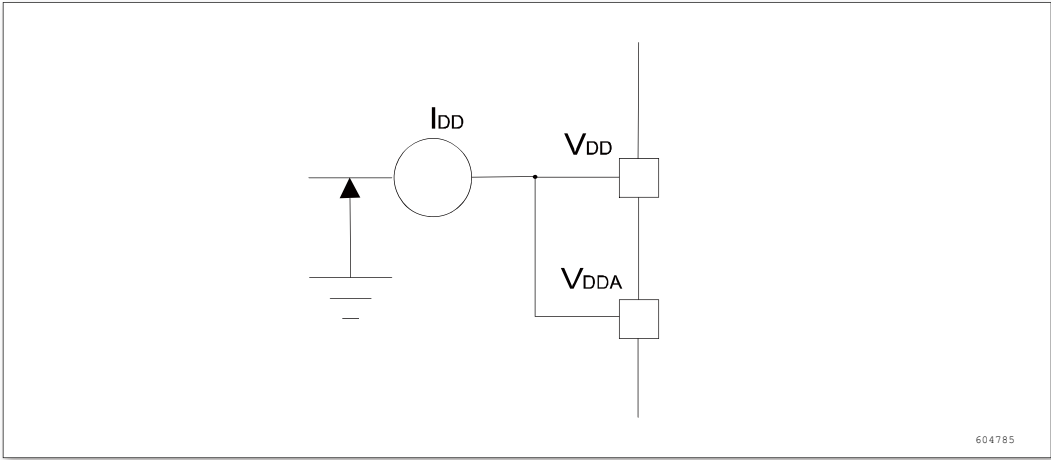


图 15 电流消耗测量方案

4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对组最大额定值”列表（表 10，表 11）中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 10 电压特性

符号	描述	最小值	最大值	单位
$V_{DDx}-V_{SSx}$	外部主供电电压(包含 V_{DDA} 和 V_{SSA}) ⁽¹⁾	-0.3	5.8	V
$V_{IN}^{(2)}$	在 5V 容忍的引脚上的输入电压	$V_{SS}-0.3$	5.8	
	在其它引脚上的输入电压	$V_{SS}-0.3$	$V_{DD}+0.3$	mV
$ \Delta V_{DDx} $	不同供电引脚之间的电压差		50	
$ V_{SSx}-V_{SS} $	不同接地引脚之间的电压差		50	

电气特性

- 1. 所有的电源(V_{DD},V_{DDA})和地(V_{SS},V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
- 2. 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见下表。

表 11 电流特性

符号	描述	最大值	单位
I _{VDD}	经过 VDD 电源线的总电流（供应电流） ⁽¹⁾	+120	mA
I _{VSS}	经过 VSS/VSSA 地线的总电流（流出电流） ⁽¹⁾	-120	
I _{IO}	任意 I/O 和控制引脚上的输出灌电流	+20	
	任意 I/O 和控制引脚上的输出电流	-18	
I _{INJ (PIN)} ⁽²⁾⁽³⁾	NRST 引脚的注入电流	±5	
	HSE 的 OSC_IN 引脚和 LSE 的 OSC_IN 引脚的注入电流	±5	
	其他引脚的注入电流 ⁽⁴⁾	±5	
ΣI _{INJ (PIN)} ⁽⁴⁾	所有 I/O 和控制引脚上的总注入电流 ⁽⁴⁾	±25	

- 1. 在允许的范围内，所有主电源(V_{DD}、V_{DDA})和接地(V_{SS}、V_{SSA})引脚必须始终连接到外部电源。
- 2. 此电流消耗必须正确分布至所有 I/O 和控制引脚。总输出电流一定不能在参考高引脚数 LQFP 封装的两个连续电源引脚间灌/拉。
- 3. 反向注入电流会干扰器件的模拟性能。
- 4. 当 V_{IN}>V_{DDA} 时，会产生正向注入电流；当 V_{IN}<V_{SS} 时，会产生反向注入电流。不得超出 I_{INJ(PIN)}。
- 5. 当多个输入同时存在注入电流时，ΣI_{INJ(PIN)} 的最大值等于正向注入电流和反向注入电流(瞬时值)的绝对值之和。

4.3 工作条件

4.3.1 通用工作条件

表 12 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
f _{HCLK}	内部 AHB 时钟频率	-	0	-	72	MHz
f _{PCLK2}	内部 APB2 时钟频率	-	0	-	f _{HCLK}	
f _{PCLK1}	内部 APB1 时钟频率	-	0	-	f _{HCLK}	
V _{DD}	数字工作电压	-	2.0	-	5.5	V
V _{DDA}	模拟工作电压 (使用 ADC)	必须与 VDD 相同 ⁽¹⁾	2.5	-	5.5	V
	模拟工作电压 (未使用 ADC)		2.0	-	2.5	
P _D	功率耗散 温度: T _A =85℃ ⁽²⁾ 或温度: T _A =105℃ ⁽²⁾	QFN20	-	-	266	mW
		TSSOP20	-	-	-	
T _A	环境温度	-	-40	-	105	℃
T _J	结温范围 ⁽³⁾	-	-40	-	125	℃

- 1. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间，V_{DD} 和 V_{DDA} 之间最多允许有 300mV 的差别。

4.3.2 热特性

芯片最高结温不得超过“通用工作条件”中给出的值。

最高结温计算公式如下：

T_{Jmax} = T_{Amax} + P_{Dmax} × θ_{JA}

T_{Amax}：环境最高温度；

P_{Dmax}：芯片总功耗，包含内部功耗与 IO 功耗之和。

表 13 封装热特性

符号	描述	数值	单位
θ_{JA}	结到环境的热阻 QFN20	75	$^{\circ}\text{C}/\text{W}$
	结到环境的热阻 TSSOP20	-	

4.3.3 上电和掉电时的工作条件

下表中给出的参数是在一般的工作条件下测试得出。

表 14 上电和掉电时的工作条件⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
t_{DD}	V_{DD} 上升速率	$T_A = 25^{\circ}\text{C}$	300	-	∞	$\mu\text{s}/\text{V}$
	V_{DD} 下降速率		300	-	∞	

1. 为确保芯片上电可靠性，芯片上电应从 0V 开始

4.3.4 内嵌复位和电源控制模块特性

下表中给出的参数是依据通用工作条件表列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 15 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程的电压检测器的电平选择	PLS[3:0]=0000（上升沿）	-	1.82	-	V
		PLS[3:0]=0000（下降沿）	-	1.71	-	
		PLS[3:0]=0001（上升沿）	-	2.12	-	
		PLS[3:0]=0001（下降沿）	-	2.00	-	
		PLS[3:0]=0010（上升沿）	-	2.41	-	
		PLS[3:0]=0010（下降沿）	-	2.30	-	
		PLS[3:0]=0011（上升沿）	-	2.71	-	
		PLS[3:0]=0011（下降沿）	-	2.60	-	
		PLS[3:0]=0100（上升沿）	-	3.01	-	
		PLS[3:0]=0100（下降沿）	-	2.90	-	
		PLS[3:0]=0101（上升沿）	-	3.31	-	
		PLS[3:0]=0101（下降沿）	-	3.19	-	
		PLS[3:0]=0110（上升沿）	-	3.61	-	
		PLS[3:0]=0110（下降沿）	-	3.49	-	
		PLS[3:0]=0111（上升沿）	-	3.91	-	
		PLS[3:0]=0111（下降沿）	-	3.79	-	
		PLS[3:0]=1000（上升沿）	-	4.21	-	
		PLS[3:0]=1000（下降沿）	-	4.09	-	
		PLS[3:0]=1001（上升沿）	-	4.51	-	
		PLS[3:0]=1001（下降沿）	-	4.39	-	
$V_{POR/PDR}$	上电复位阈值	-	-	1.66	-	V
	V_{hyst_PDR}	PDR 迟滞	-	110	-	mV
$T_{RSTTEMPO}^{(2)}$	复位持续时间	-	-	0.61	-	ms

1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。
2. 由设计保证，不在生产中测试。

注：复位持续时间的测量方法为从上电（POR 复位）到用户应用代码第一个 IO 翻转的时刻。

4.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—VDD 或 VSS（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- Flash 存储器的访问时间调整到 f_{HCLK} 的频率（0~24MHz 时为 0 个等待周期，24~48MHz 时为 1 个等待周期，48~72MHz 时为 2 个等待周期，72~96MHz 时为 3 个等待周期，24~48MHz 时为 1 个等待周期，48~72MHz 时为 2 个等待周期，72~96MHz 时为 3 个等待周期）。
- 指令预取功能开启。当开启外设时： $f_{HCLK}=f_{PCLK1}=f_{PCLK2}$ 。

注：指令预取功能必须在设置时钟和总线分频之前设置。

下表中给出的参数，是依据通用工作条件表列出的环境温度下和 VDD 供电电压下测试得出。

表 16 运行模式下的典型电流消耗，数据处理代码从内部 Flash 中运行

符号	参数	条件	$f_{HCLK}(Hz)$	典型值 使能所有外设				典型值 关闭所有外设				单位
				-40℃	25℃	85℃	105℃	-40℃	25℃	85℃	105℃	
I _{DD}	运行模式下的 供应电流	内部时钟	72M	13.99	14.40	14.76	14.84	8.02	8.32	8.60	8.66	mA
			48M	10.23	10.55	10.81	10.91	6.27	6.51	6.73	6.81	
			8M	3.08	3.25	3.43	3.49	2.45	2.59	2.77	2.86	

表 17 睡眠模式下的典型电流消耗，数据处理代码从内部 Flash 中运行

符号	参数	条件	$f_{HCLK}(Hz)$	典型值 使能所有外设				典型值 关闭所有外设				单位
				-40℃	25℃	85℃	105℃	-40℃	25℃	85℃	105℃	
I _{DD}	睡眠模式下的 供应电流	内部时钟	72M	9.81	10.08	10.33	10.39	3.83	3.98	4.15	4.20	mA
			48M	6.87	7.09	7.30	7.36	2.89	3.03	3.18	3.24	
			8M	2.10	2.21	2.35	2.40	1.44	1.55	1.69	1.74	

1. HCLK 频率小于 8MHz 时，系统时钟为 HSI8M，由分频得到 AHB 时钟

表 18 停机和待机模式下的典型和最大电流消耗⁽¹⁾

符号	参数	条件	典型值	单位
			T _A =25℃	
I _{DDX}	停机模式下的 供应电流	复位后进入停机模式	6	μA
	待机模式下的 供应电流	复位后进入待机模式	0.4	

1. 由综合评估得出，不在生产中测试。I/O 状态为模拟输入。

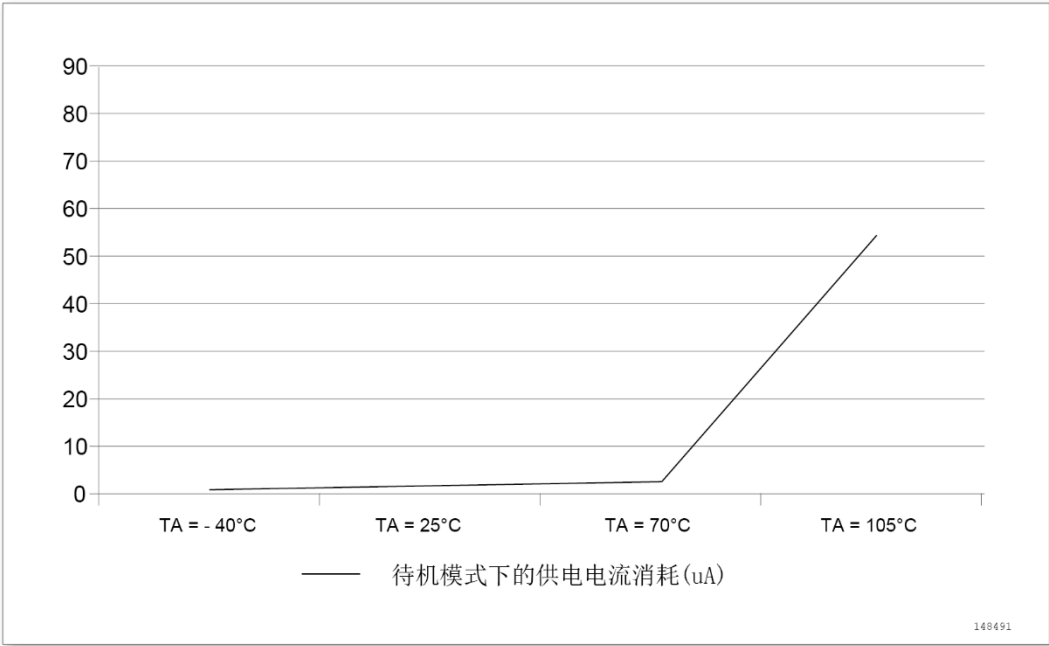


图 16 待机模式下的典型电流消耗在 $V_{DD} = 3.3V$ 时与温度的对比

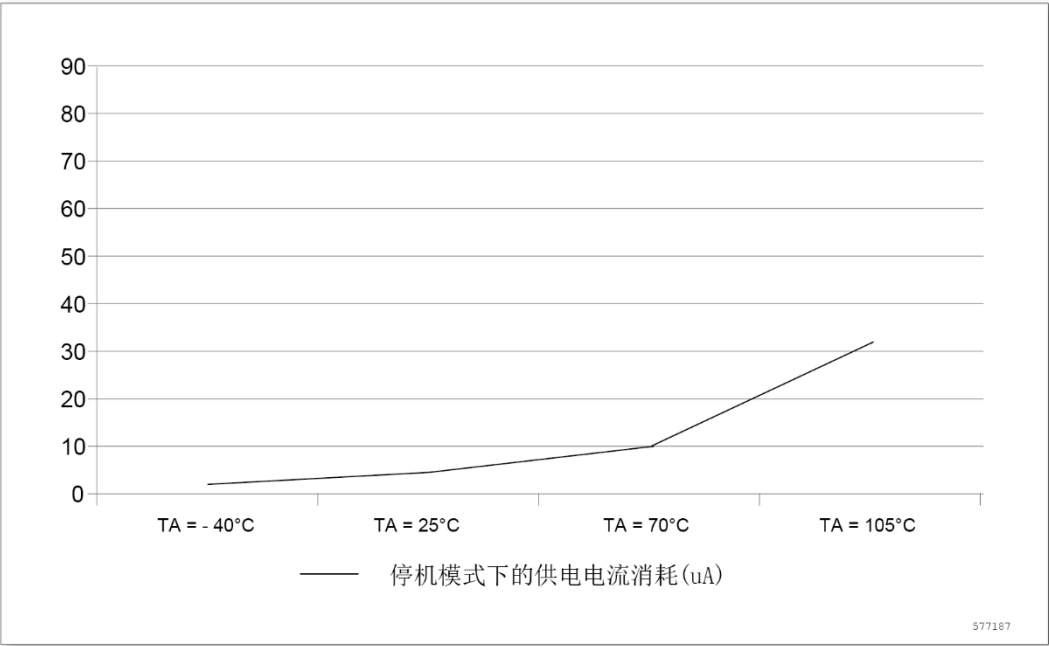


图 17 停机模式下的典型电流消耗在 $V_{DD} = 3.3V$ 时与温度的对比

内置外设电流消耗

内置外设的电流消耗列于表 19 内置外设的电流消耗⁽¹⁾，MCU 的工作条件如下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上— V_{DD} 或 V_{SS} （无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- 环境温度和 V_{DD} 供电电压条件列于表 12。

表 19 内置外设的电流消耗⁽¹⁾

符号	参数	总线	典型值	单位
I _{DD}	GPIOD	AHB	0.75	uA/MHz
	GPIOC		0.58	
	GPIOB		0.71	
	GPIOA		0.71	
	CRC		1.00	
	HWDIV		2.17	
	DMA		4.38	
	PWM	APB2	1.75	
	TIM17		3.29	
	TIM16		3.17	
	TIM14		3.17	
	COMP		0.58	
	SPI		7.92	
	TIM1		17.04	
	ADC		1.54	
	SYSCFG		0.37	
	UART1		5.38	
	PWR	APB1	0.79	
	I2C		9.58	
	WWDG		5.96	
	TIM3		8.83	
	TIM2		0.50	
	UART2		5.96	

1. f_{HCLK}=72MHz, f_{APB1}=f_{HCLK}/2, f_{APB2}=f_{HCLK}, 每个外设的预分频系数为默认值。

从低功耗模式唤醒的时间

下表列出的唤醒时间是在内部时钟 HSI 的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟所有的时间是使用环境温度和供电电压符合通用工作条件测量得到。

表 20 低功耗模式的唤醒时间

符号	参数	条件	典型值	单位
t _{WUSLEEP}	从睡眠模式唤醒	使用 HIS 振荡器时钟唤醒	4.2	μS
t _{WUSTOP}	从停机模式唤醒	HIS 振荡器时钟唤醒< 2μs	12	μS
t _{WUSTDBY}	从待机模式唤醒	HIS 振荡器时钟唤醒< 2μs 调压器从关闭模式唤醒时间 < 38μs	230	μS

4.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 21 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{HSE_ext}	用户外部时钟频率 ⁽¹⁾	-	2	8	24	MHz
V _{HSEH}	OSC_IN 输入引脚高电平电压	-	0.7V _{DD}	-	V _{DD}	V
V _{HSEL}	OSC_IN 输入引脚低电平电压	-	V _{SS}	-	0.3V _{DD}	V
t _w (HSE)	OSC_IN 高或低的时间 ⁽¹⁾	-	16	-	-	ns
t _r (HSE)	OSC_IN 上升的时间				20	ns
T _f (HSE)	OSC_IN 下降的时间				20	ns

符号	参数	条件	最小值	典型值	最大值	单位
$C_{in(HSE)}$	OSC_IN 输入容抗			5		pF
$DuCy_{(HSE)}$	占空比		45		55	%
I_L	OSC_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$			± 1	μA

1. 由设计保证，不在生产中测试。

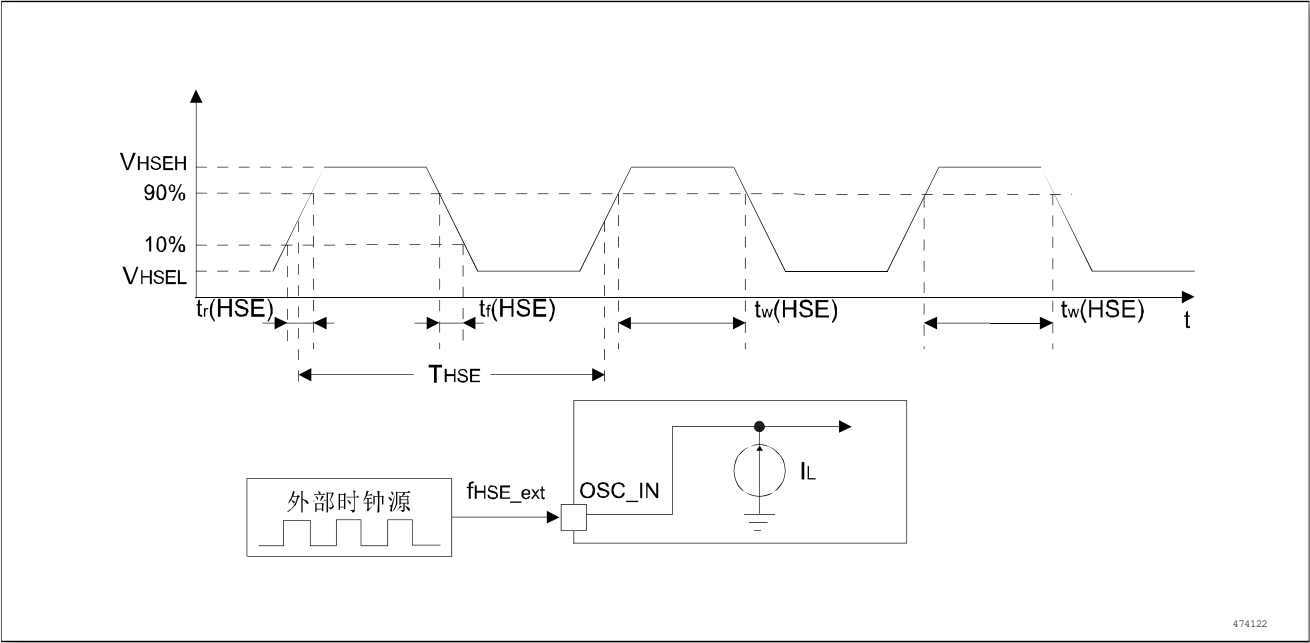


图 18 外部高速时钟源的交流时序图

使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HSE)可以使用一个 4~24MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。

表 22 HSE 8~24MHz 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率 ⁽²⁾	-	4	8	24	MHz
R_F	反馈电阻	-	-	1000	-	k Ω
C_{L1}/C_{L2} ⁽³⁾	建议的负载电容与对应的晶体串行阻抗 (R_S) ⁽⁴⁾	$R_S = 30 \Omega$	-	30	-	Ω
I_2	HSE 驱动电流	$V_{DD} = 3.3V$ $V_{IN} = V_{SS}$ 30pF 负载	-	-	4.5	mA
g_m	振荡器的跨导	启动	-	8.5	-	mA/V
$t_{SU(HSE)}$ ⁽⁵⁾	启动时间	V_{DD} 是稳定的	-	3	-	mS

- 1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
- 2. 由综合评估得出。
- 3. 对于 CL1 和 CL2，建议使用高质量的、为高频应用而设计的(典型值为)5pF~25pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 CL1 和 CL2 具有相同参数。晶体制造商通常以 CL1 和 CL2 的串行组合给出负载电容的参数。在选择 CL1 和 CL2 时，PCB 和 MCU 引脚的容抗应该考虑在内（可以粗略地把引脚与 PCB 板的电容按 10pF 估计）。

4. 相对较低的 R_F 电阻值，能够可以避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，如果 MCU 是应用在恶劣的潮湿条件时，设计时需要把这个参数考虑进去。
5. $t_{SU(HSE)}$ 是启动时间，是从软件使能 HSE 开始测量，直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

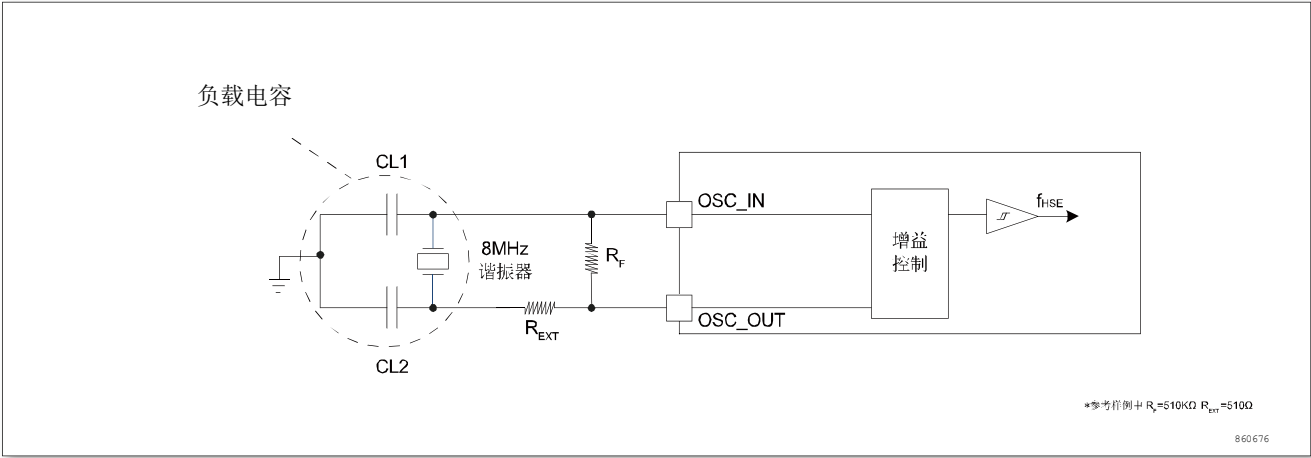


图 19 使用 8MHz 晶体的典型应用

4.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

高速内部(HSI)振荡器

表 23 HSI 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率	-	-	48/72	-	MHz
ACC_{HSI}	HSI 振荡器的精度	$T_A=-40^{\circ}C\sim105^{\circ}C$	-2.5	-	+2.5	%
		$T_A=-10^{\circ}C\sim105^{\circ}C$	-2		+2	%
		$T_A=25^{\circ}C$	-1	-	+1	%
$t_{SU(HSI)}$	HSI 振荡器启动时间	-	-	10	-	μS
$T_{stab(HSI)}$	HSI 振荡器稳定时间	-	-		-	μS
$I_{DD(HSI)}$	HSI 振荡器功耗	-	-	200	-	μA

1. $V_{DD}=3.3V$, $T_A=-40^{\circ}C\sim105^{\circ}C$ ，除非特别说明。
2. 由设计保证，不在生产中测试。

低速内部(LSI)振荡器

表 24 LSI 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$f_{LSI}^{(2)}$	频率	-	-	40	-	KHz
$t_{SU(LSI)}^{(3)}$	LSI 振荡器启动时间	-	-	-	100	μS
$t_{stab(LSI)}^{(3)}$	LSI 振荡器稳定时间	-	-	-		μS
$I_{DD(LSI)}^{(3)}$	LSI 振荡器功耗	-	-	1.1	1.7	μA

1. $V_{DD}=3.3V$, $T_A=-40^{\circ}C\sim105^{\circ}C$ ，除非特别说明。
2. 由综合评估得出。
3. 由设计保证，不在生产中测试。

4.3.8 存储器特性

表 25 Flash 存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	16 位的编程时间	-	-	28	-	μS

符号	参数	条件	最小值	典型值	最大值	单位
t _{ERASE}	页（1024 字节）擦除时间	-	-	8	10	mS
t _{ME}	整片擦除时间	-	-	30	40	mS
I _{DD}	平均电流消耗	读模式 40MHz	-	9	-	mA
	-	写模式	-	-	7	mA
	-	擦除模式	-	-	2	mA

表 26 Flash 存储器寿命和数据保存期限⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
N _{END}	擦写次数		20000	-	-	次
T _{DR}	数据保存	T _A =105℃	20	-	-	Years
		T _A =25℃	100	-	-	

4.3.9 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS（电磁敏感性）

当运行一个简单的应用程序时（通过 I/O 端口闪烁 2 个 LED），测试样品被施加 1 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。

- EFT：在 V_{DD} 和 V_{SS} 上通过一个 100pF 的电容施加一个瞬变电压的脉冲群（正向和反向）直到产生功能性错误。这个测试符合 IEC61000-4-4 标准。

芯片复位可以使系统恢复正常操作。测试结果列于下表中。

表 27 EMS 特性

符号	参数	条件	级别/类型
V _{FESD}	施加到任一 I/O 脚，从而导致功能错误的电压极限	V _{DD} =3.3V, T _A =+25℃, f _{HCLK} =72MHz。符合 IEC61000-4-2	2A
V _{FEFT}	在 V _{DD} 和 V _{SS} 上通过 100pF 的电容施加的导致功能错误的瞬变脉冲群电压极限。	V _{DD} =3.3V, T _A =+25℃, f _{HCLK} =72MHz。符合 IEC61000-4-4	2A

设计可靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏（控制寄存器等）

认证前的试验

很多常见的失效（意外的复位和程序计数器被破坏），可以通过人工的在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外

动作的地方，软件部分需要加强以防止发生不可恢复的错误。

4.3.10 功能性 EMS（电气敏感性）

基于三个不同的测试(ESD,LU)，使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电(ESD)

静电放电（一个正的脉冲然后间隔一秒钟后一个负的脉冲）施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关（3片 $x(n+1)$ 供电引脚）。这个测试符合 JEDECJS-001-2017/002-2018 标准。

静态栓锁

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。这个测试符合 EIA/JESD78E 集成电路栓锁标准。

表 28 ESD 特性

符号	参数	条件	级别	最大值	单位
VESD(HBM)	静电放电电压(人体模型)	TA=25°C, 符合 ESDA/JEDECJS-001-2017	2	±4000	V
VESD(CDM)	静电放电电压(充电设备模型)	TA=25°C, 符合 ESDA/JEDECJS-002-2018	C1	±500	V
ILU	静态栓锁类(Latch-upcurrent)	TA=25°C, 符合 JESD78E	IA	±100	mA

4.3.11 GPIO 端口通用输入/输出特性

除非特别说明，下表列出的参数是按照表 12 的条件测量得到。所有的 I/O 端口都是兼容 CMOS。

表 29 I/O 静态特性

SPEED	参数	条件	最小值	典型值	最大值	单位
V _{IL}	输入低电平电压	2.5V < VDD < 5.5V	-	-	0.3*VDD	V
V _{IH}	输入高电平电压	2.5V < VDD < 5.5V	0.7*VDD	-	-	V
V _{hy}	I/O脚施密特触发器电压迟滞 ⁽¹⁾	2.5V < VDD < 5.5V	-	0.1*VDD	-	V
I _{ikg}	输入漏电流 ⁽²⁾	2.5V < VDD < 5.5V	-1	-	1	μA
R _{PU}	弱上拉等效电阻 ⁽³⁾	2.5V < VDD < 5.5V	10	-	100	kΩ
R _{PD}	弱下拉等效电阻 ⁽³⁾	2.5V < VDD < 5.5V	10	-	100	kΩ
C _{IO}	I/O引脚的电容	-	-	-	10	pF

1. 由综合评估得出，不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
3. 上拉和下拉电阻是 MOS 电阻。

输出驱动电流

GPIO（通用输入/输出端口）可以吸收或输出多达±20mA 电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 4.2 节给出的绝对最大额定

值:

- 所有 I/O 端口从 V_{DD} 上获取的电流总和, 加上 MCU 在 V_{DD} 上获取的最大运行电流, 不能超过绝对最大额定值 I_{VDD} 。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和, 加上 MCU 在 V_{SS} 上流出的最大运行电流, 不能超过绝对最大额定值 I_{VSS} 。

输出电压

除非特别说明, 下表列出的参数是使用环境温度和 V_{DD} 供电电压符合表 12 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 的。

表 30 输出电压特性

SPEED	符号	参数	条件	最小值	典型值	最大值	单位
11 (50MHz)	$V_{OL}^{(1)}$	输出低电平	$ I_{IO} =6mA$, $V_{DD}=3.3V$			0.40	V
	$V_{OH}^{(2)}$	输出高电平		2.80			
	$V_{OL}^{(1)(3)}$	输出低电平	$ I_{IO} =8mA$, $V_{DD}=3.3V$			0.40	
	$V_{OH}^{(2)(3)}$	输出高电平		2.80			
	$V_{OL}^{(2)(3)}$	输出低电平	$ I_{IO} =20mA$, $V_{DD}=3.3V$			0.80	
	$V_{OH}^{(2)(3)}$	输出高电平		2.20			
10 (2MHz)	$V_{OL}^{(1)}$	输出低电平	$ I_{IO} =6mA$, $V_{DD}=3.3V$			0.40	
	$V_{OH}^{(2)}$	输出高电平		2.80			
	$V_{OL}^{(1)(3)}$	输出低电平	$ I_{IO} =8mA$, $V_{DD}=3.3V$			0.60	
	$V_{OH}^{(2)(3)}$	输出高电平		2.60			
	$V_{OL}^{(2)(3)}$	输出低电平	$ I_{IO} =20mA$, $V_{DD}=3.3V$			1.00	
	$V_{OH}^{(2)(3)}$	输出高电平		1.80			
01 (10MHz)	$V_{OL}^{(1)}$	输出低电平	$ I_{IO} =6mA$, $V_{DD}=3.3V$			0.60	
	$V_{OH}^{(2)}$	输出高电平		2.60			
	$V_{OL}^{(1)(3)}$	输出低电平	$ I_{IO} =8mA$, $V_{DD}=3.3V$			0.60	
	$V_{OH}^{(2)(3)}$	输出高电平		2.40			
	$V_{OL}^{(2)(3)}$	输出低电平	$ I_{IO} =20mA$, $V_{DD}=3.3V$			1.40	
	$V_{OH}^{(2)(3)}$	输出高电平					

1. 芯片吸收的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值, 同时 I_{IO} 的总和 (所有 I/O 脚和控制脚) 不能超过 I_{VSS} 。
2. 芯片输出的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值, 同时 I_{IO} 的总和 (所有 I/O 脚和控制脚) 不能超过 I_{VDD} 。
3. 由综合评估得出。

输入输出交流特性

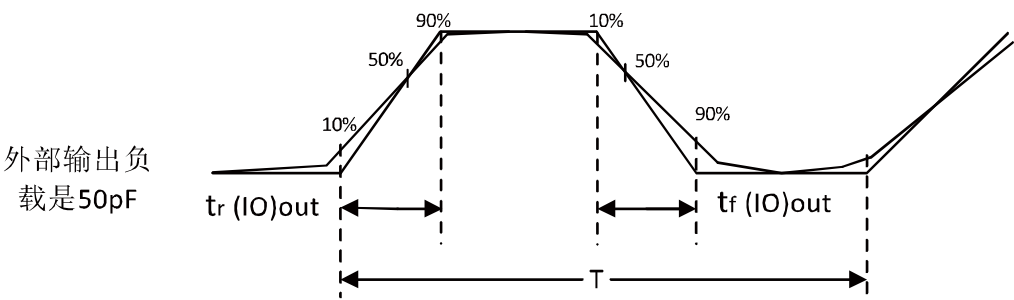
输入输出交流特性的定义和数值分别在图 21 和表 31 给出。

除非特别说明, 下表列出的参数是使用环境温度和供电电压符合通用工作条件表的条件测量得到。

表 31 输入输出交流特性⁽¹⁾⁽³⁾

SPEED[1:0] 的配置	符号	参数	条件	最小值	典型值	最大值	单位
11	$t_{f(I/O)out}$	输出高至低电平的下降时间	$C_L=50pF$ $V_{DD}=3.3V$		4.0		ns
	$t_{r(I/O)out}$	输出低至高电平的上升时间			5.0		ns
10	$t_{f(I/O)out}$	输出高至低电平的下降时间			5.0		ns
	$t_{r(I/O)out}$	输出低至高电平的上升时间			6.2		ns
01	$t_{f(I/O)out}$	输出高至低电平的下降时间			7.2		ns
	$t_{r(I/O)out}$	输出低至高电平的上升时间			11.0		ns

1. I/O 端口的速度可以通过 MODEx[1: 0]配置。参见本芯片参考手册中有关 GPIO 端口配置寄存器的说明。
2. 最大频率在图 21 中定义。
3. 由设计保证, 不在生产中测试。



如果 $((t_r + t_f) \leq 2/3)T$ ，并且占空比是(45 ~ 55%)
当负载为50pF时，达到最大的频率。

868304

图 20 输入输出交流特性定义

4.3.12 NRST 引脚特性

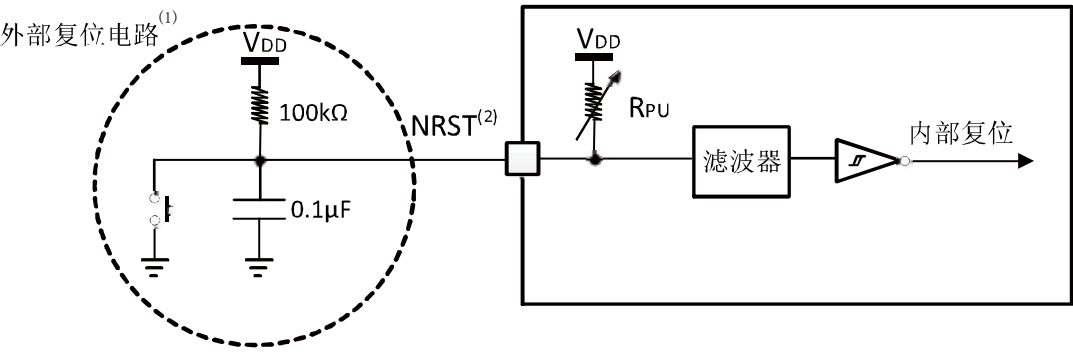
NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻，RPU。

除非特别说明，下表列出的参数是使用环境温度和 VDD 供电电压符合表 12 的条件测量得到。

表 32 NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST 输入低电平电压		-0.3	-	$0.3 \cdot V_{DD}$	V
$V_{IH(NRST)}^{(1)}$	NRST 输入高电平电压		$0.7 \cdot V_{DD}$	-	VDD	V
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞		-	$0.1 \cdot V_{DD}$	-	V
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN}=V_{SS}$	-	50		kΩ

- 1. 由设计保证，不在生产中测试。
- 2. 上拉和下拉电阻是 MOS 电阻。



368560

图 21 建议的 NRST 引脚保护

- 1. 复位网络是为了防止寄生复位。
- 2. 用户必须保证 NRST 引脚的电位能够低于表 32 中列出的最大 VIL(NRST)以下，否则 MCU 不能得到复位。

4.3.13 TIM 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚（输出比较、输入捕获、外部时钟、PWM 输出）的特性详情，参见小节 4.3.12。

表 33 TIMx⁽¹⁾特性

符号	参数	条件	最小值	最大值	单位
t _{res} (TIM)	定时器分辨率时间	-	1	-	t _{TIMxCLK}
		f _{TIMxCLK} =24MHz	41.6	-	nS
f _{EXT}	CH1 至 CH4 的定时器外部时钟频率	-	0	f _{TIMxCLK}	MHz
		f _{TIMxCLK} =24MHz	0	24	
Re _{STIM}	定时器分辨率	-	-	16	位
t _{COUNTER}	16 位计数器时钟周期	-	1	65536	t _{TIMxCLK}
		f _{TIMxCLK} =24MHz	0.0417	2732	μS
t _{MAX_COUNT}	最大可能的计数 (TIM_PSC 可调)	-	-	65536*65536	t _{TIMxCLK}
		f _{TIMxCLK} =24MHz	-	178.9	S

4.3.14 通信接口

I2C 接口特性

除非特别说明，表 34 列出的参数是使用环境温度，f_{PCLK1} 频率和 VDD 供电电压符合表 12 的条件测量得到。

I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是“真开漏”的引脚，当配置为开漏输出时，在引出脚和 VDD 之间的 PMOS 管被关闭，但仍然存在。

I2C 接口特性列于表 34，有关输入输出复用功能引脚（SDA 和 SCL）的特性详情，参见小节 4.3.12。

表 34 I2C 接口特性

符号	参数	标准 I2C ⁽¹⁾		快速 I2C ⁽¹⁾		单位
		最小值	最大值	最小值	最大值	
t _w (SCLL)	SCL 时钟低时间	4.7	-	1.3	-	μs
t _w (SCLH)	SCL 时钟高时间	4.0	-	0.6	-	μs
t _{su} (SDA)	SDA 建立时间	250	-	100	-	ns
t _h (SDA)	SDA 数据保持时间	0 ⁽³⁾	-	0 ⁽⁴⁾	900 ⁽³⁾	ns
t _r (SDA) t _r (SCL)	SDA 和 SCL 上升时间	-	1000	2.0+0.1C _b	300	ns
t _f (SDA) t _f (SCL)	SDA 和 SCL 下降时间	-	300	-	300	ns
t _h (STA)	开始条件保持时间	4.0	-	0.6	-	μs
t _{su} (STA)	重复的开始条件建立时间	4.7	-	0.6	-	μs

符号	参数	标准 I2C ⁽¹⁾		快速 I2C ⁽¹⁾		单位
		最小值	最大值	最小值	最大值	
$t_{su} (STO)$	停止条件建立时间	4.0	-	0.6	-	μs
t_w (STO:STA)	停止条件至开始条件的时间 (总线空闲)	4.7	-	1.3	-	μs
C_b	每条总线的容性负载	-	400	-	400	pF

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I2C 的最大频率， f_{PCLK1} 必须大于 3MHz。为达到快速模式 I2C 的最大频率， f_{PCLK1} 必须大于 12MHz。
3. 如果不要求拉长 SCL 信号的低电平时间，则只需满足开始条件的最大保持时间。
4. 为了跨越 SCL 下降沿未定义的区域，在 MCU 内部必须保证 SDA 信号上至少 300nS 的保持时间。

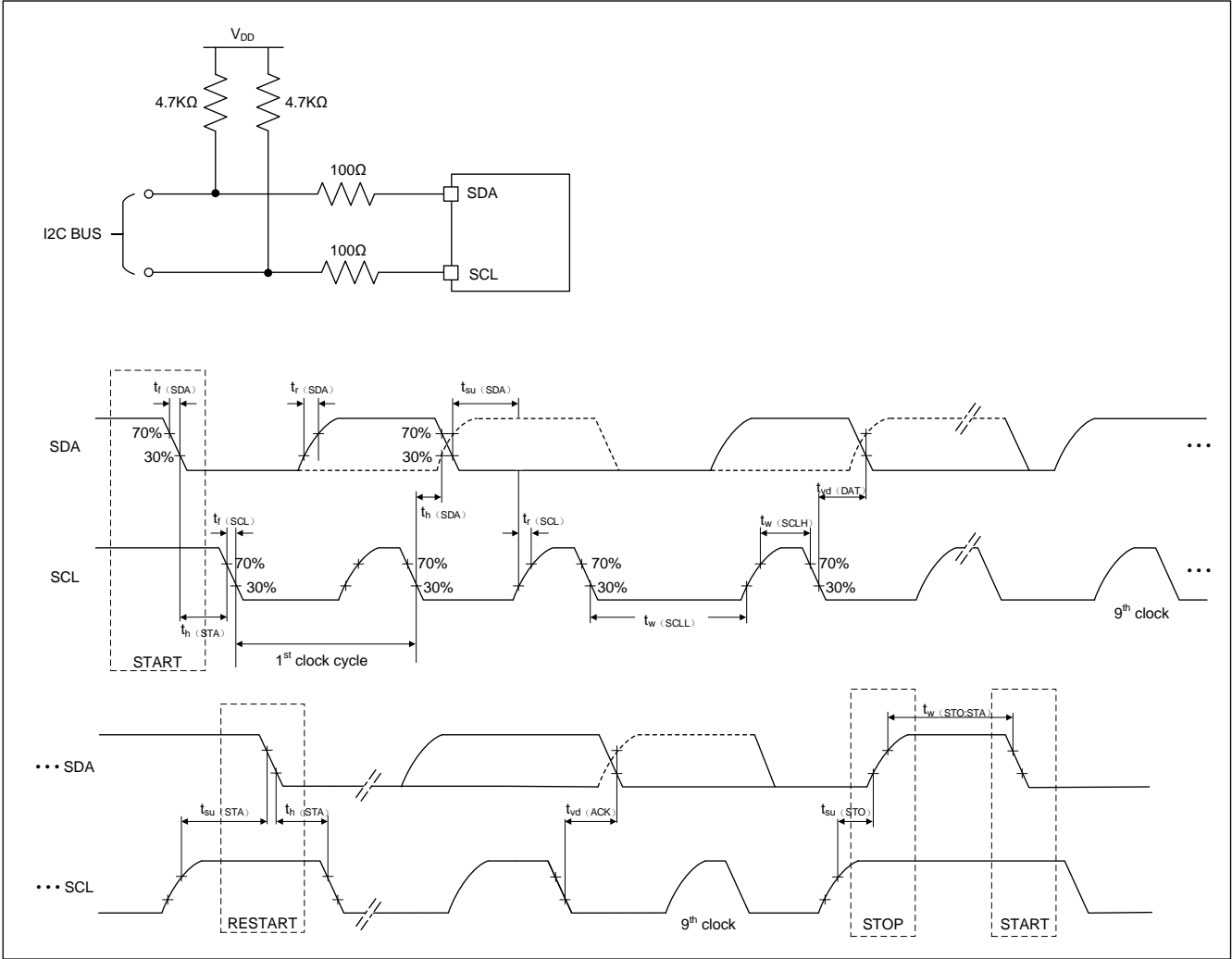


图 22 I2C 总线交流波形和测量电路(1)

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

SPI 接口特性

除非特别说明，表 35 列出的参数是使用环境温度， f_{PCLKx} 频率和 VDD 供电电压符合表 12 的条件测量得到。

有关输入输出复用功能引脚（NSS、SCK、MOSI、MISO）的特性详情，参见小节 4.3.11。

表 35 SPI 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
$f_{SCK1}/t_{c(SCK)}$	SPI 时钟频率	主模式	0	36	MHz
		从模式	0	18	
$t_r(SCK)$	SPI 时钟上升时间	负载电容: C=15pF	-	8	ns
$t_f(SCK)$	SPI 时钟下降时间	负载电容: C=15pF	-	8	nS
$t_{su(NSS)}^{(1)}$	NSS 建立时间	从模式	$4t_{PCLK}$	-	nS
$t_{h(NSS)}^{(1)}$	NSS 保持时间	从模式	73	-	nS
$t_{w(SCKH)}^{(1)}$	SCK 电平为高的时间	主模式, $f_{PCLK} = 36\text{Mhz}$ 预分频系数 = 4	50	60	nS
$t_{w(SCKL)}^{(1)}$	SCK 电平为低的时间	主模式, $f_{PCLK} = 36\text{Mhz}$ 预分频系数 = 4	50	60	nS
$t_{su(MI)}^{(1)}$	数据输入建立时间	主模式	-	-	nS
$t_{su(SI)}^{(1)}$		从模式	1	-	nS
$t_{h(MI)}^{(1)}$	数据输入保持时间	主模式	-	-	nS
$t_{h(SI)}^{(2)}$		从模式	3	-	nS
$t_{a(SO)}^{(2)(3)}$	数据输出访问时间	从模式, $f_{PCLK}=36\text{Mhz}$ 预分频系数 = 4	0	55	nS
		从模式, $f_{PCLK}=24\text{Mhz}$		$4 \cdot t_{PCLK}$	nS
$t_{dis(SO)}^{(2)(4)}$	数据输出禁止时间	从模式	10		nS
$t_{v(MO)}^{(2)(1)}$	数据输出有效时间	主模式 (使能边沿之后)	-	3	nS
$t_{v(SO)}^{(2)(1)}$		从模式 (使能边沿之后)	-	25	nS
$t_{h(MO)}^{(2)}$	数据输出保持时间	主模式 (使能边沿之后)	4		nS
$t_{h(SO)}^{(2)}$		从模式 (使能边沿之后)	25		nS

1. 由综合评估得出。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

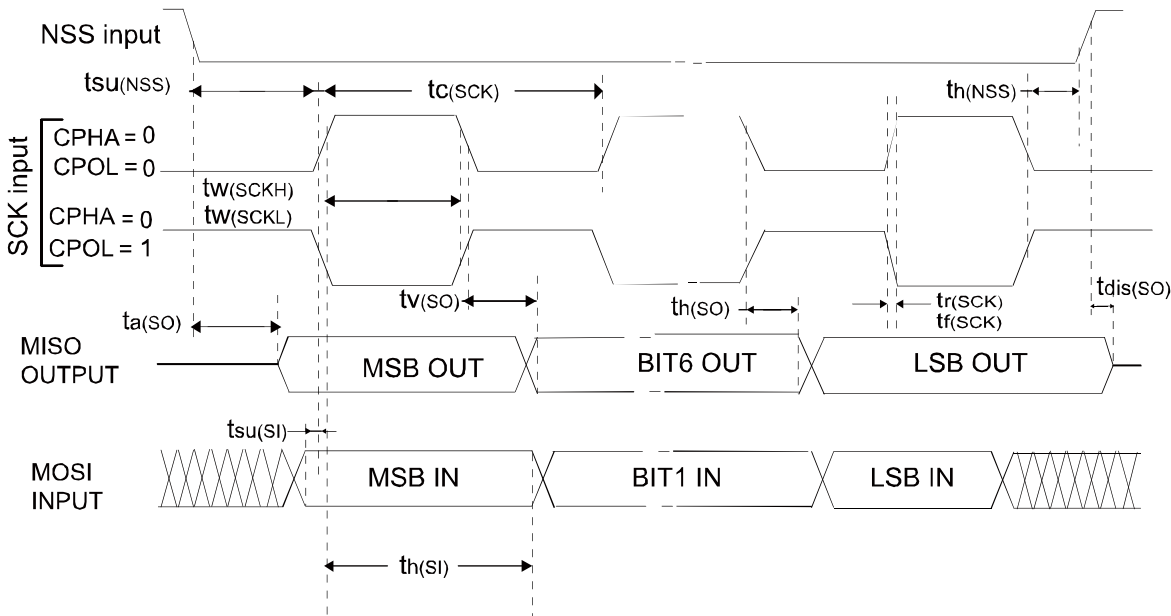


图 23 SPI 时序图-从模式和 CPHA=0,CPHASEL=1

679527

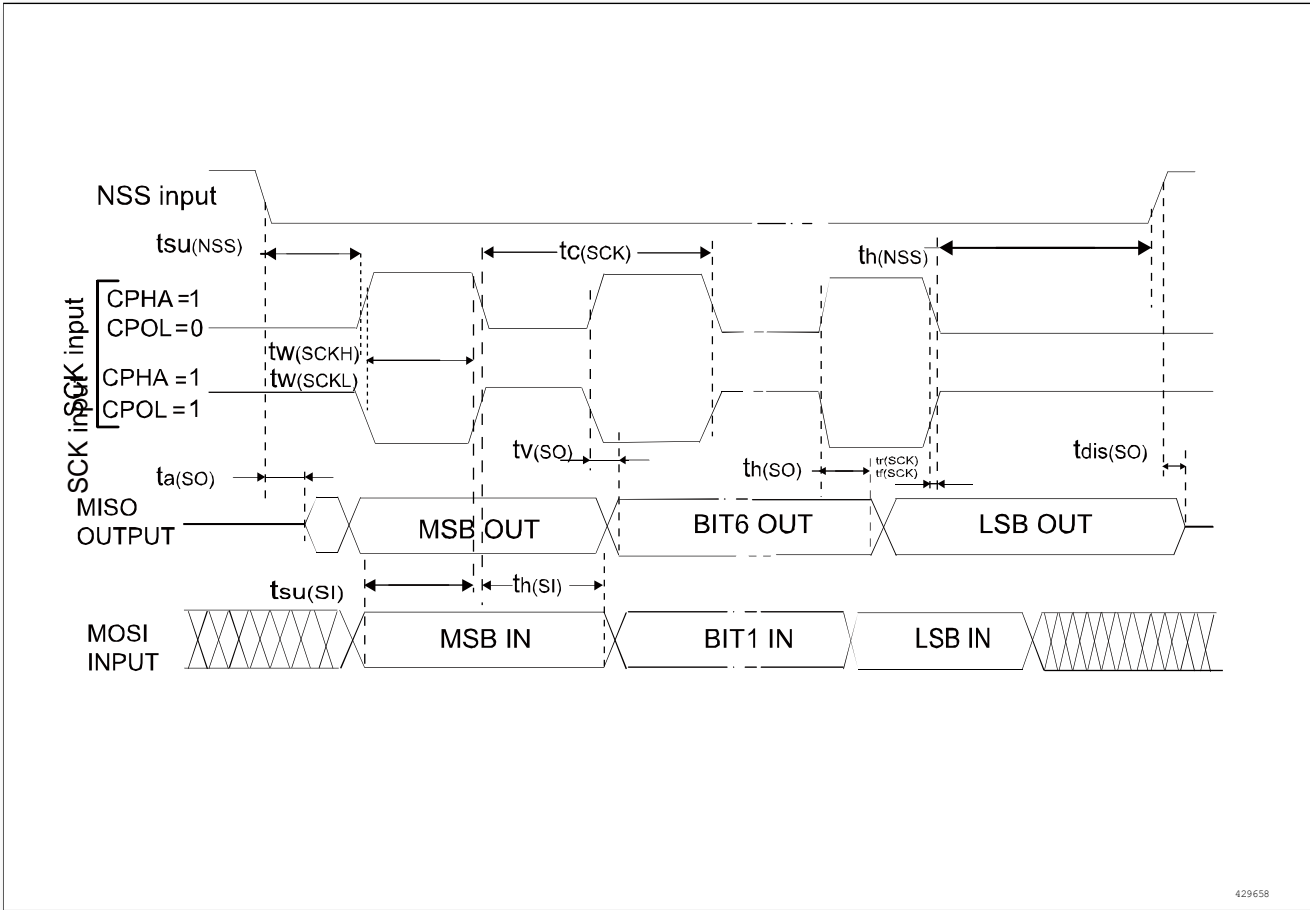


图 24 SPI 时序图-从模式和 CPHA=1,CPHASEL=1(1)

1. 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$ 。

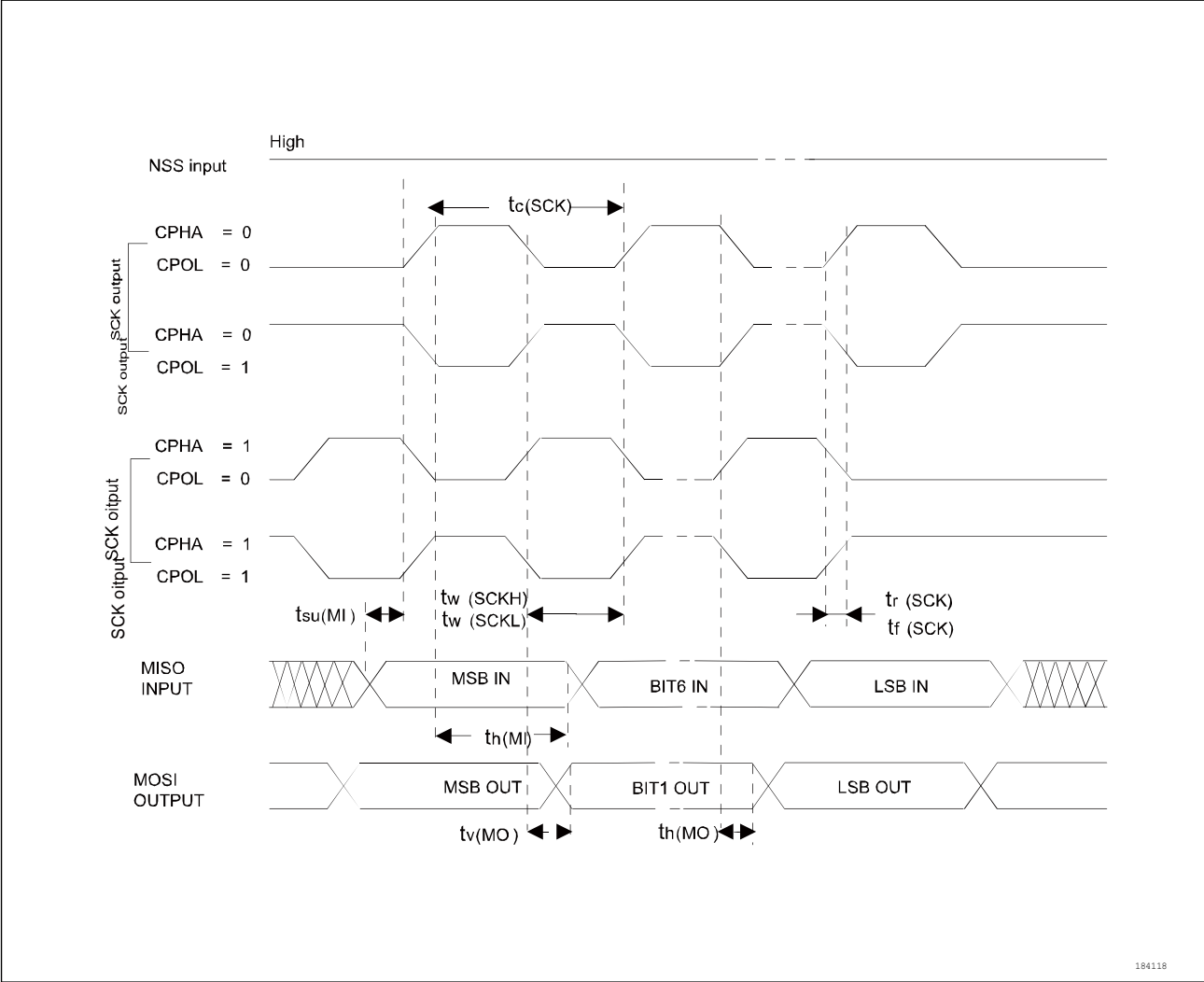


图 25 SPI 时序图-主模式(1)

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

4.3.15 ADC 特性

除非特别说明，下表的参数是使用符合通用工作条件表中的环境温度、f_{PCLK2} 频率和 V_{DDA} 供电电压测量得到。

表 36 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	供电电压	-	2.5	3	5.5	V
f _{ADC}	ADC 时钟频率	-	-	-	15 ⁽¹⁾	MHz
f _S ⁽²⁾	采样速率	-	-	-	1	MHz
f _{TRIG} ⁽²⁾	外部触发频率	12bits;f _{ADC} =15MHz	-	-	823	kHz
		12bits	-	-	1/17	1/f _{ADC}
V _{AIN} ⁽²⁾	转换电压范围 ⁽³⁾	-	V _{SSA}	-	V _{DDA}	V
R _{AIN} ⁽²⁾	外部输入阻抗	-	参考公式 1 和 表 37			kΩ
R _{ADC} ⁽²⁾	采样开关电阻	-	-	-	1	kΩ
C _{ADC} ⁽²⁾	内部采样和保持电容	-	-	10	-	pF
t _S ⁽²⁾	采样时间	f _{ADC} = 15MHz	0.1	-	16	μS
			1.5	-	239.5	1/f _{ADC}
t _{STAB} ⁽¹⁾	上电时间	-	-	1	-	μS

符号	参数	条件	最小值	典型值	最大值	单位
T _{conv} ⁽²⁾	总的转换时间 (包括采样时间)	f _{ADC} = 15MHz	1		16.9	μS
			15~253(采样 ts+逐步逼近 13.5)			1/f _{ADC}

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 在该系列产品中，V_{REF+}在内部连接到 V_{DDA}，V_{REF-}在内部连接到 V_{SSA}。
4. 由设计保证，不在生产中测试。
5. 对于外部触发，必须在时延中加上一个延迟 1/f_{ADC}。

输入阻抗列表

$$R_{AIN} < \frac{TS}{f_{ADC} \times C_{ADC} \times \ln(2^{n+2})} - R_{ADC}$$

上述公式（公式 1）用于决定最大的外部阻抗，使得误差可以小于 1/4LSB。其中 N=12（表示 12 位分辨率）。

表 37 f_{ADC}=15MHz⁽¹⁾时的最大 R_{AIN}

T _s (周期)	ts (μS)	最大 R _{AIN} (kΩ)
1.5	0.1	0.1
7.5	0.5	4.0
13.5	0.9	7.8
28.5	1.9	17.5
41.5	2.76	25.9
55.5	3.7	34.9
71.5	4.77	45.2
239.5	16.0	153.4

1. 由设计保证，不在生产中测试。

表 38 ADC 静态参数⁽¹⁾⁽²⁾

符号	参数	条件	典型值	最大值	单位
ET	综合误差	f _{PCLK2} =60MHz, f _{ADC} =15MHz, R _{AIN} <10kΩ, V _{DDA} =3.3V, T _A =25°C	±10	±14	LSB
EO	偏移误差		±4	±10	
EG	增益误差		±6	±8	
ED	微分线性误差		±2	±4	
EL	积分线性误差		±4	±6	

1. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。如果正向的注入电流，只要处于小节 4.2 中给出的 I_{INJ}(PIN)和 ΣI_{INJ}(PIN)范围之内，就不会影响 ADC 精度。
2. 由综合评估保证，不在生产中测试。
3. ET=总未调整误差：实际和理想传输曲线间的最大偏离。
4. EO=偏移误差：第一次实际转换和第一次理想转换间的偏离。
5. EG=增益误差：最后一次理想转换和最后一次实际转换间的偏离。
6. ED=微分线性误差：实际步进和理想值间的最大偏离。
7. EL=积分线性误差：任何实际转换和端点相关线间的最大偏离。

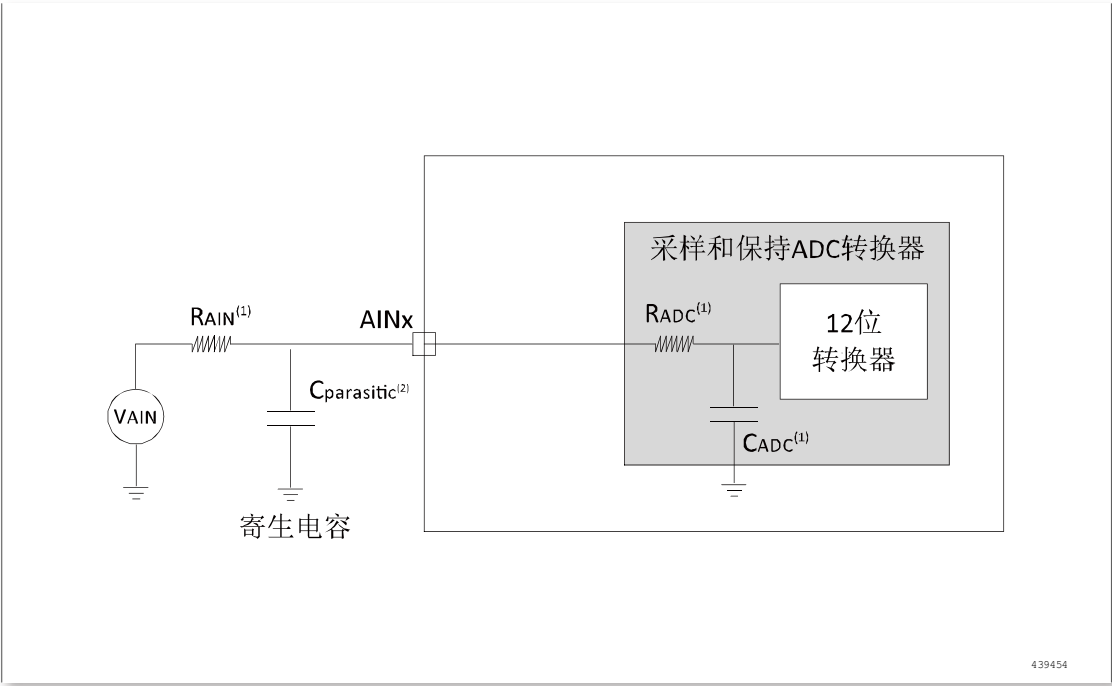


图 26 使用 ADC 典型的连接图

- 1. 有关 RAIN、RADc 和 CADc 的数值，参见表 38。
- 2. Cparasitic 表示 PCB(与焊接和 PCB 布局质量相关)与焊盘上的寄生电容(大约 7pF)。较大的 Cparasitic 数值将降低转换的精度，解决的办法是减小 fADC。

PCB 设计建议

电源的去耦必须按照下图连接。图中的 10nF 电容必须是瓷介电容，它们应该尽可能地靠近 MCU 芯片。

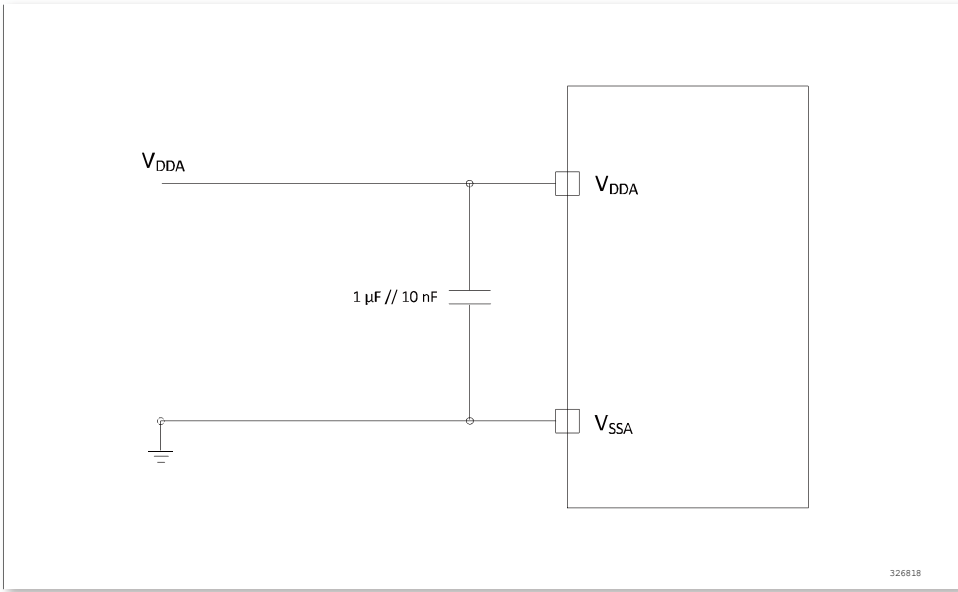


图 27 供电电源和参考电源去耦线路

4.3.16 温度传感器特性

表 39 温度传感器特性⁽³⁾⁽⁴⁾

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	± 5	-	$^{\circ}C$
$Avg_Slope^{(1)}$	平均斜率	4.571	4.801	5.984	$mV/^{\circ}C$
$V_{25}^{(1)}$	在 $25^{\circ}C$ 时的电压	1.433	1.451	1.467	V
$t_{START}^{(2)}$	建立时间	-	-	10	μS
$t_{S_temp}^{(2)}$	当读取温度时, ADC 采样时间	10	-	-	μS

1. 由综合评估保证, 不在生产中测试。
2. 由设计保证, 不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。
4. $V_{DD}=3.3V$ 。
5. 温度公式: $TS_adc=25+(value*vdda-offset*3300)/(4096*Avg_slope)$, offset 记录于 0x1FFFF7F6 低 12 位中。

4.3.17 比较器特性

表 40 比较器特性

比较器特性						
符号	参数	寄存器配置	最小值	典型值	最大值	单位
t_{HYST}	迟滞	00	-	0	-	mV
		01	-	15	-	mV
		10	-	30	-	mV
		11	-	90	-	mV
V_{OFFSET}	失调电压	00	0.091	0.213	0.358	mV
		01	3.23	7.51	12.08	mV
		10	9.79	15	20.8	mV
		11	34.25	47.4	62.22	mV
$t_{DELAY}^{(1)}$	传播延时	00	-	80	-	ns
		01	-	51	-	ns
		10	-	26	-	ns
		11	-	9	-	ns
$I_q^{(2)}$	工作电流均值	00	-	4.5	-	μA
		01	-	4.4	-	μA
		10	-	4.4	-	μA
		11	-	4.4	-	μA

1. 输出翻转 50%与输入翻转的时间差。
2. 总消耗电流均值, 工作电流。

5

封装特性

5.1 封装 LQFP48

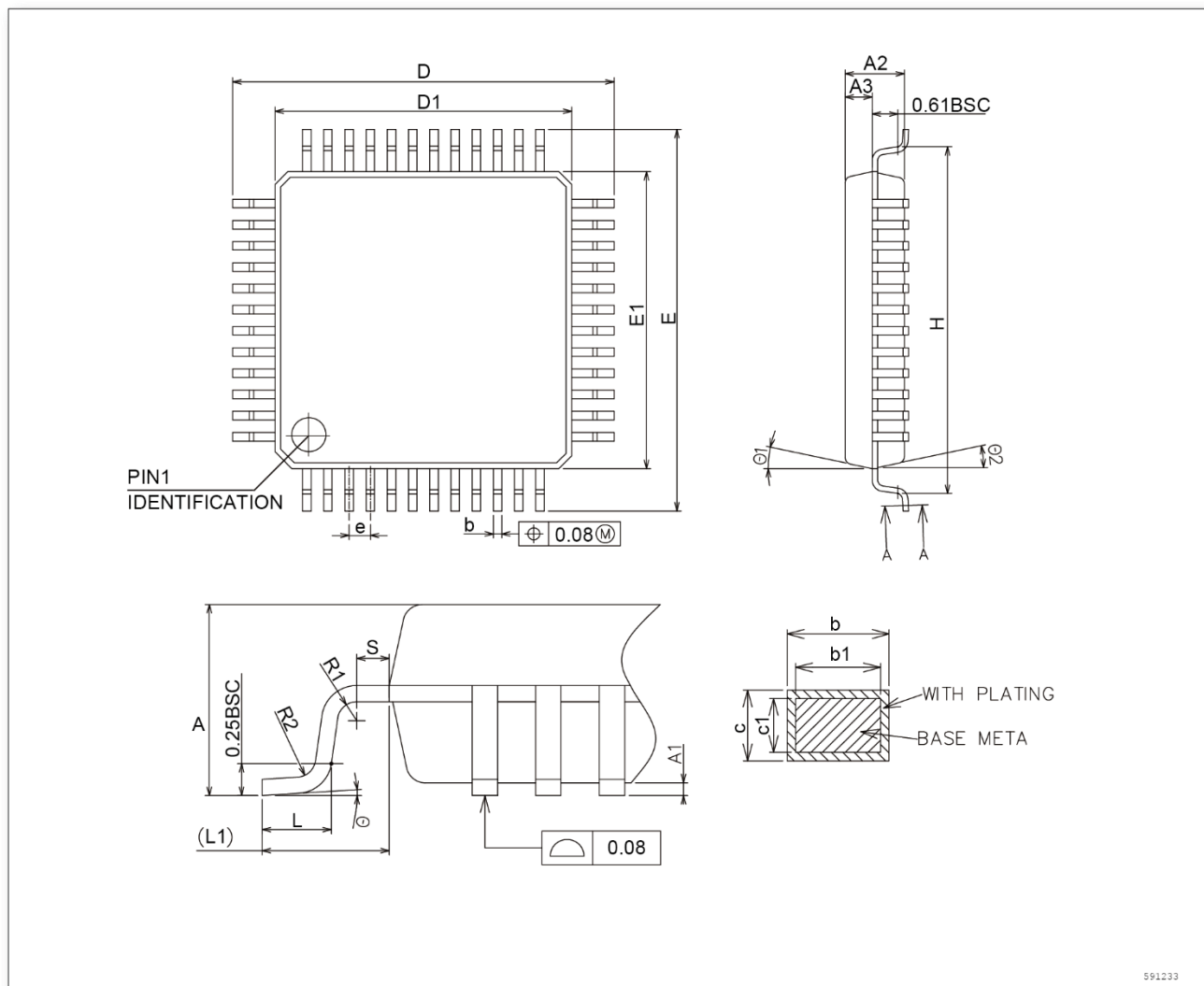


图 28 LQFP48,48 脚低剖面方形扁平封装图

- 1.图不是按照比例绘制。
- 2.尺寸单位为毫米。

表 41 LQFP48 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	-	-	1.6
A1	0.05	-	0.15
A2	1.35	1.4	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.12	0.127	0.134
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	-	-
R2	0.08	-	0.2
S	0.2	-	-
θ	0°	3.5°	7°
θ1	0°	-	-
θ2	11°	12°	13°
θ3	11°	12°	13°

5.2 封装 LQFP32

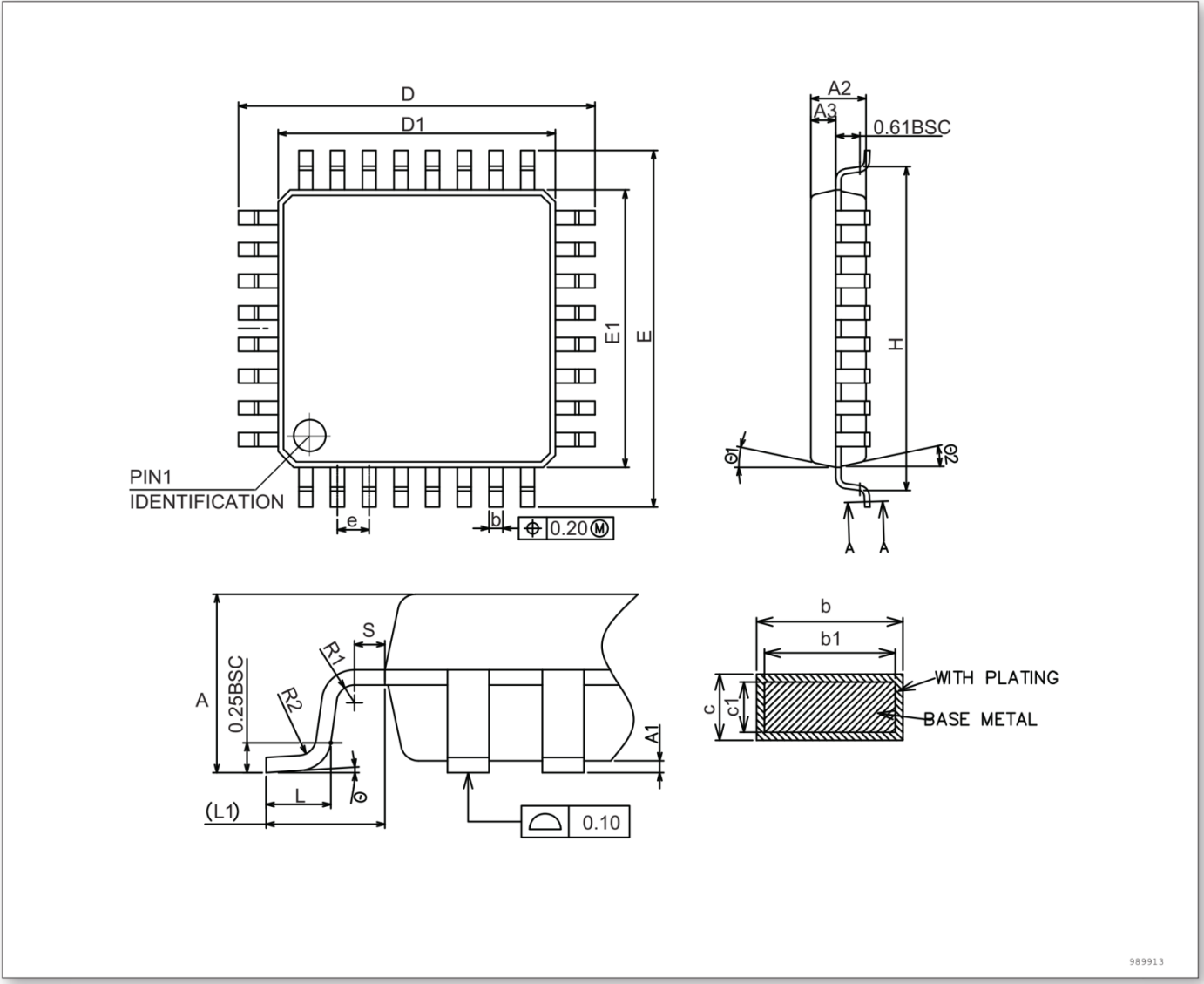


图 29 LQFP32,32 脚低剖面方形扁平封装图

- 1.图不是按照比例绘制。
- 2.尺寸单位为毫米。

表 42 LQFP32 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A			1.6
A1	0.05		0.15
A2	1.35	1.4	1.45
A3	0.59	0.64	0.69
b	0.32		0.43
b1	0.31	0.35	0.39
c	0.13		0.18
c1	0.12	0.127	0.134
D	8.8	9	9.2
D1	6.9	7	7.1
E	8.8	9	9.2
E1	6.9	7	7.1
e	0.8		
L	0.45	0.6	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08		
R2	0.08		0.2
S	0.2		
θ	0 °	3.5 °	7 °
θ1	11 °	12 °	13 °
θ2	11 °	12 °	13 °

5.3 封装 QFN32

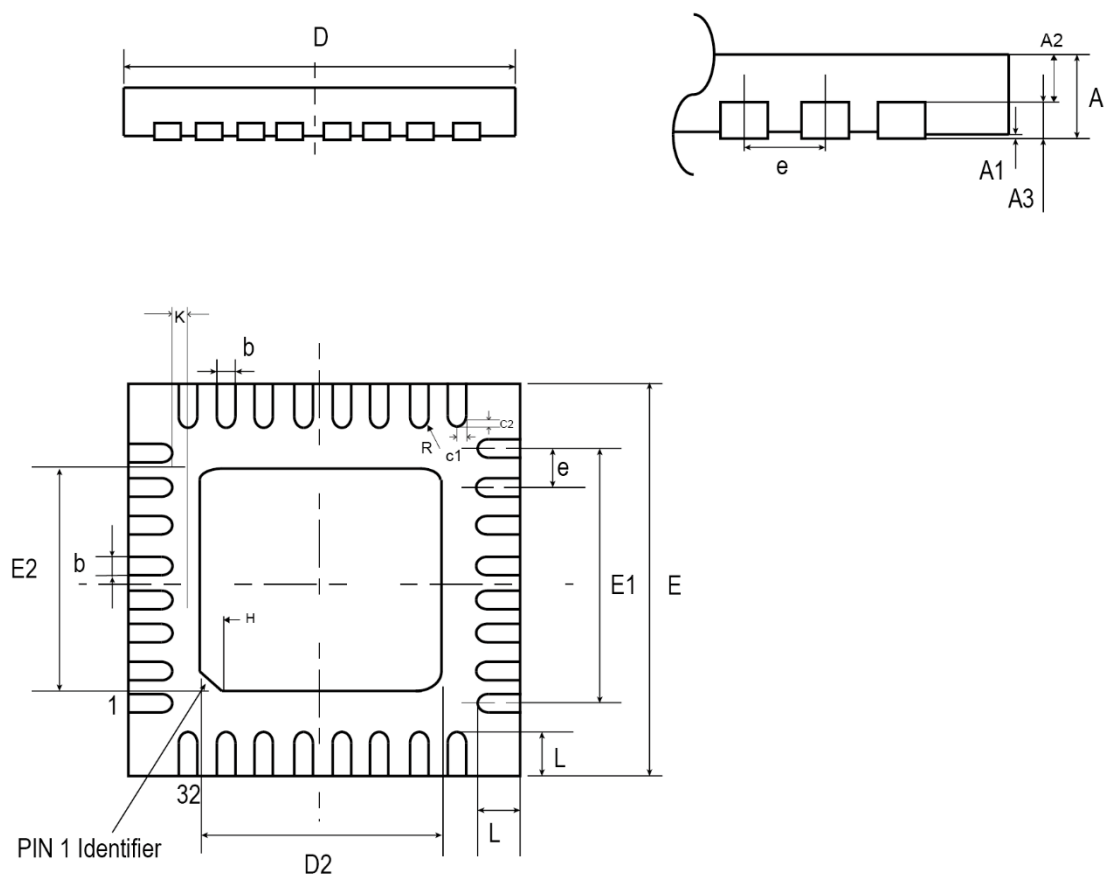


图 30 QFN32,32 脚低剖面方形扁平封装图

表 43 QFN32 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A2	0.50	0.55	0.60
A3	0.20REF		
b	0.20	0.25	0.30
c1	-	0.08	-
c2	-	0.08	-
D	4.90	5.00	5.10
E	4.90	5.00	5.10
D2	3.40	3.50	3.60
E2	3.40	3.50	3.60
e		0.50	
H	0.30REF		
K	0.35REF		
L	0.35	0.40	0.45
R	0.09	-	-

5.4 封装 QFN20

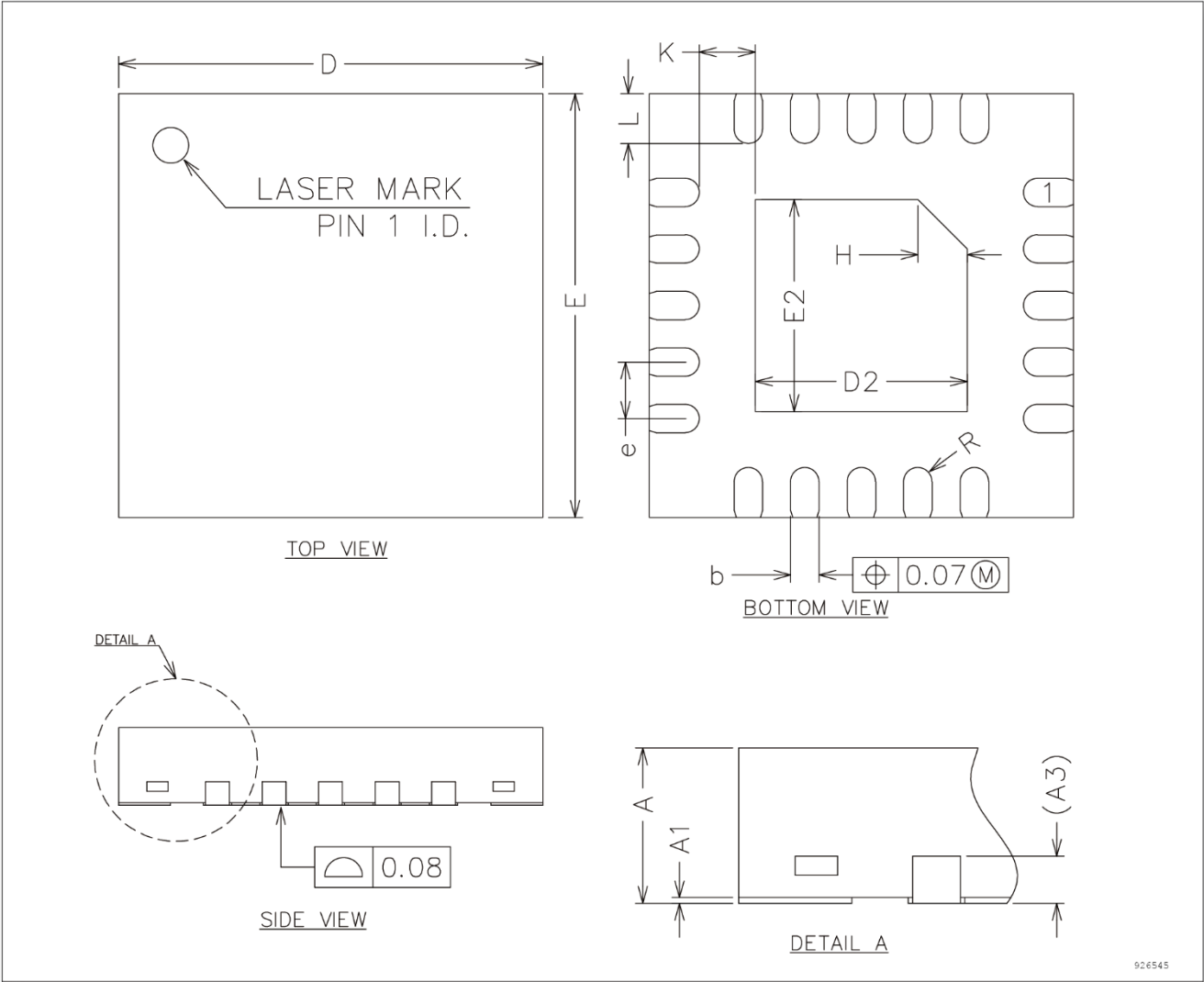


图 31 QFN20 脚低剖面方形扁平封装图

- 1.图不是按照比例绘制。
- 2.尺寸单位为毫米。

表 44 QFN20 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	0.50	55	0.60
A1	0.00	0.02	0.05
A3	0.152REF		
b	0.15	0.20	0.25
D	2.90	3.00	3.10
E	2.90	3.00	3.10
D2	1.40	1.50	1.60
E2	1.40	1.50	1.60
e	0.30	0.40	0.50
H	0.35REF		
K	0.40REF		
L	0.25	0.35	0.45
R	0.075		
N	引脚数目 = 20		

5.5 封装 TSSOP20

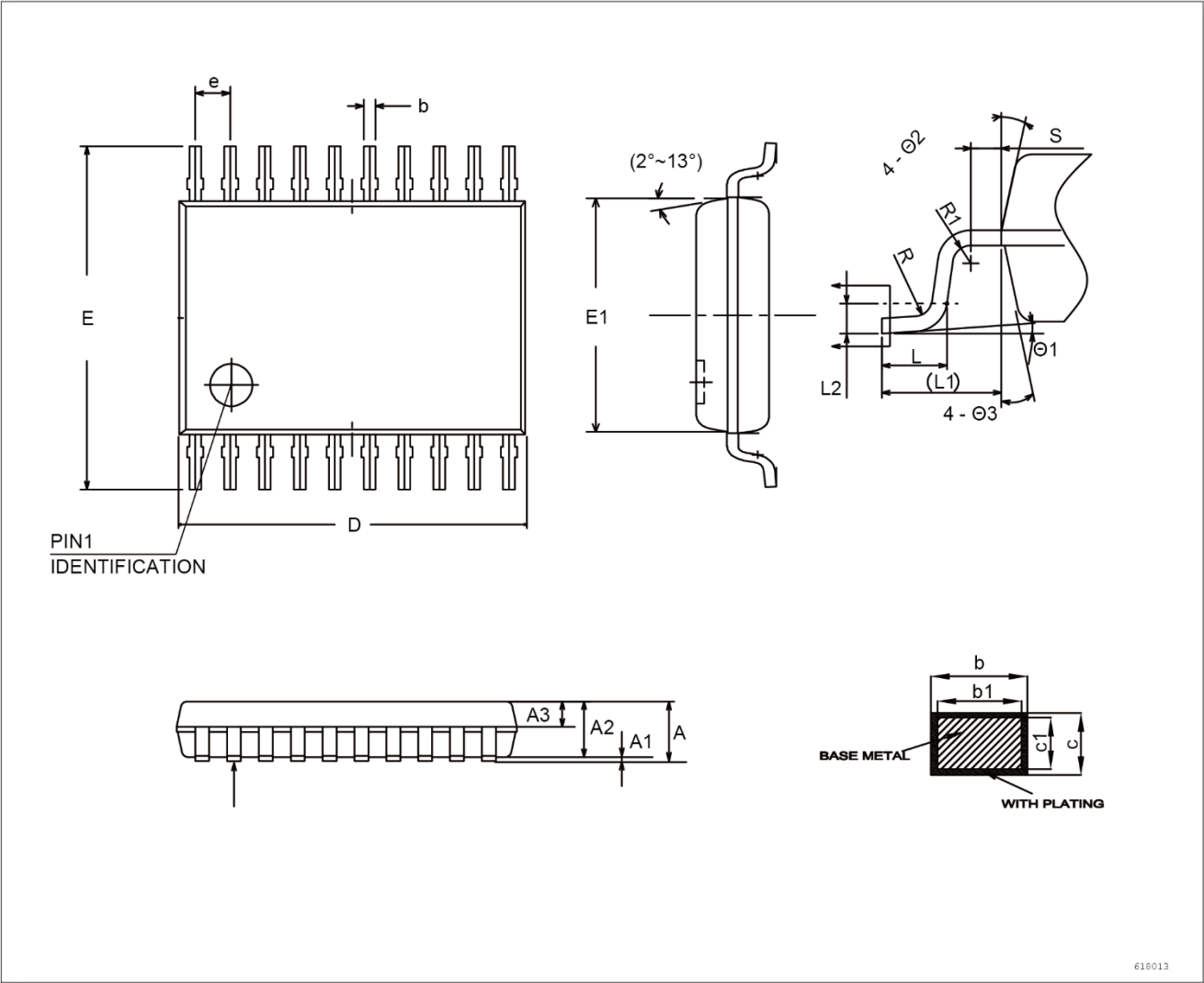


图 32 TSSOP20,20 脚低剖面方形扁平封装图

表 45 TSSOP20 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	1.0	-	1.10
A1	0.05	-	0.15
A2	-	-	0.95
A3	0.39	-	0.40
b	0.20	0.22	0.24
c	0.10	-	0.19
c1	0.10	-	0.15
D	6.40	6.45	6.50
E	6.25	6.40	6.55
E1	-	4.35	4.40
e	0.55	0.65	0.75
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R	0.09	-	-
θ1	0°	-	8°

6 产品命名规则

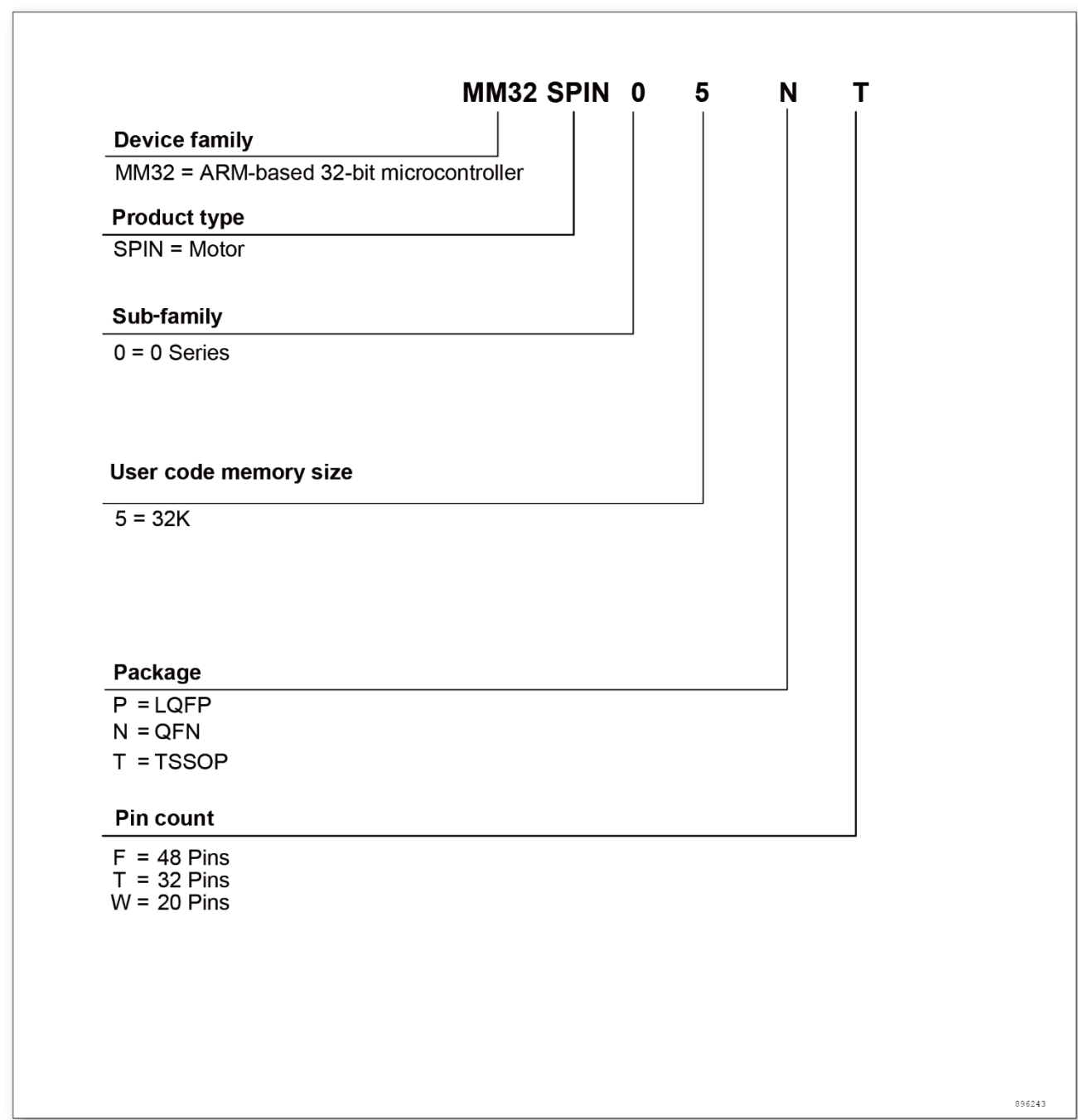


图 33 MM32 型号命名

修订记录

日期	版本	内容
2018/08/04	Rev1.00	初版
2018/08/26	Rev1.01	修改引脚定义
2018/10/11	Rev1.02	修改电气特性
2018/11/12	Rev1.03	修改描述
2018/11/13	Rev1.04	修改描述
2018/12/14	Rev1.05	修改 ADC 描述
2019/01/07	Rev1.06	修改 ADC 电压参数特性。
2019/01/10	Rev1.07	添加 QFN20 封装。
2019/03/06	Rev1.08	修改封装参数。
2019/03/11	Rev1.09	修改封装参数。
2019/05/05	Rev1.10	修改引脚定义。
2019/07/08	Rev1.11	修改选型表中 ADC 参数。
2019/07/26	Rev1.12	修改选型表。
2020/01/17	Rev1.13	修改典型电流消耗参数。
2020/04/07	Rev1.14	修改高速内部振荡器特性参数。
2020/05/10	Rev1.15	修改电气特性参数。
2020/08/27	Rev1.16	修改引脚定义 AF 参数。
2021/09/08	Rev1.17	修改 IO 静态特性。
2021/09/30	Rev1.18	修改温度特性。
2021/11/10	Rev1.19	修改高速内部振荡器特性参数。
2022/01/12	Rev1.20	修改 PD；增加热特性。
2022/01/21	Rev1.21	修改电压特性最大值。
2022/06/06	Rev1.22	更新 IO 参数；表 14 增加注释 1，NRST 引脚保护图中 0.1uF 电容改成 1uF
2022/08/24	Rev1.23	更新上电和掉电时的工作条件参数。
2023/03/06	Rev1.24	更新电参数