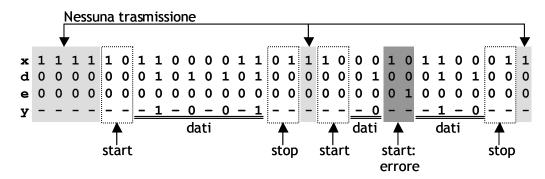
TEMA D'ESAME

Domanda A

Progettare una macchina a stati di Mealy per il controllo dell'interfaccia di un semplice bus seriale sincrono definito dalla seguente specifica. Il controllore riceve in ingresso il segnale seriale \mathbf{x} , sincronizzato dal segnale di clock, e produce in uscita un segnale di stato \mathbf{d} , un segnale di errore \mathbf{e} ed un segnale di dati \mathbf{y} . Il segnale \mathbf{d} vale 1 quando il controllore sta ricevendo dati validi e vale zero in tutti gli altri casi. Quando $\mathbf{d}=1$ il segnale di uscita \mathbf{y} riporta il valore del dato in ingresso, mentre quando $\mathbf{d}=0$ il segnale \mathbf{y} non ha significato. Il segnale di errore vale normalmente 0 ed assume valore 1 solo nella condizione anomala descritta di seguito Il protocollo del bus è il seguente.

- 1. L'assenza di dati da sulla linea di trasmissione è indicata dalla condizione x=1.
- 2. La transizione di x da 1 a 0 segnala l'inizio di una trasmissione (start). Si tenga presente che lo 0 non fa parte dei dati.
- 3. Dopo il bit a 0 della sequenza di start, sul bus vengono trasferiti i dati con ridondanza pari a 2, ovvero ogni bit è ripetuto due volte. Questo implica che in una sequenza di dati validi si avranno solo coppie 00 o coppie 11. Durante la trasmissione il bit di stato dassume valore 1 solo in corrispondenza del secondo bit di dati valido di ogni coppia.
- 4. La trasmissione termina quando si riceve la seguenza 01 (stop).
- 5. Se durante la trasmissione di dati cioè dopo una sequenza di start si riceve una nuova sequenza di start, il segnale di errore e assume valore 1 per un ciclo di clock dopo di che ritorna a 0 e la ricezione continua secondo le normali specifiche.

A titolo di esempio è riportata una possibile sequenza di ingresso ed i corrispondenti valori delle uscite del controllore.



Si disegni il diagramma degli stati, corredato da commenti esplicativi e si verifichei se la macchina a stati ottenuta è minima.

Domanda B

Dimostrare mediante le leggi dell'algebra che:

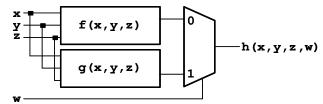
$$xy = 1 \implies x \oplus z + y \oplus z = \overline{z}$$

tenendo presente che vale la seguente relazione d'implicazione:

$$xy = 1 \implies x + y = 1$$

Domanda C

SI consideri il seguente circuito dotato di 4 ingressi ed un'uscita.



Le funzioni f() e g() sono definite come segue:

$$f(x,y,z) = x'y' + z$$

 $g(x,y,z) = \Sigma(1,6,7), \Delta(3,4)$

Ricavare l'espressione algebrica della funzione $h\left(\right)$. Descrivere come il teorema di Shannon si applica alla funzione $h\left(\right)$ rispetto alle funzioni $f\left(\right)$ e $g\left(\right)$.

Domanda D

Si consideri la mappa di Karnaugh mostrata di seguito e si dimostri algebricamente che l'implicante evidenziato in grigio è completamente ridondante.

x yz	00	01	11	10
0	0	1	1	0
0	0	0	1	1