TEMA D'ESAME

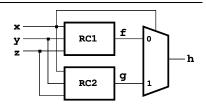
Domanda A

Data la specifica delle due reti RC1 ed RC2:

$$f(x, y, z) = \overline{xy}z + x\overline{y}\overline{z} + y\overline{z}$$

$$g(x, y, z) = \overline{y}z + xyz$$

si minimizzio le espressioni delle funzioni f() e g() e si ricavi l'espressione su più livelli della funzione h().



Domanda B

Siano $X = [x_3x_2x_1x_0]$ ed $Y = [y_3y_2y_1y_0]$ due vettori di 4 bit che rappresentano numeri interi in codifica binaria naturale.

- 1. Utilizzando solamente half-adder si realizzi la rete combinatoria minima per il calcolo di $Z = 8 \times (X+8) + \lfloor Y/4 \rfloor + 5$ in cui $\lfloor N \rfloor$ indica l'intero più grande minore di N, ovvero l'arrotondamento di N per difetto.
- 2. Si calcolino poi area (in termini di numero di porte logiche a due ingressi) e ritardo (in termini di livelli di logica) della rete così ottenuta.
- 3. Indicando con z_i i bit del risultato, in cui z_0 è il bit meno significativo, si ricavi l'espressione completa di z_2 .

Domanda C

Minimizzare la macchina a stati descritta dalle equazioni a lato e ricavare la tabella di transizione della macchina ridotta.

Sintetizzare infine la macchina ottenuta mediante flip-flop di tipo JK

$$\begin{aligned} d_2 &= q1(q2+x) \\ t_1 &= x(q_1 \oplus q_2) + \overline{x}\overline{q}_1q_2 \\ z &= q_2 \oplus q_1 \oplus x \end{aligned}$$

Domanda D

Si progetti (in modo comportamentele oppure secondo un approccio strutturale) una rete sequenziale dotata, oltre al segnale di clock e di reset sincrono, di un ingresso x e di un'uscita z. L'ingresso x ha un andamento costituito da una serie di impulsi (x=1) di durata N>12 cicli di clock, intervallati da periodi di livello basso (x=0) della durata di x>6 cicli di clock. L'uscita x vale normalmente x0 e presenta impulsi della durata di un ciclo di clock in corispondenza dei fronti sia di salita sia di discesa del segnale di ingresso x. La figura seguente mostra un esempio dell'anamento dei segnali x ed x0.

