

14．動作モード設定

マイコンの初期設定を行う上で必要となる動作モード設定について説明します。

尚、メモリの接続モードについては、外部端子（QF₋）及び内部システムコントロールレジスタによりハードウェア/ソフトウェアの両面にて設定を行う必要があります。

14.1 外部端子設定

ROM 領域データバス幅（8/16 ビット）の切り替えは、外部端子 QF₋ にて設定します。この設定により、使用可能な接続モードを選択します。表 14-1 に示します。

尚、この QF₋ 端子の状態をリセット信号 RESET₋ の立ち上がり（解除）時にサンプルし、内部の設定を行います。

表 14-1 ROM 領域データバス幅切り替え

QF ₋	ROM 領域データバス幅	対応する接続モード
“L”（プルダウン）	16 ビット幅	A , B , C
“H”（プルアップ）	8 ビット幅	D

QF₋ 端子は双方向バッファですので、プルアップ / プルダウンは抵抗（50K ~ 100K 程度）を使用して行ってください。

14.2 システムコントロールレジスタ

各システムコントロールレジスタの説明を示します。

尚、リセット解除直後はすべてのレジスタが 00H に設定されます。

14.2.1 SCR0 (I/O アドレス = 18H)

D7	D6	D5	D4	D3	D2	D1	D0

D7, D6	NMI 接続	0 0 0 1 1 0 1 1	内部で常に “H” を入力 (インアクティブ状態) 内部で汎用タイマチャネル 3 の出力を接続 外部端子 91 (NMI_ 信号端子) からの入力を受け付け 汎用タイマチャネル 3 の出力 + 外部端子 91 を受け付け) D7= '0' のとき、外部からの入力は受け付けません。
D5, D4	ウェイト設定 (フェッチ)	0 0 1 0 1 1	【通常の命令フェッチ時】 2 ウェイト (3 クロックアクセス) 1 ウェイト (2 クロックアクセス) 0 ウェイト (1 クロックアクセス)) DRAM 領域ではこの設定は無効 (0 ウェイト固定)
D3, D2	ウェイト設定 (外部メモリ)	0 0 1 0 1 1	【外部メモリデータアクセス時、ジャンプ時も含む】 2 ウェイト (4 クロックアクセス) 1 ウェイト (3 クロックアクセス) 0 ウェイト (2 クロックアクセス)) DRAM 領域ではこの設定は無効 (0 ウェイト固定)
D1, D0	ウェイト設定 (外部 I/O)	0 0 0 1 1 0 1 1	【外部 I/O アクセス時】 4 ウェイト (7 クロックアクセス) 3 ウェイト (6 クロックアクセス) 2 ウェイト (5 クロックアクセス) 1 ウェイト (4 クロックアクセス)

上記以外の組み合わせの設定を行った場合の動作は保証しません。

14.2.2 SCR1 (I/O アドレス = 19H)

D7	D6	D5	D4	D3	D2	D1	D0
0							

D6	端子 70	0 1	パラレルポート P17 として機能 汎用タイマチャネル 3 の OUT3 出力として機能、端子は出力状態となります
D5	端子 71	0 1	パラレルポート P16 として機能 汎用タイマチャネル 2 の OUT2 出力として機能、端子は出力状態となります
D4	端子 72	0 1	パラレルポート P15 として機能 汎用タイマチャネル 1 の OUT1 出力として機能、端子は出力状態となります
D3	端子 73	0 1	パラレルポート P14 として機能 汎用タイマチャネル 0 の OUT0 出力として機能、端子は出力状態となります
D2, D1	端子 74, 75	0 0 0 1 1 0	パラレルポート P13, P12 として機能 端子 74 は UART チャネル 1 の TXD1 として機能 端子 75 は UART チャネル 1 の RXD1 として機能 この場合、P12 は入力方向に設定してください 端子 74 はクロック同期シリアル の TXS として機能 端子 75 はクロック同期シリアル の RXS として機能 この場合、P12 は入力方向に設定してください
D0	端子 76, 77	0 1	パラレルポート P11, P10 として機能 端子 76 は UART チャネル 1 の RTS1_ として機能 端子 77 は UART チャネル 1 の CTS1_ として機能 この場合、P10 は入力方向に設定してください 但し、D2:D1= '10' のとき、端子 76 はクロック同期シリアル の SCK として機能

上記以外の組み合わせの設定を行った場合の動作は保証しません。

14.2.3 SCR2 (I/O アドレス = 1AH)

D7	D6	D5	D4	D3	D2	D1	D0

D7, D6	端子 85, 86	0 0 0 1 1 0	パラレルポート P23, P22 として機能 端子 85 は UART チャンネル 0 の RTS0_ として機能 端子 86 は UART チャンネル 0 の CTS0_ として機能 この場合、P22 は入力方向に設定してください フリーランニングタイマの CMPO<7:6> として機能、端子は出力状態となります
D5, D4	端子 87, 88	0 0 0 1 1 0	パラレルポート P21, P20 として機能 端子 87 は BACK_ として機能 端子 88 は BREQ_ として機能 この場合、P20 は入力方向に設定してください フリーランニングタイマの CMPO<5:4> として機能、端子は出力状態となります
D3	端子 92, 93, 94, 96	0 1	パラレルポート P37 ~ P34 として機能 フリーランニングタイマの CMPO<3:0> として機能、端子は出力状態となります
D2	端子 97, 98	0 1	パラレルポート P33, P32 として機能 フリーランニングタイマの CAPI1, CAPI0 として機能 この場合、P33, P32 は入力方向に設定してください
D1	端子 99	0 1	パラレルポート P31 として機能 外部拡張出力ポート・イネーブル出力 PEXW として機能、端子は出力状態となります
D0	端子 100	0 1	パラレルポート P30 として機能 外部拡張入力ポート・イネーブル出力 PEXR_ として機能、端子は出力状態となります

上記以外の組み合わせの設定を行った場合の動作は保証しません。

14.2.4 SCR3 (I/O アドレス = 1BH)

D7	D6	D5	D4	D3	D2	D1	D0

D7	割り込み入力 IR15	0 1	端子 20 から反転せず入力 端子 20 から反転して入力
D6	割り込み入力 IR11	0 1	端子 21 から反転せず入力 端子 21 から反転して入力
D5	割り込み入力 IR7	0 1	端子 82 から反転せず入力 端子 82 から反転して入力
D4	割り込み入力 IR3	0 1	端子 83 から反転せず入力 端子 83 から反転して入力
D3	割り込み入力 IR1	0 1	端子 84 から反転せず入力 端子 84 から反転して入力
D2	割り込み入力 IR10	0 1	端子 22 から入力 UART チャンネル 0 の内部のブレーク検出 + エラー検出信号を入力
D1	割り込み入力 IR9	0 1	端子 23 から入力 UART チャンネル 0 の内部の RXRDY 信号を入力
D0	割り込み入力 IR8	0 1	端子 81 から入力 UART チャンネル 0 の内部の TXRDY 信号を入力

上記以外の組み合わせの設定を行った場合の動作は保証しません。

14.2.5 SCR4 (I/O アドレス = 1CH)

D7	D6	D5	D4	D3	D2	D1	D0

D7,D6,D5	DRAM リフレッシュ タイミング	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0 1 0 1 1 1 0 1 1 1	なし 32 クロック 48 クロック 64 クロック 96 クロック 128 クロック 192 クロック 256 クロック) クロックは、内部動作クロック数です。 接続モード C , D 時のみ有効
D4	端子 24 ~ 27	0 1	パラレルポート P03 ~ P00 として機能 アドレス A<23:20> として機能、端子は出力状態となります) 接続モード A , B 時のみ有効
D3	DRAM イメージ	0 1	通常 DRAM 領域 (800000H ~ FFFFFFFH) が '000000H ~ 7FFFFFFH' にもイメージとして見えます ROM 領域はマスクされ、DRAM 上でプログラムを実行します) 接続モード D 時のみ有効
D2, D1	接続モード 切り替え (接続メモリ)	0 0 0 1 1 0	接続モード A (8 ビット幅 SRAM 2 個接続) 接続モード B (8 ビット幅 SRAM 1 個接続) 接続モード C (16 ビット幅 DRAM 接続)) 接続モード A , B , C 時のみ有効 接続モード D は外部端子 QF ₋ にて設定します
D0	互換ボックス 内 RAM 領域	0 1	'00F000H ~ 00FFFFH' (4K バイト) '80F000H ~ 80FFFFH' 領域の SRAM/DRAM をアクセスします '008000H ~ 00FFFFH' (32K バイト) '808000H ~ 80FFFFH' 領域の SRAM/DRAM をアクセスします

上記以外の組み合わせの設定を行った場合の動作は保証しません。

15 . 発振回路

15.1 概要

KL5C16030 は、システムクロックを発生させるための発振バッファを搭載しています。チップ内部のシステムクロックは、この発振回路が発生させた信号を2分周した信号です。

15.2 回路構成

システムクロックを発生させるためには、発振バッファ用外部端子 XIN, XOUT に外部部品として水晶振動子（あるいはセラミック振動子） フィードバック抵抗、制限抵抗、コンデンサを図 15-1 のように接続することで発振回路を構成できます。外部部品定数は使用する振動子、基板等によって異なります。外部部品定数の最適値は振動子メーカーの推奨値をご使用下さい。チップ内部のシステムクロックは、この発振回路が発生させた信号を2分周した信号です（システムクロックの2倍の周波数を入力します）。分周回路は、図 15-1 に示すように、チップ内部に搭載されています。

また、発振器等を用いて、直接クロック信号を入力することも可能です。その場合、XIN 端子にその信号を入力し、XOUT 端子はオープン状態（寄生負荷容量を最小の状態）にしてください。このときにも、2分周された信号がシステムクロックとして内部に供給されます。

表 15-1 発振周波数及び外部部品定数参考範囲

	発信周波数	Rd (参考値)	Cl, CO (参考値)
水晶振動子	2 ~ 20 MHz	100 ~ 800	5 ~ 30 pF
セラミック振動子	2 ~ 40 MHz	30 ~ 300	5 ~ 100 pF

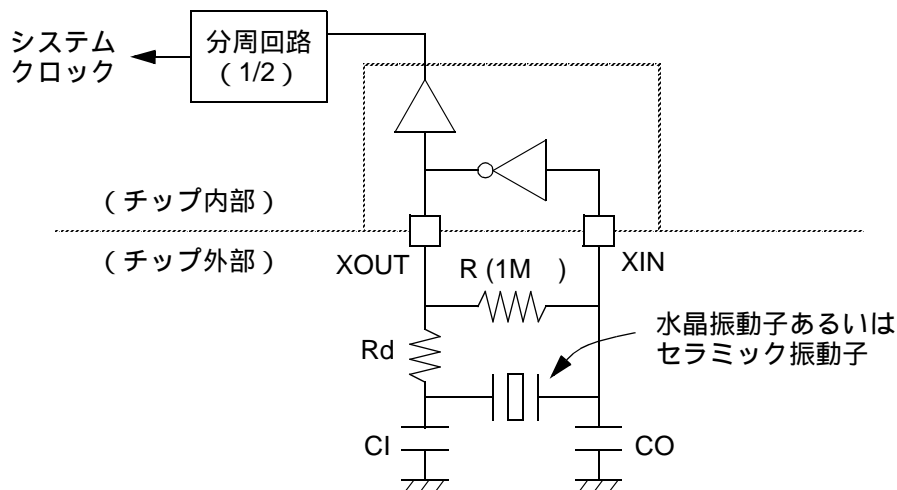


図 15-1 発振回路の構成

注意

外部へクロックを取り出す場合は CLK 端子から取り出して下さい。XIN, XOUT から直接信号を取り出さないでください。

16．電気的特性

16.1 絶対最大定格

表 16-1 絶対最大定格（GND 基準）

項目	記号	定格値	単位
電源電圧	VDD	- 0.6 ~ + 7.0	V
入力電圧	VIN	- 0.6 ~ VDD + 0.6	V
保存温度	TSTG	- 40 ~ + 125	

16.2 DC 特性（5V ± 10%）

表 16-2 推奨動作条件

項目	記号	定格値	単位
電源電圧	VDD	4.5 ~ 5.5	V
動作周囲温度	TA	0 ~ + 70	

表 16-3 電気的特性（推奨動作条件での特性）

項目	記号	規格値			単位	測定条件
		最小	標準	最大		
入力電圧 (RESET_, NMI_ を除く)	VIH	3.5		VDD	V	
	VIL	GND		1.4	V	
RESET_, NMI_ 入力電圧 (シュミットトリガ入力)	V+	2.4		4.0	V	
	V-	0.9		2.3	V	
	Vh	0.9			V	
出力電圧	VOH	3.5			V	IOH = - 4mA IOL = 4mA
	VOL			0.4	V	
出力電流	IOUT			± 4	mA	
入力リーク電流	IIL	- 10			μA	VIN = GND VIN = VDD
	IIH			10	μA	
出力リーク電流	Ioz	- 10		10	μA	ハイ・インピーダンス出力時
プルアップ電流	IPU	20	95	250	μA	VIN = GND
スタンバイ電流	IDDS	1.0*		100	μA	CLK 停止時
動作時消費電流	IDDOP	30*			mA	f (CLK) = 10MHz 時

* TA = 25 のとき

内部プルアップされている入力端子は、RESET_, NMI_, ERDY です。

低消費電圧版（3.3V 対応）については、別途弊社までお問い合わせください。

16.3 AC 特性 (5V ± 10%)

番号	項目	最小	標準	最大	単位
T _{CYC}	XIN サイクル時間	25.0			ns
T _{CKW}	CLK サイクル時間	50.0			ns
T _{CHW}	CLK "H" パルス幅		25.0		ns
T _{CLW}	CLK "L" パルス幅		25.0		ns
T _{RTW}	RESET_ 入力パルス幅	3			clk
T _{AD1}	CLK アドレス出力遅延時間 (ROM/SRAM)			34.0	ns
T _{AD2}	CLK アドレス出力遅延時間 (ROM/SRAM)			38.0	ns
T _{AD3}	RAS_ 出力 アドレス出力遅延時間 (DRAM)	10.0			ns
T _{AD4}	アドレス出力 CAS_ 出力遅延時間 (DRAM)	0.0			ns
T _{DD}	データ出力遅延時間			30.0	ns
T _{DZ}	データ出力 off 遅延時間	7.5			ns
T _{DS}	データ入力セットアップ時間	3.0			ns
T _{DH}	データ入力ホールド時間	6.0			ns
T _{RD1}	CLK RD_ "L" 出力遅延時間			30.0	ns
T _{RD2}	CLK RD_ "H" 出力遅延時間	6.0		25.0	ns
T _{RD3}	CLK RD_ "L" 出力遅延時間			28.0	ns
T _{WR1}	CLK WR_ "L" 出力遅延時間			29.0	ns
T _{WR2}	CLK WR_ "H" 出力遅延時間	7.0		26.0	ns
T _{WR3}	CLK WR_ "L" 出力遅延時間			22.0	ns
T _{WR4}	CLK WR_ "H" 出力遅延時間	7.0		28.0	ns
T _{MRD1}	CLK MREQ_ 出力遅延時間			29.0	ns
T _{MRD2}	CLK MREQ_ 出力遅延時間			32.0	ns
T _{IRD1}	CLK IORQ_ 出力遅延時間			34.0	ns
T _{IRD2}	CLK IORQ_ 出力遅延時間			30.0	ns

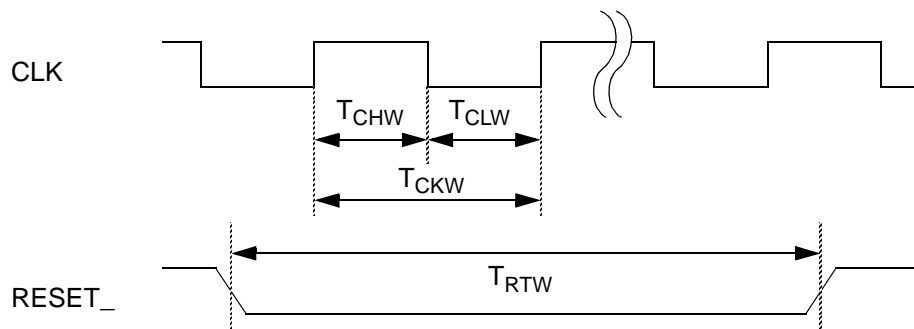
番号	項目	最小	標準	最大	単位
T _{ROD1}	CLK ROMCS_ 出力遅延時間			38.0	ns
T _{ROD2}	CLK ROMCS_ 出力遅延時間			40.0	ns
T _{RAD1}	CLK RAMH/LCS_ 出力遅延時間			36.0	ns
T _{RAD2}	CLK RAMH/LCS_ 出力遅延時間			38.0	ns
T _{RS1}	CLK RAS_ "L" 出力遅延時間			20.0	ns
T _{RS2}	CLK RAS_ "H" 出力遅延時間			19.0	ns
T _{CSD1}	CLK H/LCAS_ "L" 出力遅延時間			22.0	ns
T _{CSD2}	CLK H/LCAS_ "H" 出力遅延時間			20.0	ns
T _{CSD3}	CLK H/LCAS_ "H" 出力遅延時間			21.0	ns
T _{OED}	OEN_ 出力遅延時間			39.0	ns
T _{BRS}	BREQ_ 入力セットアップ時間	3.0			ns
T _{BRH}	BREQ_ 入力ホールド時間	10.0			ns
T _{BAD}	BACK_ 出力遅延時間			29.0	ns
T _{ERS}	ERDY_ 入力セットアップ時間	3.0			ns
T _{ERH}	ERDY_ 入力ホールド時間	5.0			ns
T _{ITS}	外部割り込み入力セットアップ時間	3.0			ns
T _{ITH}	外部割り込み入力ホールド時間	10.0			ns
T _{NIS}	NMI_ 入力セットアップ時間	5.0			ns
T _{NIH}	NMI_ 入力ホールド時間	5.0			ns
T _{PIS}	ポート入力セットアップ時間	5.0			ns
T _{PIH}	ポート入力ホールド時間	5.0			ns
T _{POD}	ポート出力遅延時間			40.0	ns
T _{PRD}	PEXR_ 出力遅延時間			40.0	ns
T _{PWD}	PEXW 出力遅延時間			40.0	ns

番号	項目	最小	標準	最大	単位
T _{TRHW}	TRXC “H” パルス幅	1			clk
T _{TRLW}	TRXC “L” パルス幅	1			clk
T _{TRS}	TRXC セットアップ時間	3.0			ns
T _{TRH}	TRXC ホールド時間	15.0			ns
T _{TDD1}	TXD 出力遅延時間（内部クロック選択時）			40.0	ns
T _{TDD2}	TXD 出力遅延時間（外部クロック選択時）			40.0	ns
T _{RDS}	RXD セットアップ時間	3.0			ns
T _{RDH}	RXD ホールド時間	15.0			ns
T _{RTD}	RTS_ 出力遅延時間			40.0	ns
T _{SCHW}	SCK “H” パルス幅	1			clk
T _{SCLW}	SCK “L” パルス幅	1			clk
T _{SCS}	SCK 入力セットアップ時間	3.0			ns
T _{SCH}	SCK 入力ホールド時間	10.0			ns
T _{SCD}	SCK 出力遅延時間			40.0	ns
T _{TSD1}	TXS 出力遅延時間（内部クロック選択時）			40.0	ns
T _{TSD2}	TXS 出力遅延時間（外部クロック選択時）			40.0	ns
T _{RSS}	RXS セットアップ時間	3.0			ns
T _{RSH}	RXS ホールド時間	10.0			ns
T _{OTD}	タイマ OUT 出力遅延時間			45.0	ns
T _{GTS}	GATE 入力セットアップ時間	3.0			ns
T _{GTH}	GATE 入力ホールド時間	10.0			ns
T _{CIS}	CAPI 入力セットアップ時間	3.0			ns
T _{CIH}	CAPI 入力ホールド時間	15.0			ns
T _{COD}	CMPO 出力遅延時間			40.0	ns

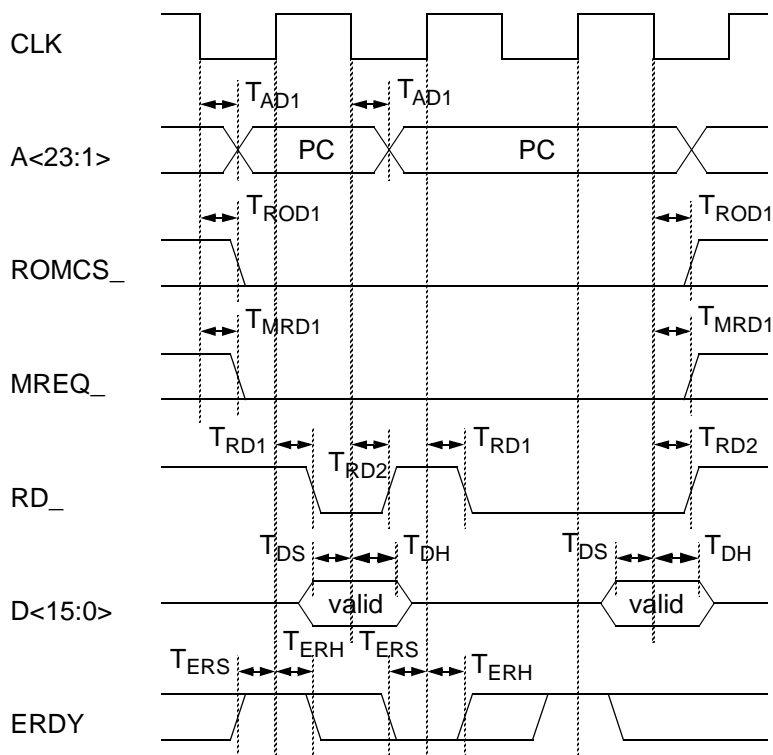
注 1) 出力端子の負荷容量は、70 pF で測定しています。

注 2) 単位の欄に clk とあるのは、システムクロック数を示しています。

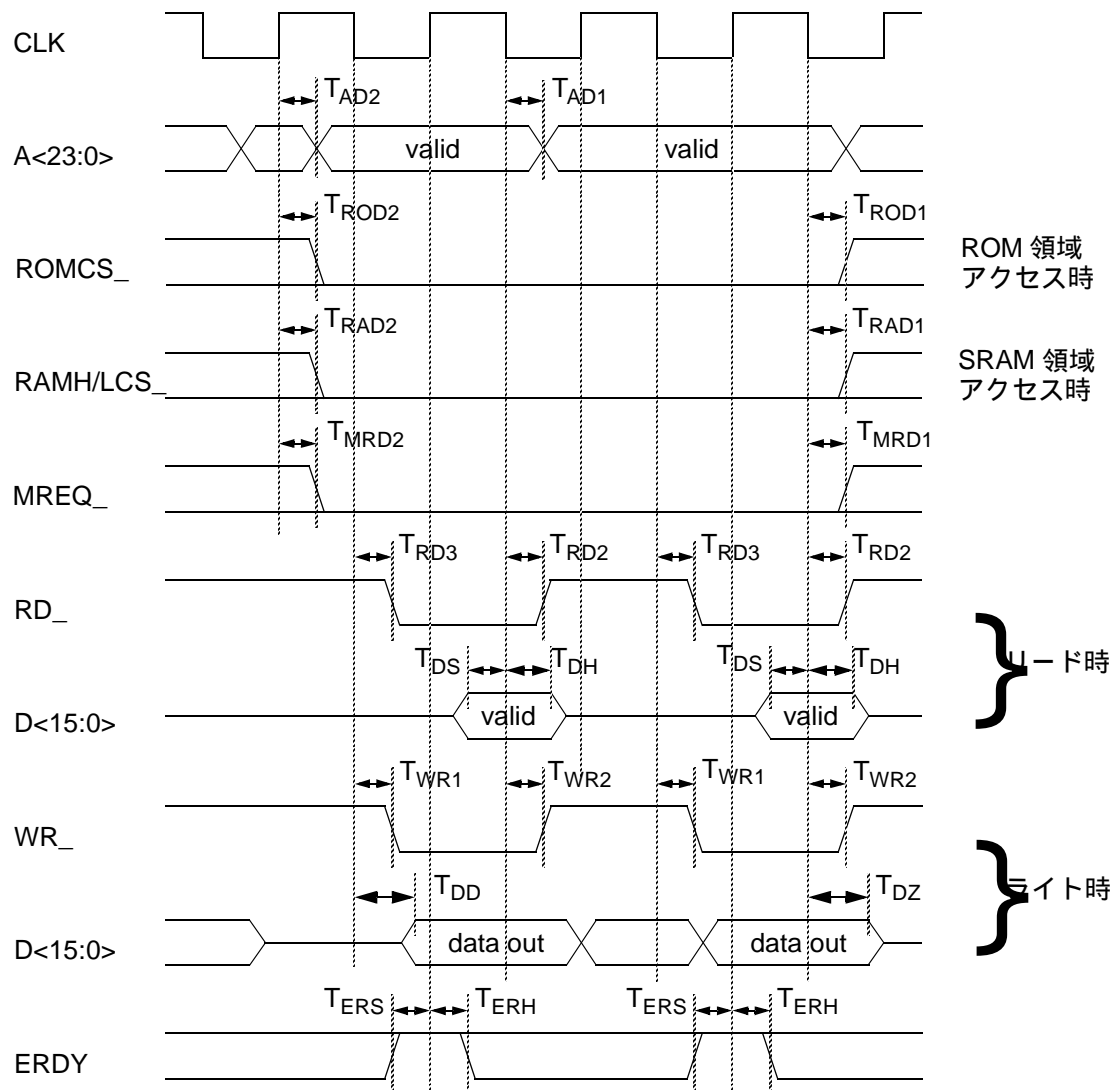
クロック出力・リセット入力タイミング



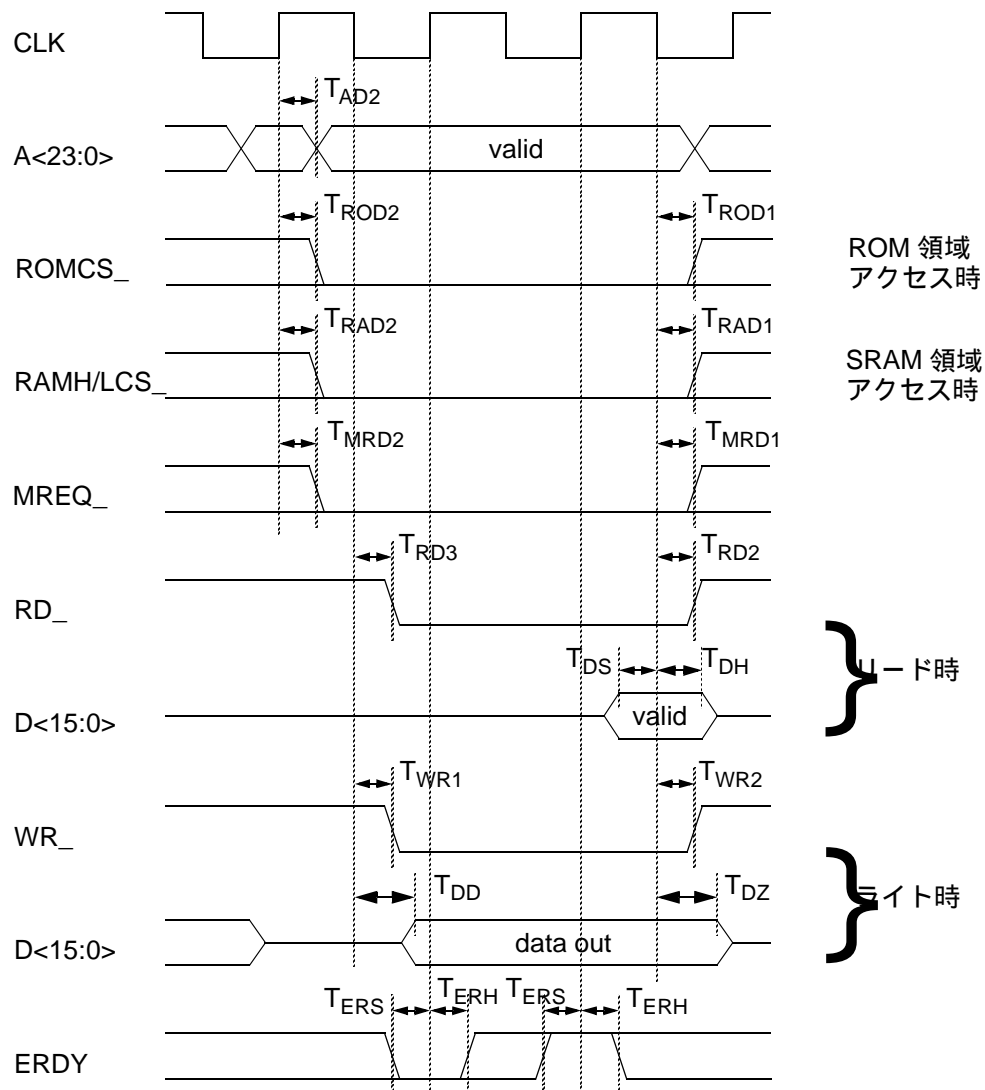
命令フェッチタイミング (ROM アクセス、0・1 ウェイト時)



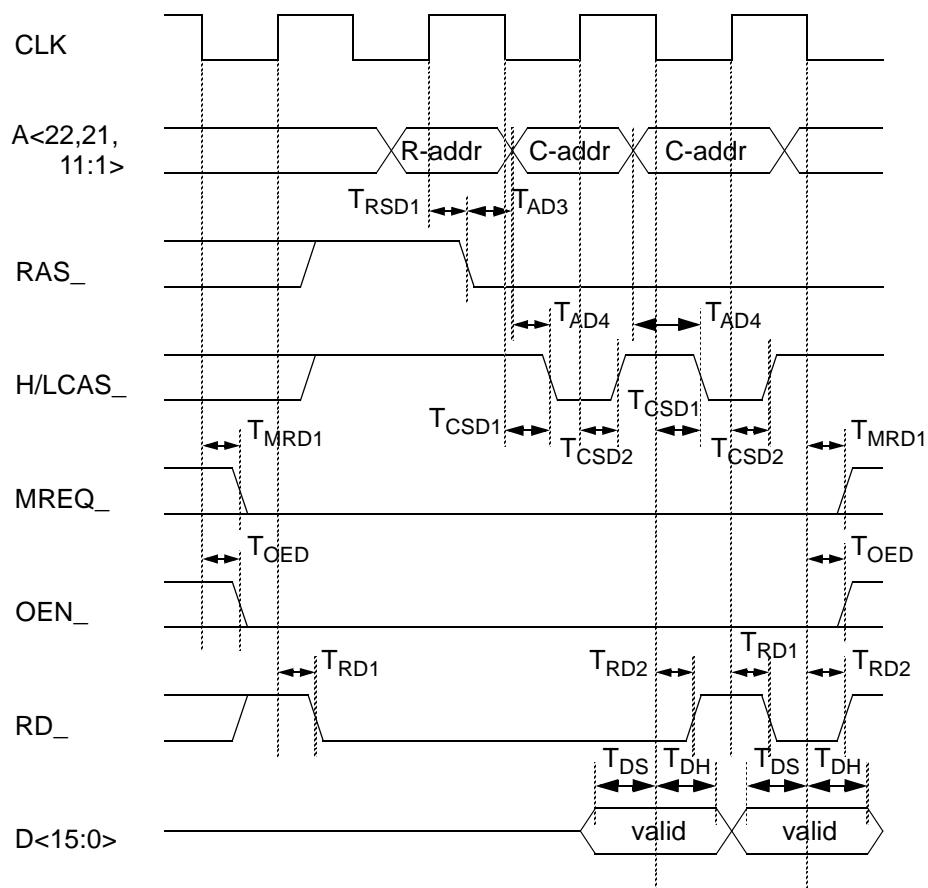
メモリデータアクセスタイミング(ROM/SRAM 領域、0 ウェイト時)



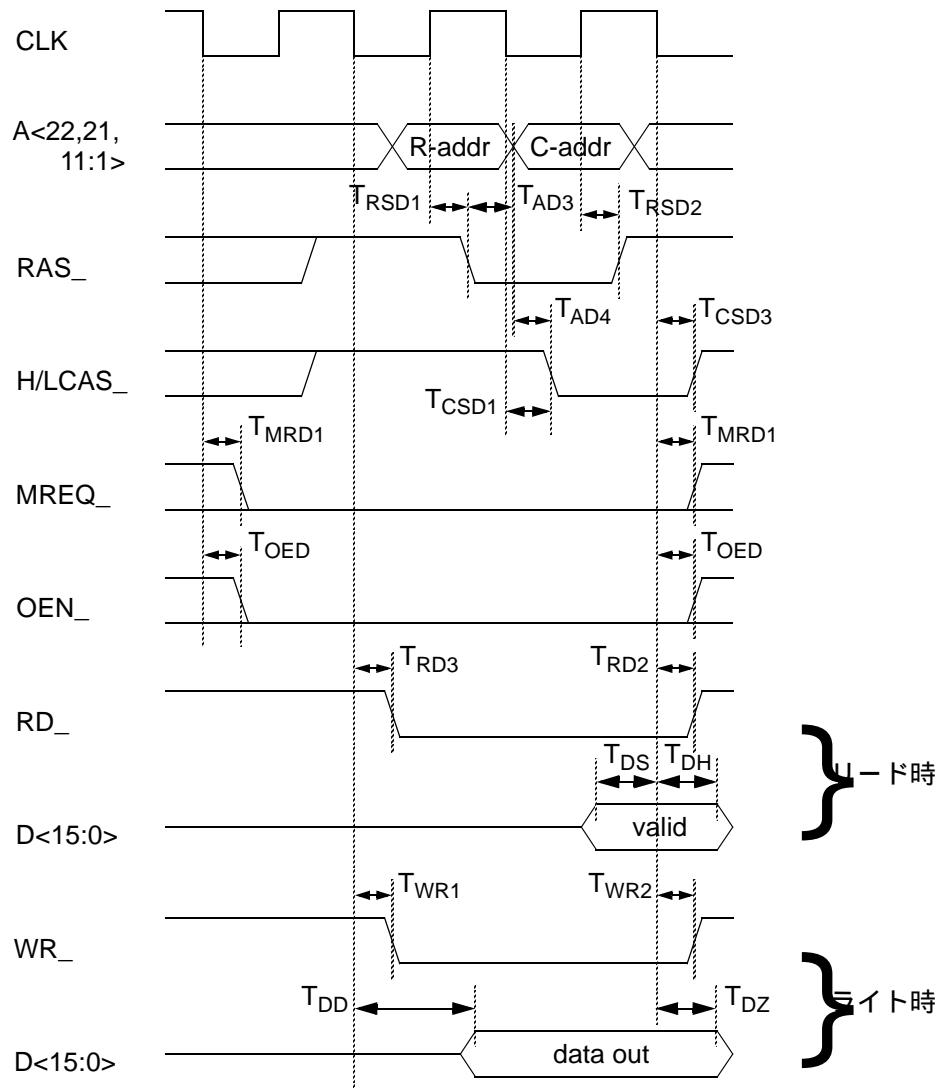
メモリデータアクセスタイミング(ROM/SRAM 領域、1 ウェイト時)



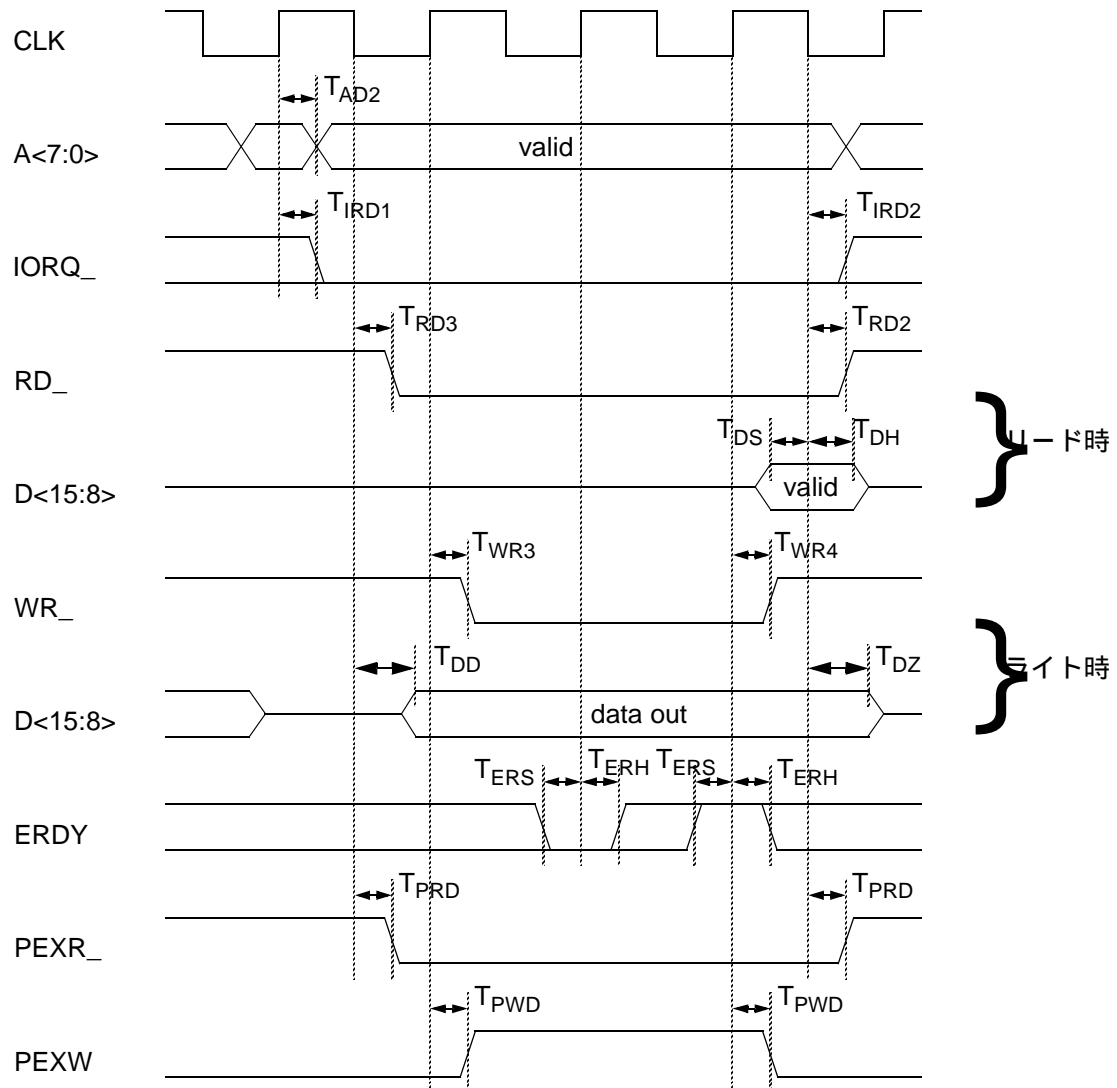
命令フェッチタイミング(DRAM アクセス)



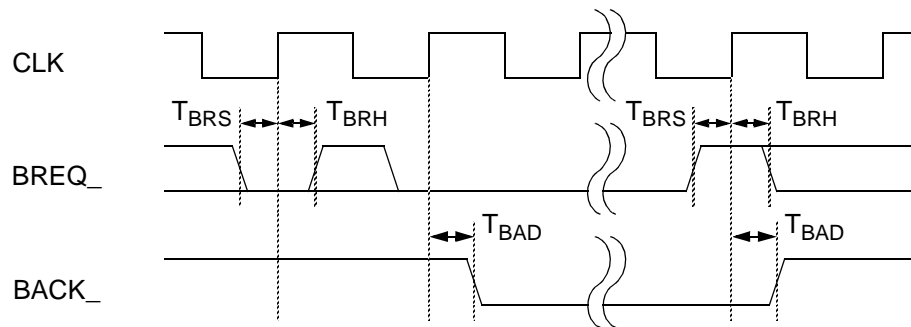
メモリデータアクセスタイミング (DRAM 領域)



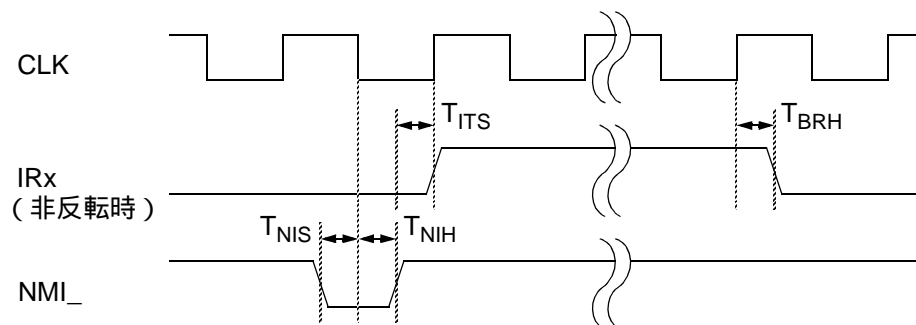
外部 I/O アクセスタイミング(1 ウェイト時)



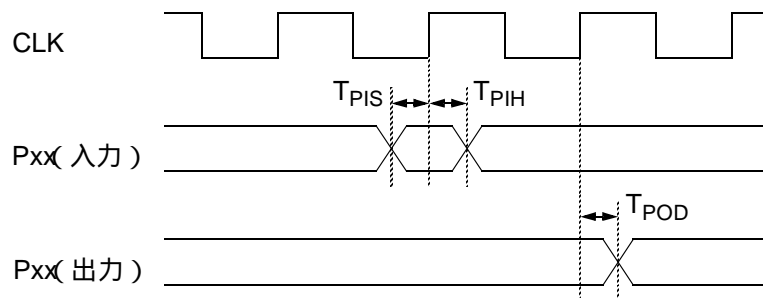
バスコントロールタイミング



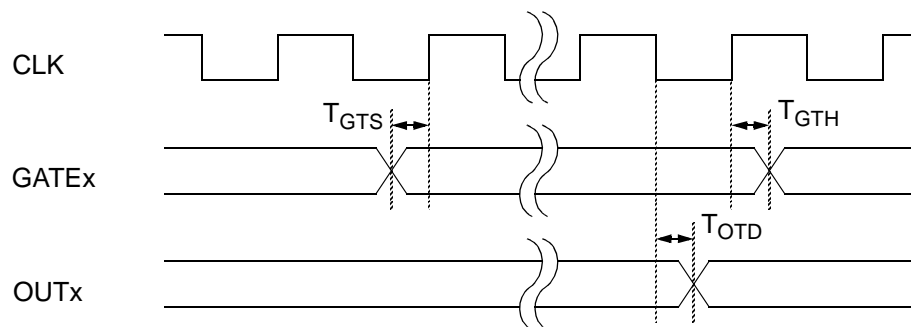
外部割り込み入力タイミング



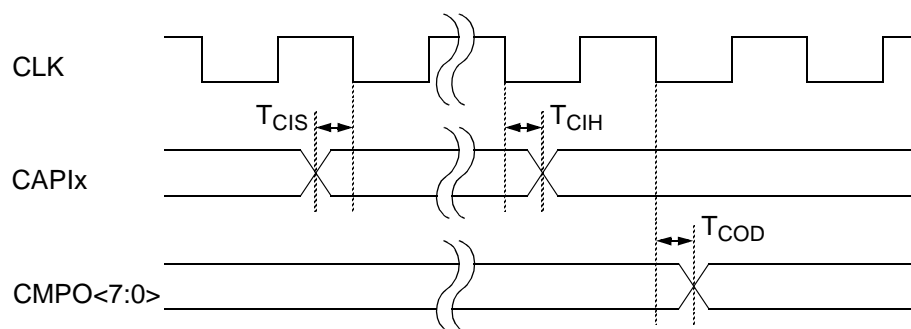
ポート入出力タイミング



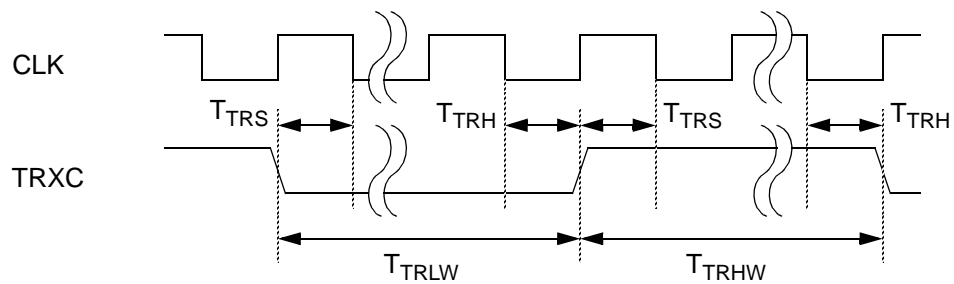
汎用タイマタイミング



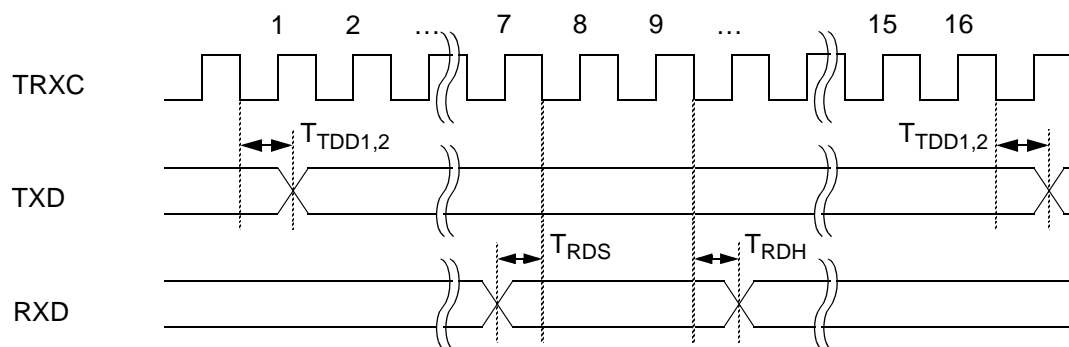
フリーランニングタイマタイミング



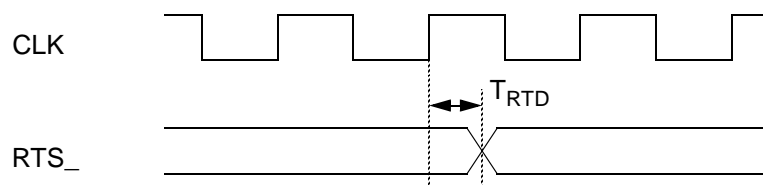
UART 送受信クロックタイミング



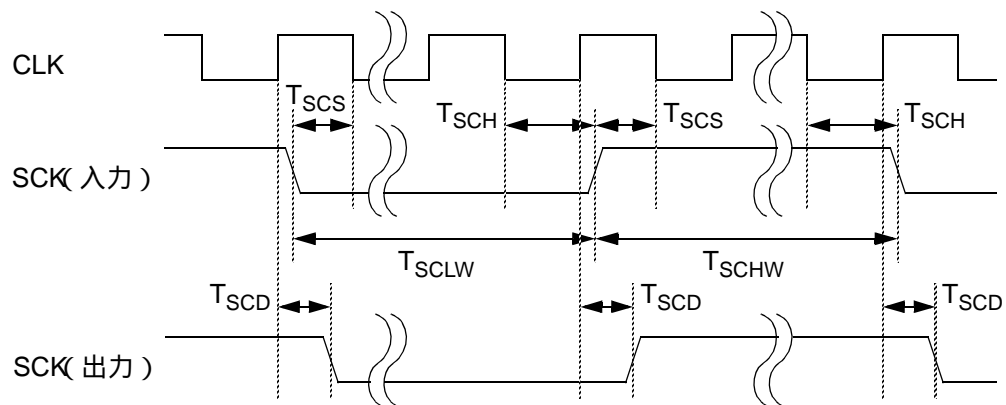
UART 送受信データタイミング



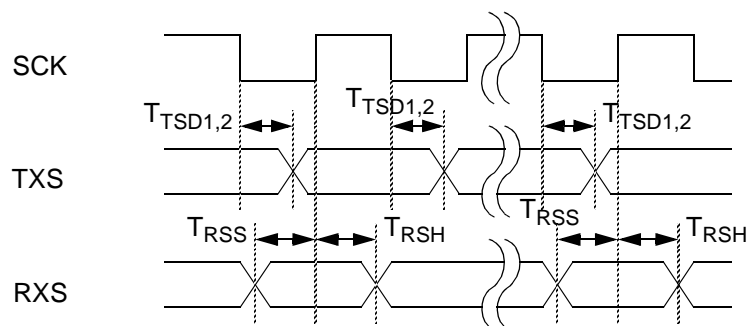
RTS_ 出力タイミング



クロック同期シリアル送受信クロックタイミング



クロック同期シリアル送受信データタイミング

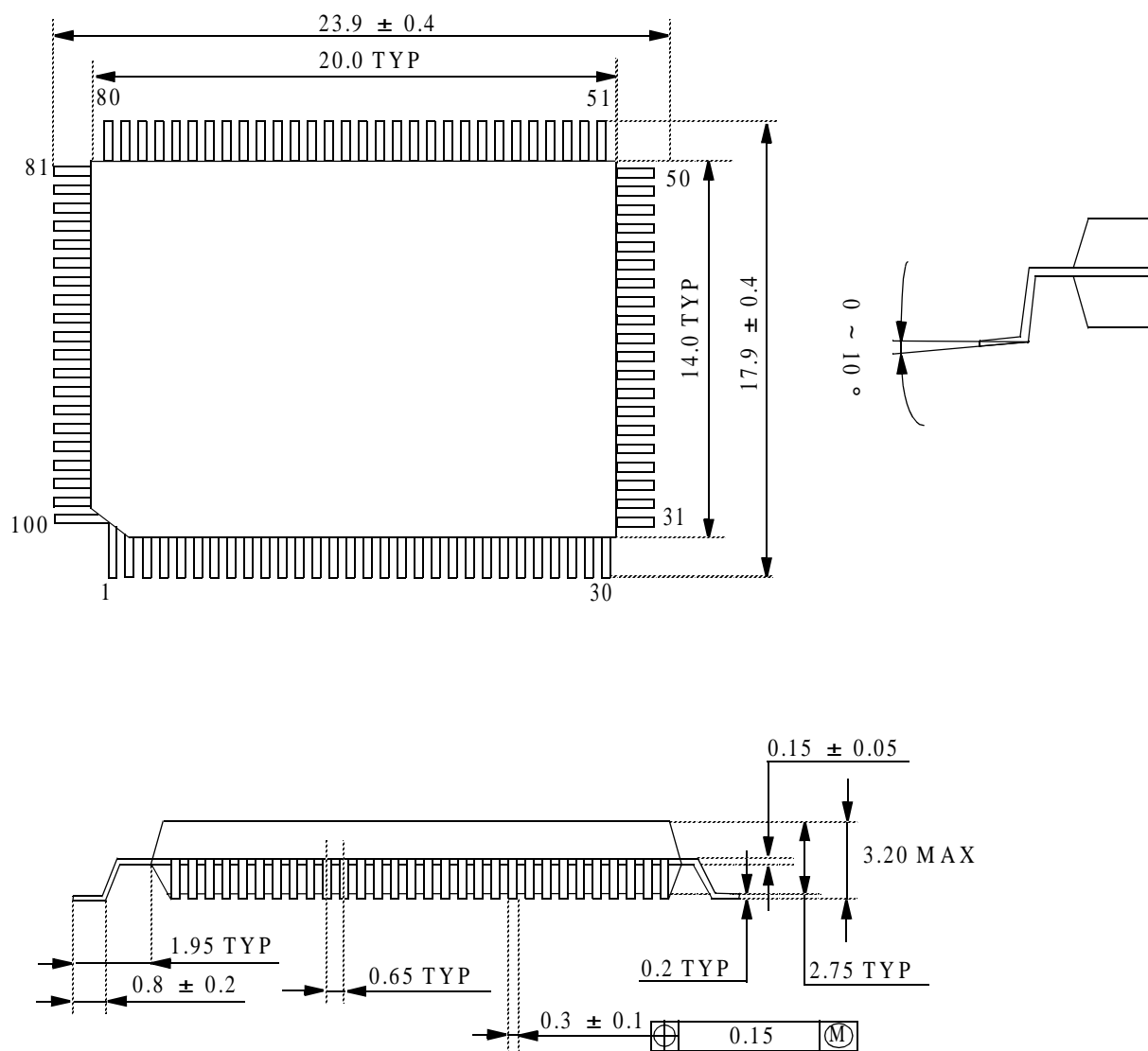


17. 外形寸法図

KL5C16030 はプラスチック QFP100 パッケージに封止されています。

以下に QFP100 の外形寸法図を掲載します。

尚、パッケージ上には製品コードとして「KL5C16030C」とマーキングされています。



Appendix B . 互換ボックスについて

互換ボックスを避けて使用するには (ROM 接続例)

お客様によっては、Z80 との互換性を必要とせず、互換ボックスの機能が不要と考えられる方もいらっしゃると思います。KL5C16030 では、16M バイトの広いアドレス空間を自由に (リニアに) アクセス可能ですので、プログラムの先頭で JP3 命令等を実行し (JP3 10000H etc.) プログラムをすべて互換ボックス外に配置することで、互換ボックスの制約を受けること無しにソフトウェアの構築が可能です。但し、割り込みのスタートアドレステーブル等については、互換ボックスの領域内に配置する必要がありますのでご注意ください。

しかし、特に使用する ROM の容量が限られていると、互換ボックスに割り当てられている ROM の 64K バイト分 (000000H ~ 00FFFFH) を無駄にせず、通常のアドレス空間として有効に使用したい場合があるでしょう。ところが、互換ボックスは削除することが出来ません。その場合には、以下の方法により実現することが可能です。例として、1M ビット (128K バイト) ROM を使用した場合を説明します。この ROM チップは物理的には 000000H ~ 1FFFFFFH のアドレス空間を持ちます。

さて、KL5C16030 では ROM の外部チップセレクト信号として ROMCS₀ を出力しており、外部でアドレスをデコードする必要無しに ROM 領域 (000000H ~ 7FFFFFFH) を指定することができます。そこで、ROM のチップセレクト信号として ROMCS₀、アドレスとして A<16:0> あるいは A<16:1> を接続すると、図 B-1 に示すように、ROM 領域のすべての論理アドレス空間 (000000H ~ 7FFFFFFH) において 128K バイト単位で同一の物理領域がアクセスされます。つまり、A<22:17> は使用しないために、000000H、020000H、040000H、060000H... のそれぞれの番地をアクセスした場合、結果として ROM 内の同じ番地 (ROM チップの先頭番地) をアクセスすることになります。この原理を利用することで、互換ボックスにより無駄になる 000000H ~ 00FFFFH の 64K バイト分の ROM を有効に利用することができます。

具体的なアドレスの割り付け例を図 B-2 に示します。プログラムの先頭 512 バイト分 (これは一例です) は、互換ボックス領域内の 000000H ~ 0001FFH として使用し、リセット解除後に実行するスタートアップルーチン、割り込み用の処理ルーチンやアドレススタートテーブル領域のために使用します。残りの領域は、メインのプログラム領域として 020200H ~ 03FFFFFFH として使用しています。このプログラム領域においては、020200H ~ 02FFFFFFH は互換ボックスである 000200H ~ 00FFFFFFH と同一の物理領域にアクセスしますが、論理的には 020200H ~ 02FFFFFFH ですから互換ボックス外の拡張領域となり、互換ボックスの制約を受けずにプログラムの作成が可能です。割り付けの詳細は以下の通りです。

000000H ~ 000037H : スタートアップルーチンなど
 000038H ~ 000065H : RST 38H 命令の処理ルーチンなど
 000066H ~ 0000FFH : ノンマスカブル割り込みの処理ルーチンなど
 000100H ~ 0001FFH : 割り込みアドレススタートテーブル領域
 020200H ~ 03FFFFFFH : プログラム領域

ここに示した割り付け例においては、000200H ~ 01FFFFFFH 及び 020000H ~ 0201FFH の領域は使用できませんのでご注意ください。

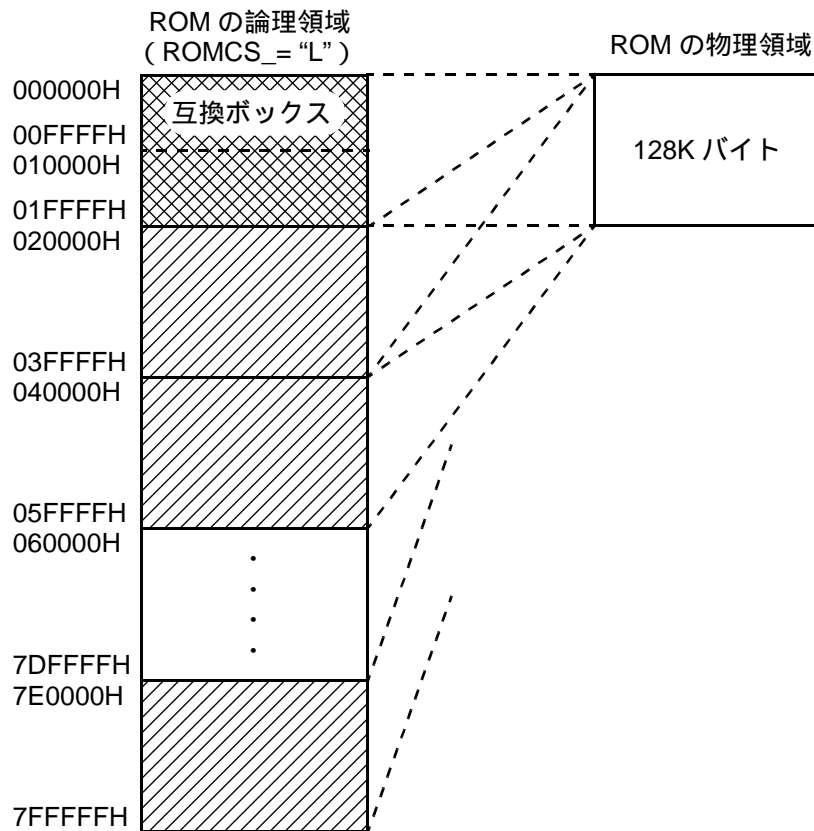


図 B-1 1M ビット(128K バイト)ROM 使用時のアドレスの論理領域・物理領域

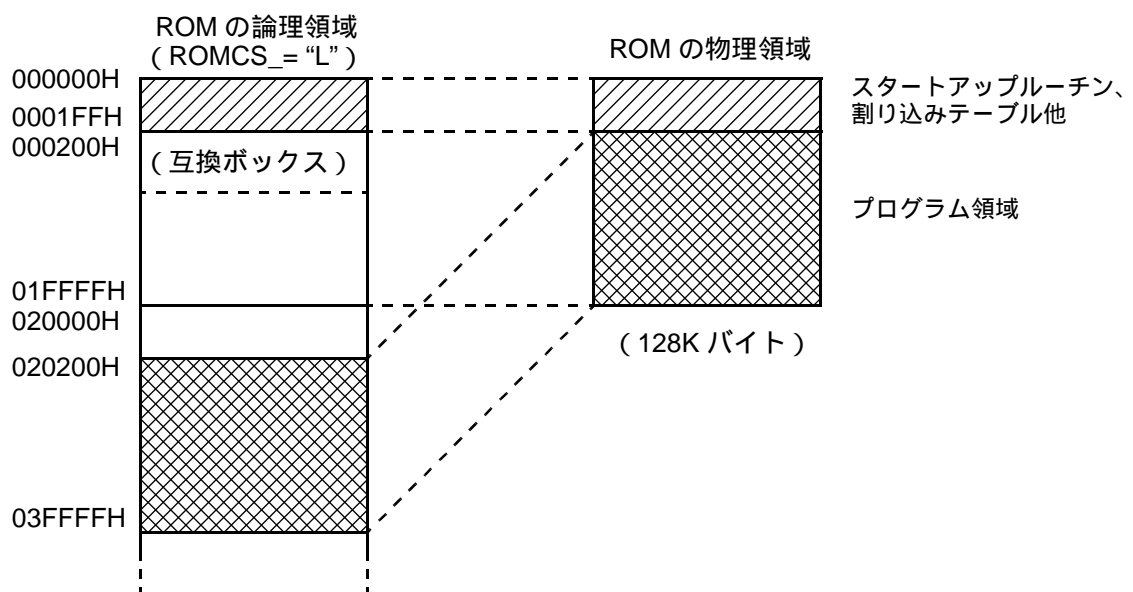


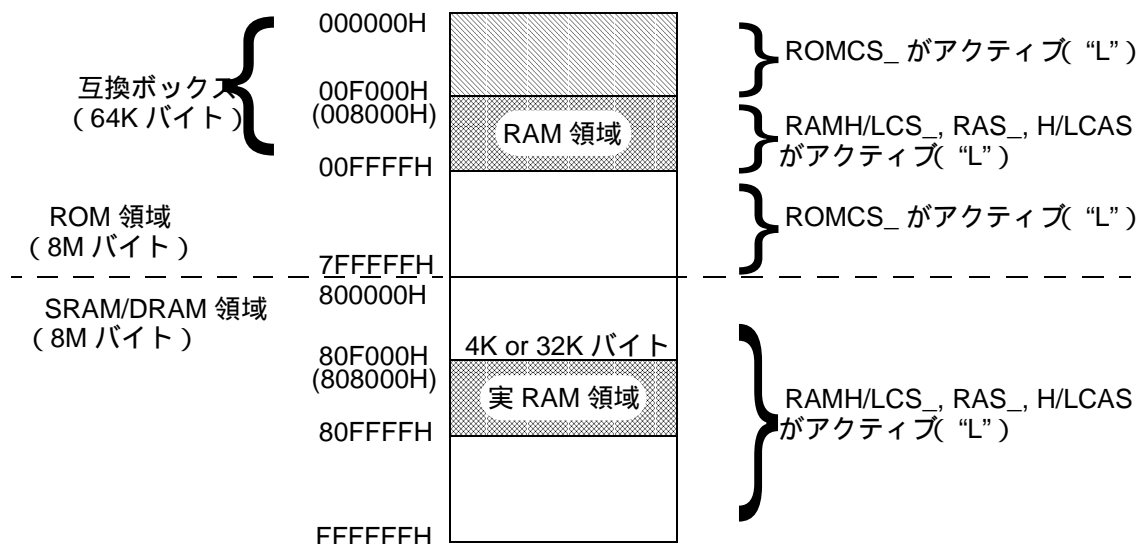
図 B-2 1M ビット(128K バイト)ROM 使用時のアドレス割り付け例

互換ボックス内の RAM 領域について

互換ボックス内にプログラムを配置することで、Z80 等のソフトウェア資産を変更無しに実行することが可能ですが、その場合互換ボックス内にデータ・スタック領域等で RAM を配置する必要があります。KL5C16030 では、第 5 章（アドレス空間）に記載した通り、4K バイト（00F000H ~ 00FFFFH）あるいは 32K バイト（008000H ~ 00FFFFH）の RAM 領域が存在し、SRAM/DRAM 領域内の 80F000H ~ 80FFFFH あるいは 808000H ~ 80FFFFH に配置された RAM をイメージとしてアクセスできる構造にしました。よって、ROM 領域内に小容量の SRAM/DRAM を改めて配置する必要はありません。

互換ボックス内の RAM 領域をアクセスすると、SRAM/DRAM 領域のメモリ（図中の実 RAM 領域）がイメージとして見える構造となっています。つまり、互換ボックス内 RAM 領域では、外部メモリのチップセレクト信号として ROMCS_ ではなく RAMH/LCS_, RAS_, H/LCAS_ がアクティブ（“L”）になります。構造的にはこの違いだけで、アドレスバスには実際にプログラムで指定したアドレス、つまり、互換ボックス内 RAM 領域アクセス時には 00xxxxH、実 RAM 領域アクセス時には 80xxxxH がアドレスバス A<23:0> に出力されます。リード・ライト信号 RD_, WR_ も指定通りに出力されます。

例えば、互換ボックス内の RAM 領域である 00F123H 番地をアクセスしたとき、アドレスバスには 00F123H 番地（80F123H 番地ではなく）が出力され、チップセレクト信号として RAMH/LCS_, RAS_, H/LCAS_ がアクティブ（“L”）になります。80F123H 番地をアクセスしたときには、通常通り、アドレスバスに 80F123H 番地を出力し、RAMH/LCS_, RAS_, H/LCAS_ がアクティブ（“L”）になります。よって、上記の 00F123H 番地と 80F123H 番地は実際の RAM チップ内の同一アドレス・メモリセルをアクセスすることになります。



互換ボックス内の RAM 領域をアクセスすると、SRAM/DRAM 領域のメモリがイメージとして見える構造となっています。つまり、この RAM 領域では、ROMCS_ ではなく RAMH/LCS_, RAS_, H/LCAS_ がアクティブ（“L”）になります。

図 B-3 アドレス空間

Appendix C . 外部 I/O 接続

I/O アドレスのマッピングについて

一般の 16 ビットマイコンでは、外部 I/O としてデータバス 8 ビット幅の製品を接続する場合、図 C-1 に示すように、データバス 16 ビット幅のうち下位側（あるいは上位側）の 8 ビット分を用いて接続します。図 C-1 では下位側の D<7:0> を接続していますが、この場合 I/O アドレスとしては偶数番地（A<0> = '0'）のみ使用することになります。よって、ソフトウェアの作成時にはその点を充分に考慮に入れて作成する必要があります。特に、Z80 からの置き換えを考えている場合には、ソフトウェア資産の変更が必須となります。

外部 I/O として 8255（パラレルポート）を使用した場合の I/O マッピング例を図 C-2 に示します。一般の 16 ビットマイコンの場合、アドレスとして A<2:1> を接続することになりますので、図の例では 40H 番地から始めると 40H, 42H, 44H, 46H という I/O マッピングで偶数番地のみ使用することになり、アドレスが不連続となってしまいます。8 ビットマイコンで作成したソフトウェア資産では通常は連続したアドレスにマップされていますので（40H 番地から始めると 40H, 41H, 42H, 43H）、そのまま移行することができず変更が必定です。

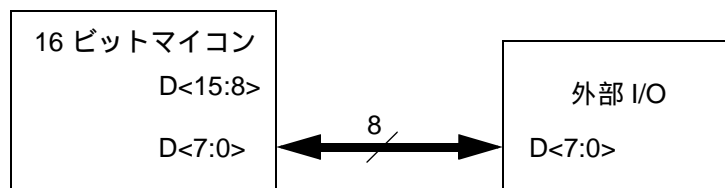


図 C-1 通常の外部 I/O 接続例

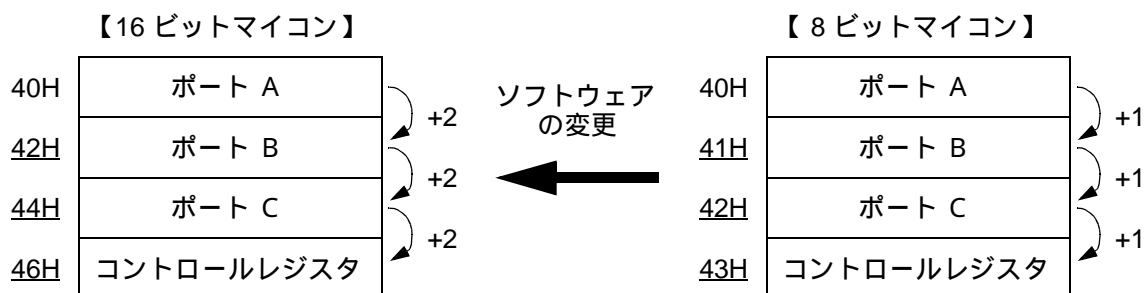


図 C-2 I/O アドレスマッピング例 (パラレルポート 8255 の場合)

それに対して、KL5C16030 では、8 ビットマイコンと同様の I/O アドレスの連続マッピングを実現しました。データバスの接続方法としては、図 C-3 に示すように、16 ビットデータバス $D<15:0>$ のうち I/O 接続用 8 ビットデータバスとして上位側の $D<15:8>$ を使用します。但し、内部的にはセクタによりデータバスの上位側・下位側を切り替える構造となっているため、8255 を使用した場合アドレスとして $A<1:0>$ を接続し、図 C-4 に示すように、連続した I/O アドレスにマップされます。このため、Z80 等の 8 ビットマイコンとのソフトウェア互換性を維持しており、ソフトウェア資産を容易に移行可能です。

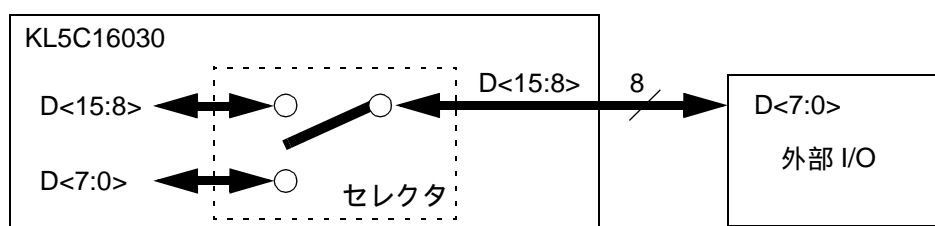


図 C-3 KL5C16030 の外部 I/O 接続



図 C-4 KL5C16030 の I/O アドレスマッピング例