

Bug Report (2)

KL5C16030/05

弊社マイコン KL5C16030 / KL5C16005 におきまして、接続モード B を使用する場合に、以下に示す動作上の不具合が発生することが判明いたしました。ご使用頂くにあたり、充分にご注意頂けるようお願いいたします。

原因

接続モード B 設定時に 8 ビットデータバスで接続されたメモリをアクセスする場合、下記 2 つのケースにおいて、ライト信号に対するアドレスバスのホールド時間が十分に確保できません。

- ・ 偶数アドレスへの
16 ビットメモリデータライト実行時
- ・ 偶数アドレス及び奇数アドレスへの
24 ビットメモリデータライト実行時

これは、アドレスバスのうち、上記のケースでの $A<0>$ 信号の動作が他のアドレス信号 $A<23:1>$ に比べ早く変化してしまうためです。

影響範囲及び現象

接続モード B 設定時、8 ビットデータバスでのメモリライト動作で不具合が発生する可能性があります。具体的には、偶数アドレス・16 ビットメモリデータライトの動作中、つまり、 $A<0>$ のみ変化する連続したメモリライト動作が行われる場合です。

24 ビットメモリデータライトは、偶数アドレス・16 ビットメモリデータライトと 8 ビットメモリデータライトの複合動作になりますので該当します。

接続モード A、すなわち、16 ビットデータバスでのメモリライト動作では問題ありません。また、接続モード B・C の互換ボックス内 RAM 領域を除く ROM 領域でも、16 ビットデータバスでのライト動作となりますので問題ありません。

接続モード B の互換ボックス内 RAM 領域は 8 ビットデータバスですので該当します。

回避策

この状況を回避する方法としては、図 1 に示すように、 $A<0>$ 信号に遅延回路を挿入して頂くことになります。同一負荷条件で、 $A<0>$ 信号と他のアドレス信号 $A<23:1>$ との時間差は 4ns 弱 (TYP 条件) です。5 ~ 7ns 程度 (TYP 条件) の遅延回路を挿入するとアドレス信号間での時間差を吸収でき、ライト信号に対するホールド時間も確保できると考えられます。但し、お客様のシステム毎に外部負荷条件等が異なりますので、それに応じた対処が必要になります。

尚、挿入する遅延回路の遅延時間を大きくする場合、その分メモリアクセス時間に影響が出ますので、その点についても充分にご検討頂けるようお願いいたします。

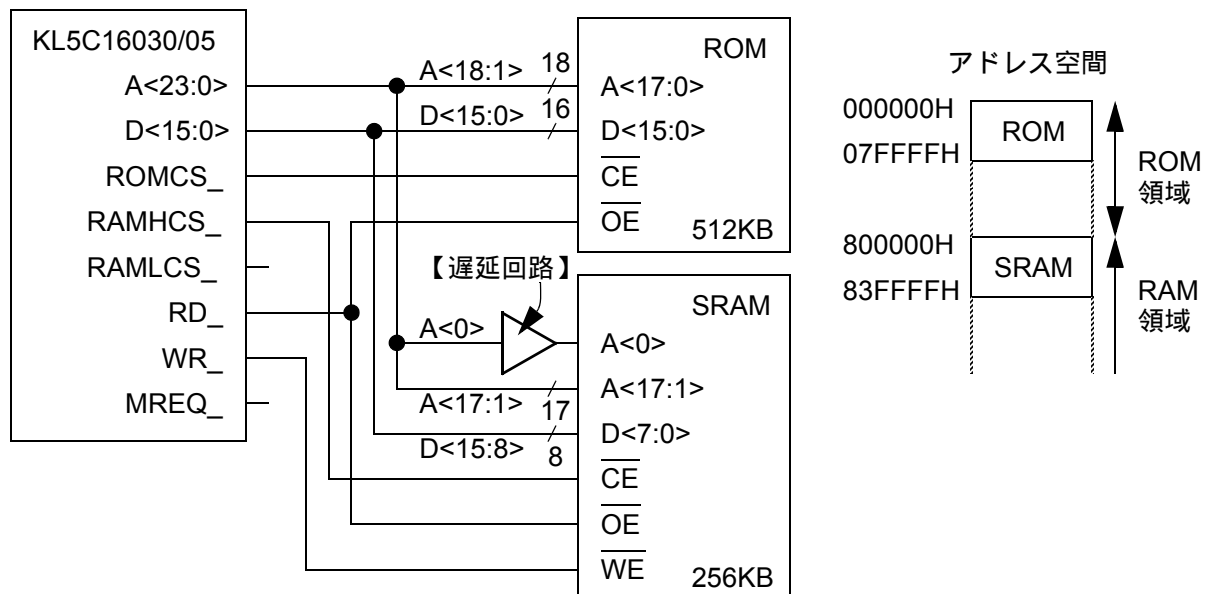


図 1 メモリ接続例(接続モード B)

参考

8 ビットデータバスにおけるメモリアクセス動作は、KC160 コア本来の 16 ビットデータアクセスに対し、その外部付加回路で 8 ビットデータアクセス 2 回に分割して動作させることにより実現しています。タイミング図を図 2 に示します。アドレス信号 A<23:1> については通常のアドレス制御回路にて生成していますが、アドレス信号 A<0> とライト信号 WR_ については、図 3 に示すように、別の付加回路にて生成しているため、A<0> だけが早く変化する原因となりました。

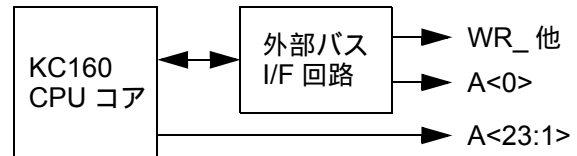


図 3 内部構造

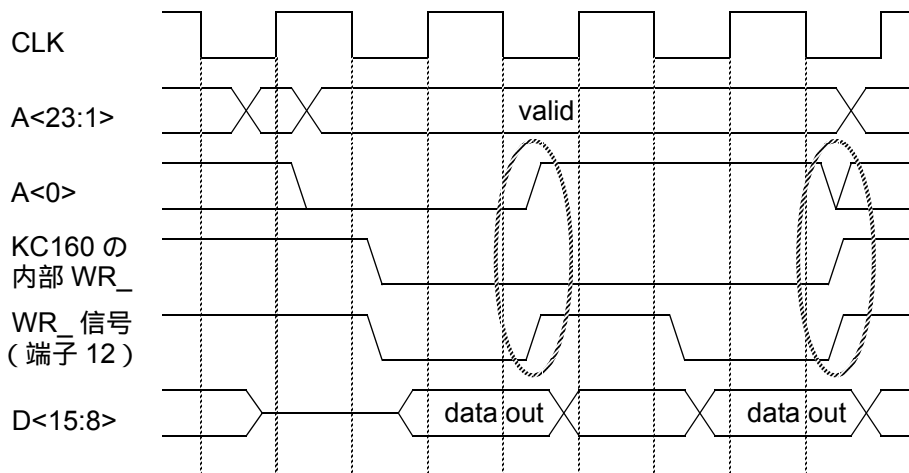


図 2 偶数アドレス 16 ビットデータ・ライトサイクル(接続モード B、0 ウェイト)

補足

接続モード B 設定時でのメモリマップド I/O 方式による I/O アクセスを実施する場合は、特に注意が必要です。メモリライト動作では、通常の I/O ライト動作に比べ、ライト信号に対するアドレスバスやデータバスのホールド時間が少ないからです。

その他ご不明な点等がございましたら弊社までご連絡ください。

川崎製鉄株式会社 LSI 事業部 営業部

URL: <http://www.kawatetsu-lsi.co.jp/assp/micro/index.htm>

E-mail: mcu@lsidiv.kawasaki-steel.co.jp