

8．割り込みコントローラ

8.1 概要

KL5C16030 は割り込みコントローラとして KP69 マクロセルを搭載しています。モード 2 及びモード 3 割り込みに対応して 16 レベルの割り込み要求入力をサポートします。

各割り込み要求入力は、HIGH / LOW の 2 つの優先順位グループに分割設定でき、各グループの中では割り込み要求入力レベルのビット番号が大きいものほど優先順位は高く設定されます。各割り込み要求入力のエッジ / レベル動作、マスク状態、及び割り込みベクタの上位 3 ビットはプログラム可能となっています。

割り込み要求を受け付けるとマスク状態、優先順位を判定し、CPU へ INT_ (割り込み要求) 信号を出力します。そして CPU から IACK_ (割り込み許可) 信号が返ってくると、プログラムされた割り込みベクタをデータバスに出力します。また、CPU の EOI_ (割り込み終了) 信号によって割り込み処理終了を認識します。この EOI_ 信号は RETI 命令実行時に CPU から発行されます。したがって、割り込み処理ルーチンの最後に RETI 命令を置くことにより、自動的に割り込み処理終了を認識します。更に、不正割り込み検出機能を備えています。

特徴

- ・モード 2、モード 3 割り込み対応。
- ・16 レベルの割り込み要求入力の優先順位を制御可能。
- ・各割り込み要因毎にマスク可能。
- ・割り込み要求入力のエッジ / レベル切り替え可能。
- ・多重割り込み処理可能。
- ・不正割り込み検出機能搭載。
- ・RETI 命令実行により、割り込み処理終了を自動的に認識。

8.2 ブロック図

全体ブロック図を以下に示します。割り込み要求入力 IR15 ~ 0 には表 8-1 に示す信号が内部接続されています。

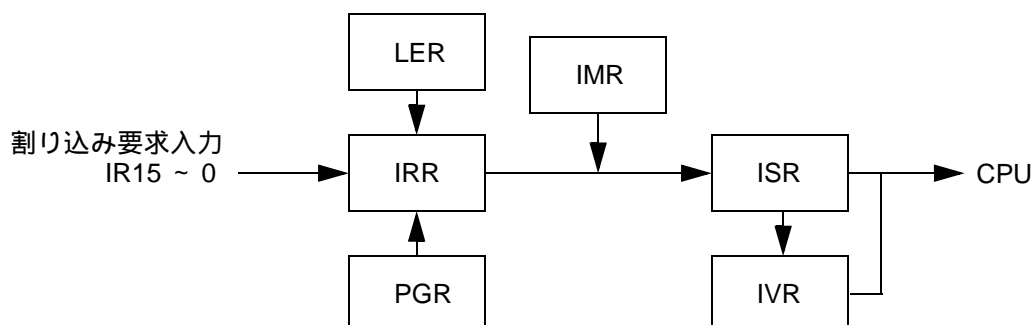


図 8-1 ブロック図

表 8-1 割り込み要因

	割り込み要求元
IR15	外部端子 20
IR14	汎用タイマチャンネル 0 割り込み
IR13	フリーランニングタイマ (キャプチャ・コンペア機能) 割り込み
IR12	汎用タイマチャンネル 1 割り込み
IR11	外部端子 21
IR10	UART チャンネル 0 ブレーク検出 + エラー検出割り込み / 外部端子 22
IR9	UART チャンネル 0 RXRDY 出力 / 外部端子 20
IR8	UART チャンネル 0 TXRDY 出力 / 外部端子 81
IR7	外部端子 82
IR6	UART チャンネル 1 ブレーク検出 + エラー検出割り込み / クロック同期シリアル送受信割り込み
IR5	UART チャンネル 1 RXRDY 出力
IR4	UART チャンネル 1 TXRDY 出力
IR3	外部端子 83
IR2	汎用タイマチャンネル 2 割り込み
IR1	外部端子 84
IR0	汎用タイマチャンネル 3 割り込み

IR15, 11, 10, 9, 8, 7, 3, 1 を使用する場合は、システムコントロールレジスタ SCR3 (第 1 4 章参照) で設定を行ってください。

8.3 I/Oレジスタマッピングとレジスタの構成

I/O マッピング及びレジスタ構成について説明します。

表 8-2 I/O レジスタマッピング

I/O アドレス	ライト時	リード時
34H	LER (L) / PGR (L)	ISR (L)
35H	LER (H) / PGR (H)	ISR (H)
36H	IMR (L)	IMR (L)
37H	IVR / IMR (H)	IMR (H)

LER：レベル／エッジ切り替えレジスタ（ライトのみ）

各要因の割り込み入力の検知モードを設定（レベル／エッジのモード切り替え）します。リセット直後の初期状態では、全てのビットがレベルモードになります。尚、このレジスタへの書き込みは IVR 設定 “前” に行ってください。

1：エッジモード、0：レベルモード

	D7	D6	D5	D4	D3	D2	D1	D0	
LER (H)	(15)	(14)	(13)	(12)	(11)	(10)	(9)	(8)	I/O アドレス = 35H
	D7	D6	D5	D4	D3	D2	D1	D0	
LER (L)	(7)	(6)	(5)	(4)	(3)	(2)	(1)	(0)	I/O アドレス = 34H

IVR：割り込みベクタレジスタ（ライトのみ）

モード 2 及びモード 3 割り込みの割り込みベクタの上位 3 ビットをこのレジスタで指定します。このレジスタ（I/O アドレス）に書き込みを行う前と後で、書き込み可能なレジスタが変化します。

	D7	D6	D5	D4	D3	D2	D1	D0	
IVR	(7)	(6)	(5)	0	0	0	0	0	I/O アドレス = 37H

PGR：優先順位グループレジスタ（ライトのみ）

各要因毎に優先順位グループを設定します。優先順位グループには“HIGH”と“LOW”の 2 種類があります。リセット直後の初期状態では全てのビットが“LOW”に設定されます。尚、このレジスタへの書き込みは IVR 設定 “後” に行ってください。

1：“HIGH”グループ、0：“LOW”グループ

	D7	D6	D5	D4	D3	D2	D1	D0	
PGR (H)	(15)	(14)	(13)	(12)	(11)	(10)	(9)	(8)	I/O アドレス = 35H
	D7	D6	D5	D4	D3	D2	D1	D0	
PGR (L)	(7)	(6)	(5)	(4)	(3)	(2)	(1)	(0)	I/O アドレス = 34H

IRR：割り込み要求レジスタ（アクセス不可）

各要因の割り込み要求の検知状態が設定されます。割り込み要求が発生すると該当するビットがセットされます。割り込み要求の受付がレベルモードの場合は要求の消失によって、またエッジモードの場合は割り込みサービス開始によってリセットされます。リセット直後の初期状態では、全てのビットがリセットされます。

IMR：入力マスクレジスタ（リード・ライト可）

各要因の割り込み禁止／許可を設定します。リセット直後の初期状態では、全てのビットがマスク状態になっています。尚、このレジスタへの書き込みはIVR設定“後”に行ってください。

1：マスク状態（禁止） 0：非マスク状態（許可）

	D7	D6	D5	D4	D3	D2	D1	D0	
IMR (H)	(15)	(14)	(13)	(12)	(11)	(10)	(9)	(8)	I/O アドレス = 37H
	D7	D6	D5	D4	D3	D2	D1	D0	
IMR (L)	(7)	(6)	(5)	(4)	(3)	(2)	(1)	(0)	I/O アドレス = 36H

ISR：インサービスレジスタ（リードのみ）

各要因の割り込みサービス状態が設定されます。CPU から割り込み許可信号が返って来ると、受け付けた割り込み要求に該当するビットが1にセットされます。このとき、割り込みベクタが発生します。リセット直後の初期状態では全てのビットが0にリセットされます。

1：割り込みサービス中

	D7	D6	D5	D4	D3	D2	D1	D0	
ISR (H)	(15)	(14)	(13)	(12)	(11)	(10)	(9)	(8)	I/O アドレス = 35H
	D7	D6	D5	D4	D3	D2	D1	D0	
ISR (L)	(7)	(6)	(5)	(4)	(3)	(2)	(1)	(0)	I/O アドレス = 34H

8.4 割り込みベクタ出力

割り込みベクタの出力フォーマットを示します。内部の割り込み許可信号 IACK_ に応答してデータバスに出力される割り込みベクタは図 8-2 のようになります。割り込みベクタの上位 3 ビットには、IVR で設定した値が出力されます。図に示すように、割り込みベクタは、割り込み要求入力のビット番号が大きくなるにしたがって大きくなる連続した偶数値を出力します。



ビット 7 ~ 5 : IVR に設定したデータ

ビット 4 ~ 1 : 受け付けた割り込みレベルを 2 進数にしたコード

ビット 0 : '0' に固定

図 8-2 割り込みベクタ

8.5 割り込み要求の優先順位

各割り込み要求入力の優先順位は、リセット直後の初期状態では番号が大きい順となっています。また、優先順位グループという考え方をを用いて、優先順位の変更を可能としています。優先順位グループには“LOW”と“HIGH”の2つがあり、各割り込み要因毎に設定可能です。PGRにて設定します。“HIGH”グループの割り込み要因の方が“LOW”グループの割り込み要因よりも優先順位が高く、また各グループ内では割り込み要因のビット番号が大きい方ほど優先順位が高くなっています。以下に例を示します。

割り込み要求入力	グループ	割り込み要求入力	グループ	優先順位
IR15	LOW	IR12	HIGH	最高
IR14	LOW	IR10	HIGH	
IR13	LOW	IR8	HIGH	
IR12	HIGH	IR7	HIGH	
IR11	LOW	IR4	HIGH	
IR10	HIGH	IR2	HIGH	
IR9	LOW	IR1	HIGH	
IR8	HIGH	IR0	HIGH	
IR7	HIGH	IR15	LOW	
IR6	LOW	IR14	LOW	
IR5	LOW	IR13	LOW	
IR4	HIGH	IR11	LOW	
IR3	LOW	IR9	LOW	
IR2	HIGH	IR6	LOW	
IR1	HIGH	IR5	LOW	
IR0	HIGH	IR3	LOW	最低

図 8-3 割り込み優先順位

8.6 レジスタ設定シーケンス

内部レジスタは、表 8-2 のように I/O アドレスが割り付けられています。したがって、リセット解除後の各レジスタの設定は、LER IVR IMR（または PGR）という順に行います。IVR を設定した後は IMR および PGR の設定のみ可能となりますのでご注意ください。

これらのレジスタのうち、ISR と IMR は常時読み出し可能です。不正割り込み判定のためには ISR の読み出しを行う必要があります。

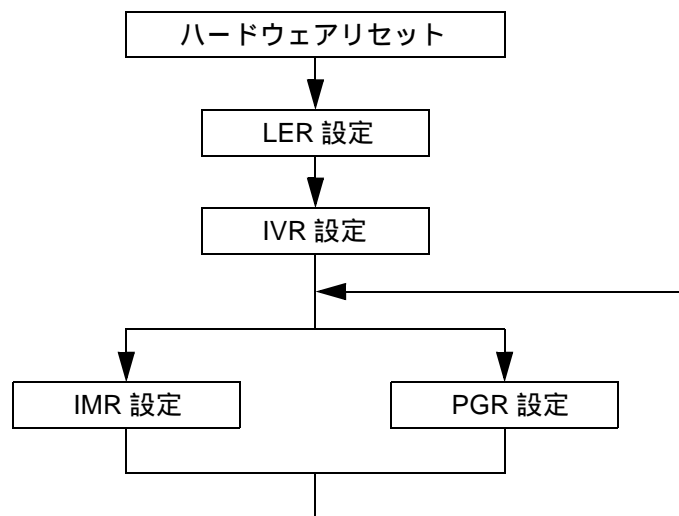


図 8-4 レジスタの設定シーケンス

8.7 レジスタの読み出し

ISR と IMR は常時読み出し可能です。不正割り込み判定のためには ISR の読み出しを行う必要があります。

8.8 割り込み要求の受け付け

割り込み要求の受け付けにはレベル / エッジの 2 種類のモードがあり、LER で設定します。

レベルモード

レベルモードでは IR 入力の “H” レベルを割り込み要求として認識します。リセット後 LER 未設定の状態ではこのモードです。

エッジモード

エッジモードでは IR 入力の立ち上がりを割り込み要求として認識します。この場合その割り込み要求は受け付けられるまで保持されます。

また、マスク状態であっても IR 入力の立ち上がりがあった場合割り込み要求があったと認識し、マスク状態が解除されて受け付けられるまで保持されます。ご注意ください。

一部の外部端子から入力される外部割り込み要求のレベル / エッジモードの極性はシステムコントロールレジスタ SCR3 の設定により変更できます。第 14 章（動作モード設定）を参照してください。

8.9 割り込みの終了

CPU から EOI₋（割り込み終了）信号が発行されると、現在サービス中の割り込みの中で最優先レベルに相当する ISR ビットをリセットします。これにより、そのレベルの割り込みサービスが終了したことになります。

8.10 多重割り込み処理

割り込み要求のあった割り込みレベルと現在サービス中の割り込みレベルをあらかじめ設定された優先順位で比較します。そのとき、新たに要求のあった割り込みレベルが現在サービス中の割り込みレベルより優先順位が高ければ新しい割り込み要求を受け付け、優先順位が同じかあるいは低ければ割り込み要求を拒否あるいは待たせます。これによって、多重割り込み処理を実現しています。多重割り込みの状況は ISR を読み出して知ることができます。

8.11 不正割り込み処理

不正割り込みとは、レベルモードに設定されている割り込み要求入力により、CPU へ INT₋（割り込み要求）信号を出力し、それを受けて CPU が IACK₋（割り込み許可）信号を返した際に、すでにその割り込み要求がなくなってしまう、しかも「現在サービス中の割り込みのうちで、優先順位が最高のもの」より上位の割り込み要求入力がない場合をいいます。

このとき、ISR のセットは行わず、IR0 に相当する割り込みベクタを出力し、不正割り込み処理状態になります。この状態は、CPU からの EOI₋（割り込み終了）信号によって不正割り込み処理ルーチンが終了するまで続きます。このときの EOI₋ 信号においては、ISR はリセットされません。また、不正割り込み処理状態においては、他のいかなる割り込み要求（正常、不正）も受け付けません。このため、IR0 の割り込み処理ルーチン内では、ISR (0) がセットされているかどうかによって、正常な割り込み要求だったのか不正な割り込み要求だったのかを判断し、処理を分ける必要があります。

尚、IR0 の割り込みサービス中に不正割り込み処理状態になった場合、ISR を読み出すと ISR (0) = '0' となります。したがって、ISR (0) = '1' ならば正常な割り込み要求、ISR (0) = '0' ならば不正割り込み要求と区別することが可能となっています。

8.12 リセット

RESET₋ 端子を “L” レベルにすると、次のように動作します。

- 1) IMR を FFFFH にセットします。（全レベルマスク状態）
- 2) IRR、ISR、LER、PGR を 0000H にリセットします。
- 3) 不正割り込み処理状態を無効にします。
- 4) IVR を未設定状態にします。（再設定が必要です）

8.13 外部兼用端子について

割り込み要求 IR10 ~ 8 は、外部端子でパラレルポートとマルチプレクスされています。この外部端子の入出力設定は、パラレルポートの方向制御レジスタによって制御されます。一方、割り込み要求 IR10 ~ 8 の割り込み要求源の選択は SCR3 によって制御されます。外部端子と割り込みコントローラの割り込み要求の回路を図 8-5 に示します。

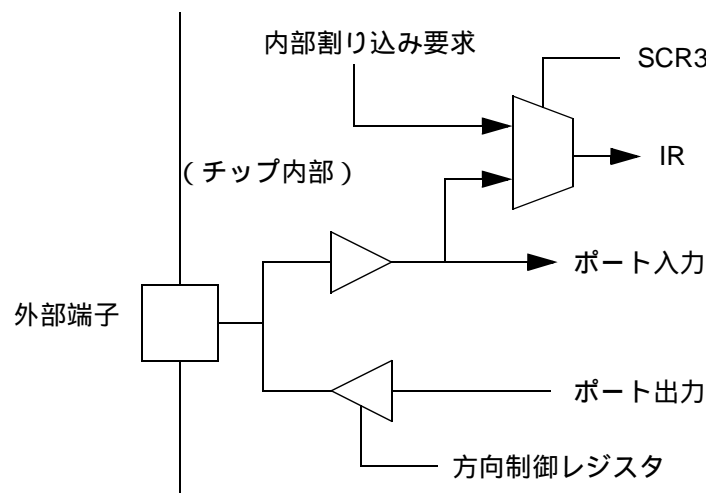


図 8-5 兼用端子の構造

8.14 注意事項

- 1) CPU の割り込みモードはモード 2、モード 3 を使用して下さい。
- 2) モード 2 のときは、割り込み処理ルーチンの最後には必ず RETI 命令を置いて下さい。モード 3 については、第 3 章 (KC160 CPU コア) を参照ください。
- 3) タイマ / カウンタの割り込みを使用する場合は対応する IR 入力をエッジモードに設定する必要があります。
- 4) 外部割り込み要求を使用する場合、パラレルポートは入力方向に設定して下さい。
- 5) 外部端子 20, 21, 82, 83, 84 をパラレルポート出力として使用する場合、IR15, 11, 7, 3, 1 をマスクして下さい。
- 6) 外部端子 22, 23, 81 をパラレルポート出力として使う場合、IR10 ~ 8 をマスクするか、割り込み要求源として内部割り込みを選択して下さい。

9 . UART (非同期シリアル I/F)

9.1 概要

KL5C16030 は非同期シリアル I/F として KP61 マクロセルを搭載しています。非同期シリアルポートを 2 チャンネル内蔵しており、CPU からの動作設定にしたがって、シリアルデータの送信・受信を行います。また、各チャンネルとも送信時、受信時独立に割り込み発生が可能です。

特徴

- ・調歩同期（非同期）式シリアルポート：2 チャンネル搭載。
- ・送信・受信で独立したバッファレジスタを装備、全二重通信。
- ・キャラクタ長は 7, 8, 9 ビット選択可能。
- ・ストップビットとして 1 または 2 ビット選択可能。
- ・パリティビットの付加（偶数 / 奇数）/ 無付加が選択可能。但し、キャラクタ長 9 ビット時はパリティ無付加。
- ・送受信クロック源としてボーレートジェネレータを内蔵し、チャンネル毎に独立した設定可能。
- ・送受信クロックを内部 / 外部選択可能。送信クロックと受信クロックは共通。
- ・サンプリングクロックはシリアルデータのビットレートの $\times 16$ クロック。
- ・スリーピングモードの使用により、複数のマイクロコントローラと通信が可能。

9.2 ブロック図

全体ブロック図を以下に示します。

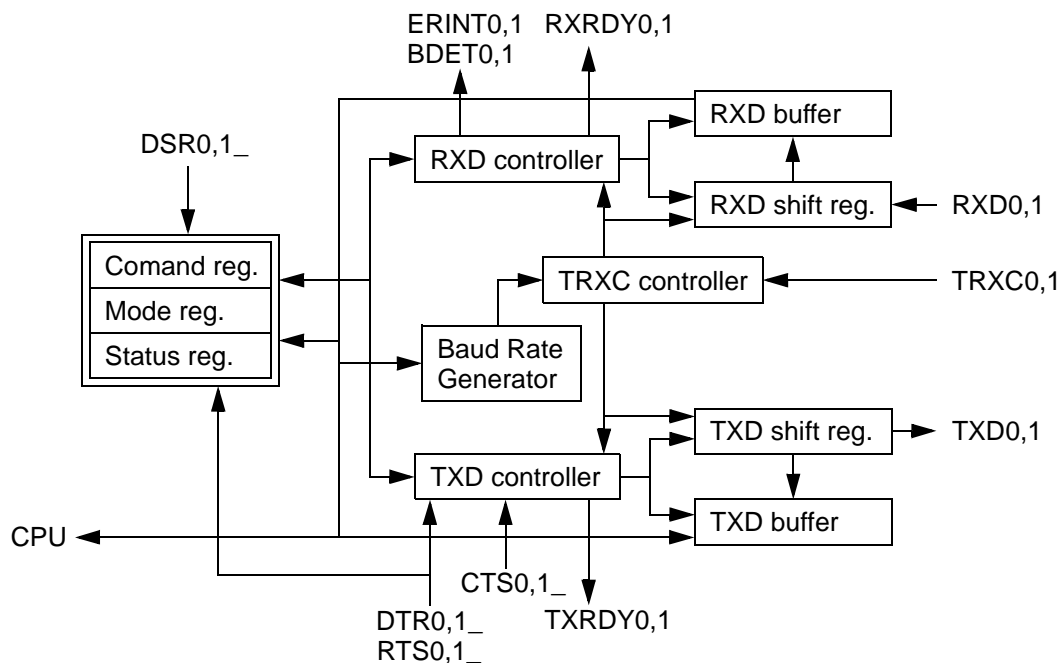


図 9-1 ブロック図

図 9-1 において、チャンネル 1 はチャンネル 0 と同じ構成になっています。

チャンネル 0 の信号のうち、TXRDY0 は割り込みコントローラの IR8 に、RXRDY0 は IR9 に、ERINT0 + BDET0 は IR10 にそれぞれ内部で接続できるようになっています。これらの信号の詳しい設定方法は第 14 章（動作モード設定）を参照して下さい。また、DSR0_ は内部で“L”に固定され、DTR0_ は外部へは出力されません。これ以外のチャンネル 0 の信号には外部端子が割り当てられています。

チャンネル 1 の信号のうち、TXRDY1 は割り込みコントローラの IR4 に、RXRDY1 は IR5 に、ERINT1 + BDET1 は IR6 に内部で接続されています。また、DSR1_ は内部で“L”に固定され、DTR1_ は外部へは出力されません。これ以外のチャンネル 1 の信号には外部端子が割り当てられています。

9.3 端子機能説明

端子名の 0、1 はそれぞれチャンネル 0、チャンネル 1 を表します。

端子名	I/O	機能説明
TRXC0 TRXC1	I	送受信クロック入力端子 データ送受信の際の $\times 16$ クロックを入力する端子です。送受信クロックとして外部入力を選択する場合に使用します。
RXD0 RXD1	I	受信データ入力端子 外部からのシリアルデータを入力する端子です。受信データはビットの中央付近で 3 回サンプルされ、多数決論理により受信シフトレジスタ内に取り込まれます。
RXRDY0 RXRDY1	O	受信レディ信号出力端子 1 キャラクタのデータ受信が終了して受信バッファからの読み出しが可能になると、“H” を出力します。また、データの読み出しによって“L”にリセットされます。 RXRDY0 は、内部で IR9 に接続されています。 RXRDY1 は、内部で IR5 に接続されています。
TXD0 TXD1	O	送信データ出力端子 送信データをシリアルに出力する端子です。CTS_ = “L” かつ送信イネーブル（コマンドレジスタのビット 0 = ‘1’）でデータ送出可能となり、送受信クロック 16 サイクル毎に、その送受信クロックの立ち下がりに同期して LSB から順に送出されます。 送信中に CTS_ = “H” または送信ディセーブル（コマンドレジスタのビット 0 = ‘0’）となった場合、送信バッファ内のデータ送出終了後にマーキング状態（送信データ = ‘1’）となって送信動作を中止します。 また、送信ブレイクコマンド書き込み（コマンドレジスタのビット 3 を ‘1’ にする）によって、TXD から “L” が出力されます。このブレイク状態は送信ブレイク解除（コマンドレジスタのビット 3 を ‘0’ にする）まで続きます。

端子名	I/O	機能説明
TXRDY0 TXRDY1	O	<p>送信レディ信号出力端子</p> <p>KP61 のデータ送信系は二重バッファ構造のため、データの送信を開始すると次の送信データの書き込みが可能となります。この送信データ書き込み可能な状態でかつ送信可能状態 (CTS_ = “L” かつ送信イネーブル状態) であるとき TXRDY = “H” となります。このとき送信データの書き込みが行われると TXRDY = “L” となり、この状態は、再び送信データ書き込み可能な状態でかつ送信可能状態となるまで継続します。</p> <p>この端子はステータスレジスタのビット 0 (TXRDY フラグ) とは以下のように異なります。</p> <p>TXRDY ビット : 送信データの書き込みが可能である時 “H”</p> <p>TXRDY 端子 : 送信データの書き込みが可能で、かつ送信可能状態である時 “H”</p> <p>TXRDY0 は、内部で IR8 に接続されています。</p> <p>TXRDY1 は、内部で IR4 に接続されています。</p>
CTS0_ CTS1_	I	<p>クリアトゥセンド信号入力端子</p> <p>外部からの送信要求信号を入力する端子です。通常モデムのリクエストトゥセンド信号を接続します。送信シフトレジスタ内にデータがあるとき、送信イネーブル状態 (コマンドレジスタのビット 0 = ‘1’) でかつ CTS_ = “L” のとき、送信データが TXD 端子から出力されます。データ送出中に CTS_ = “H” となっても送信の中断はしません。この場合、送信シフトレジスタ内のデータ送出終了後にマーキング状態 (TXD = “H”) を保持します。</p> <p>この端子の反転値が拡張ステータスレジスタ B のビット 6 に反映されます。</p>
DSR0_ DSR1_	I	<p>データセットレディ信号入力端子</p> <p>通常モデムのステータスをチェックするためにモデムのデータターミナルレディ信号を接続しますが、汎用の入力ポートとしても使用できます。</p> <p>この端子の反転値がステータスレジスタのビット 7 (DSR) に反映されます。但し、本製品では DSR0_、DSR 1_ 共に内部で “L” に固定されており、外部端子としては使用できません。</p>
RTS0_ RTS1_	O	<p>リクエストトゥセンド信号出力端子</p> <p>通常モデムに対するリクエストトゥセンド信号として用いますが、汎用の出力ポートとしても利用できます。</p> <p>コマンドレジスタのビット 5 (RTS) に設定した値の反転が出力されます。</p>
DTR0_ DTR1_	O	<p>データターミナルレディ信号出力端子</p> <p>通常モデムに対するデータターミナルレディ信号として用いますが、汎用の出力ポートとしても利用できます。</p> <p>コマンドレジスタのビット 1 (DTR) に設定した値の反転が出力されます。但し、本製品では DTR0_、DTR1_ は外部端子としては使用できません。</p>

端子名	I/O	機能説明
ERINT0 ERINT1	O	エラー発生割り込み要求信号出力端子 パリティ・エラー、フレーミング・エラー、オーバーラン・エラーのうち少なくとも一つが発生すると“H”を出力します。この信号を割り込み要求信号として使用することができます。
BDET0 BDET1	O	ブレーク検出信号出力端子 ブレークの検出を示す信号の出力端子です。 受信データのストップビット = ‘0’ を検出した後連続して8ビットの‘0’をRXD端子から受信すると、それをブレーク信号と認識して、“H”を出力します。この状態は次にRXD端子から‘1’を検出するまで継続されます。

9.4 内部レジスタマッピングと設定方法

内部レジスタのマッピングを以下に示します。

表 9-1 I/O レジスタマッピング

I/O アドレス	ライト時	リード時
28H 29H 2AH 2BH	チャンネル0・RATE 設定 川崎製鉄予約 チャンネル0・送信データ チャンネル0・モード / コマンド	チャンネル0・RATE 設定 川崎製鉄予約 チャンネル0・受信データ / 拡張ステータス A チャンネル0・ステータス / 拡張ステータス B
2CH 2DH 2EH 2FH	チャンネル1・RATE 設定 川崎製鉄予約 チャンネル1・送信データ チャンネル1・モード / コマンド	チャンネル1・RATE 設定 川崎製鉄予約 チャンネル1・受信データ / 拡張ステータス A チャンネル1・ステータス / 拡張ステータス B

レジスタ設定 / 読み出しシーケンス

リセット後、データ送受信を行う前に、使用するチャンネルに対して以下の手順でモード設定とコマンド書き込みを行って下さい。またステータスレジスタの読み出し方法も合わせて説明します。

モード設定

リセット（ハードリセットまたはコマンド書き込みによるソフトウェアリセット）後、モード / コマンドレジスタ（2BH, 2FH）に書き込みを行うと、必ずモードレジスタへの書き込みとなります。ここではキャラクタ長やパリティの設定等を行います。9.5 節のフォーマットにしたがってモード設定を行って下さい。

コマンド設定

モード設定後、I/O アドレス 2BH, 2FH への書き込みは全てコマンドレジスタへの書き込みとなります。このコマンド設定によりデータ送受信が可能となります。コマンドレジスタは3種類あります。9.5 節のフォーマットにしたがってコマンド設定を行って下さい。

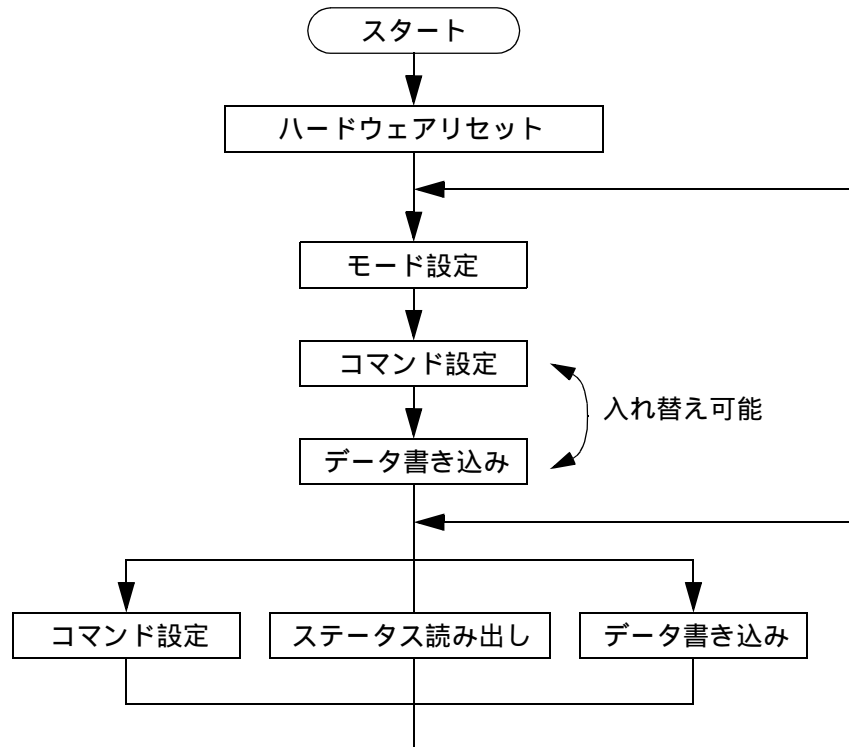


図 9-2 レジスタ設定、読み出しシーケンス

読み出しレジスタの切替え

ここでは読み出すレジスタの切替え方法について、チャンネル 0 を例に説明します。

リセット後、I/O アドレス 2AH, 2BH からの読み出しではそれぞれチャンネル 0 の受信データ、ステータスが読み出せます。ここで、I/O アドレス 2BH へレジスタ切替えコマンドのビット 0 = '1' にして書き込むと、レジスタ切替え F/F がセットされて、I/O アドレス 2AH, 2BH から読み出せるレジスタがチャンネル 0 の拡張ステータスレジスタとなります。拡張ステータスレジスタ A、B それぞれのフォーマットは 9.5 節を参照して下さい。

2つの拡張ステータスレジスタのうち、拡張ステータスレジスタ A の読み出しを行ってもレジスタ切替え F/F はクリアされません。したがって、続いて拡張ステータスレジスタ B の読み出しを行うことができます。拡張ステータスレジスタ B の読み出しを行うとレジスタ切替え F/F はクリアされますので、続いて読み出しを行うと受信データ / ステータスレジスタを読み出すことになります。レジスタ切替え F/F のクリアはレジスタ切替えコマンドのビット 0 = '0' にして書き込むことでも行えます。

チャンネル 1 についても同様です。尚、この読み出しレジスタの切替えはチャンネル間で独立に行われます。

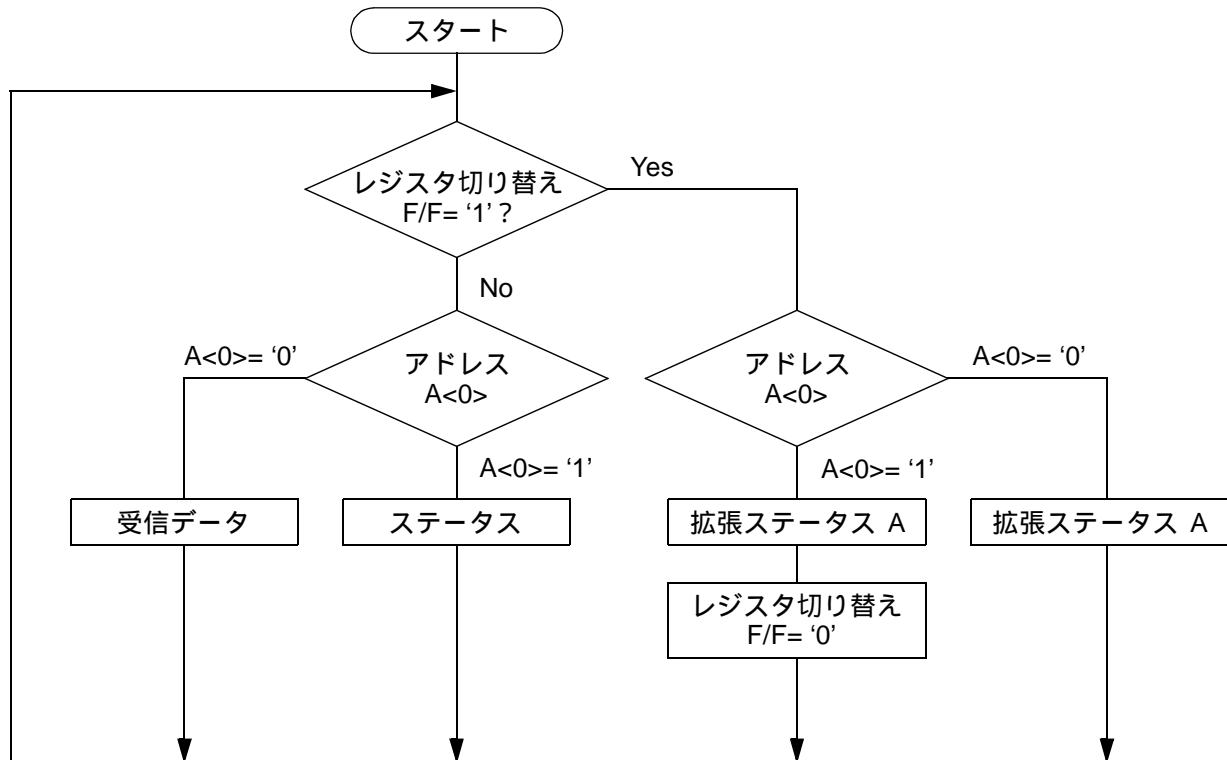


図 9-3 読み出しレジスタ切替えシーケンス

9.5 内部レジスタの構成

RATE 設定レジスタ

内蔵ボーレートジェネレータの動作を決定するパラメータ RATE<7:0> を設定します。設定方法については、9.6 節中の「ボーレートジェネレータと送受信クロックの選択」の項を参照して下さい。

D7	D6	D5	D4	D3	D2	D1	D0

I/O アドレス = 28H, 2CH

モードレジスタ

D7	D6	D5	D4	D3	D2	D1	D0
	0					1	0

I/O アドレス = 2BH, 2FH

D<7> ストップビット

0 : 1 ビット

1 : 2 ビット

D<5> パリティチェック

0 : 奇数

1 : 偶数

D<4> パリティ

0 : 無し

1 : 有り

D<3:2> キャラクタ長

00 : 9 ビット

10 : 7 ビット

11 : 8 ビット

コマンドレジスタ A

D7	D6	D5	D4	D3	D2	D1	D0
0							

I/O アドレス = 2BH, 2FH

- D<6> ソフトウェア・リセット
1: ソフトウェア・リセット実行
- D<5> RTS
RTS_ 端子の反転を設定
- D<4> エラーフラグ・リセット
1: エラーフラグ・リセット実行
- D<3> 送信データ
0: 通常送信
1: ブレーク信号送信 (TXD = "L")
- D<2> 受信モード
0: 受信ディセーブル
1: 受信イネーブル
- D<1> DTR
DTR_ 端子の反転を設定
- D<0> 送信モード
0: 送信ディセーブル
1: 送信イネーブル

D6, D4 は単発動作のため、その動作の解除のために '0' を書き込む必要はありません。

コマンドレジスタ B

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	0	0			

I/O アドレス = 2BH, 2FH

- D<2:0> 送受信クロック切り替え
000: 外部クロック (TRXC 端子)
001: BCK<0>
010: BCK<1>
011: BCK<2>
100: BCK<3>
101: BCK<4>
110: BCK<5>
111: BCK<6>

BCK<6:0> に関しては、9.6 節中の「ボーレートジェネレータと送受信クロック選択」の項を参照して下さい。

コマンドレジスタ C

D7	D6	D5	D4	D3	D2	D1	D0
1	1	0	0	0	0		

I/O アドレス = 2BH, 2FH

D<1> スリープモード

0 : 解除

1 : 設定

D<0> 送信データ・ビット 8

送信データのビット 8 の値を設定 (キャラクタ長 9 ビット時のみ有効)

レジスタ切り替えコマンド

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	0	0	0	

I/O アドレス = 2BH, 2FH

D<0> レジスタ切り替え F/F 設定

0 : クリア

1 : セット

ステータスレジスタ

D7	D6	D5	D4	D3	D2	D1	D0

I/O アドレス = 2BH, 2FH

D<7> DSR

DSR_ 端子の反転が設定

D<6> ブレーク検出 (BDET) フラグ

1 : 検出

D<5> フレーミングエラー検出 (FE) フラグ

1 : 検出

D<4> オーバーランエラー検出 (OE) フラグ

1 : 検出

D<3> パリティエラー検出 (PE) フラグ

1 : 検出

D<2> TXEMP

1 : 送信データバッファと送信シフトレジスタのどちらにも送信すべきデータが無い状態、送信ディセーブル状態、あるいは CTS_ = "H" のとき

D<1> 受信レディ状態 (RXRDY)

RXRDY 端子と同じ機能

D<0> 送信レディ状態 (TXRDY)

TXRDY 端子とは若干機能が異なります。

詳細は、8.3 節の端子機能説明を参照してください。

受信ディセーブル時（コマンドレジスタ A のビット 0 = ‘0’）は、PE, OE, FE フラグは立ちません。また、エラーフラグが立っている時に受信ディセーブル状態にしても、エラーフラグはクリアされません。エラーフラグのクリアは、エラーリセット（コマンドレジスタ A のビット 4 を ‘1’ にする）時、あるいはハードウェア / ソフトウェアリセット時に限られます。

拡張ステータスレジスタ A

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	X			

I/O アドレス = 2AH, 2EH

D<2:0> 送受信クロック切り替え

000 : 外部クロック（TRXC 端子）

001 : BCK<0>

010 : BCK<1>

011 : BCK<2>

100 : BCK<3>

101 : BCK<4>

110 : BCK<5>

111 : BCK<6>

D<3> は、川崎製鉄予約（テスト用ビット）で、値は不定。

拡張ステータスレジスタ B

D7	D6	D5	D4	D3	D2	D1	D0

I/O アドレス = 2BH, 2FH

D<7> ストップビット

0 : 1 ビット

1 : 2 ビット

D<6> CTS

CTS_端子の反転が設定

D<5> パリティチェック

0 : 奇数

1 : 偶数

D<4> パリティ

0 : 無し

1 : 有り

D<3:2> キャラクタ長

00 : 9 ビット

10 : 7 ビット

11 : 8 ビット

D<1> スリープモード

0 : 無効

1 : 有効

D<0> 受信データ・ビット 8

受信データのビット 8 を設定 (キャラクタ長 9 ビット時のみ有効)

9.6 動作説明

送信動作

CPU から送信データが書き込まれると、そのデータは送信データバッファに設定されます。ここで、ブレーク信号送信状態に設定されておらず、かつ送信ディセーブル状態なら TXD 端子からは“H”が出力され続けます（マーキング状態）。

CTS_ = “L” かつ送信イネーブル状態（コマンドレジスタのビット 0 = ‘1’、送信可能状態）になると、KP61 は送信データバッファ内のデータを送信シフトレジスタに設定してデータ送信を開始するとともに、ステータスレジスタの TXRDY フラグを ‘1’ にします。これは TXRDY 端子にも反映されます。

送信シフトレジスタ内のデータ送出が終了する度に KP61 は送信可能状態のチェックを行います。このとき、送信データバッファ内に次の送信データが存在し、かつ送信可能状態であったなら、そのデータを送信シフトレジスタに設定し、連続して送信を行います。送信データが存在しない場合は、送信動作を行わず、マーキング状態を保持するとともにステータスレジスタの TXEMP フラグを ‘1’ にします。データ送信中に送信可能状態でなくなっても、現在実行中の送信動作に影響はありません。前述のように、KP61 は送信動作完了時に送信可能状態のチェックを行い、このとき送信可能状態でなければ送信動作を停止します。

ブレーク信号送信状態（コマンドレジスタのビット 3 = ‘1’）に設定することによって、TXD 出力は“L”になります。このブレーク状態は送信ブレーク解除（コマンドレジスタのビット 3 を ‘0’ にする）まで継続しますが、その間も送信動作や TXRDY 出力は、設定されたキャラクタ長等にしがたって通常の送信状態と同じタイミングで動作します。

受信動作

受信イネーブル状態（コマンドレジスタのビット 2 = ‘1’）にすることによって、設定モードにしたがって受信動作を行います。RXD 端子から“H”を検出すると、スタートビット待ち状態となります。その後 RXD = “L” となってから数えて送受信クロック 7, 8, 9 クロック目で RXD をサンプルし、このうち 2 回以上“L”であったならばスタートビットと認識します（図 8-7 参照）。“L”の検出が 1 回以下だった場合、スタートビット待ち状態に戻ります。

スタートビット認識後、データビットを受信シフトレジスタに取り込んでいきますが、このときもスタートビット認識時と同様に、ある受信ビットにおける送受信クロックの 7, 8, 9 クロック目で RXD をサンプルし、このうち 2 回以上検出された値をそのビットのデータとして確定します。

規定ビット数のキャラクタとパリティビットを受信した後ストップビットを検出すると、受信シフトレジスタから受信データバッファへ受信データが転送され、RXRDY フラグが ‘1’ にセットされるとともに RXRDY 端子からは“H”が出力されます。このとき各エラーが検出されると、そのエラーフラグも ‘1’ にセットされます。そのタイミングは図 8-9 の通り、最初のストップビットの中央付近です。

尚、フレーミングエラーは、最初のストップビットが ‘0’ と認識されることによって検出されます。また、オーバーランエラーは、受信シフトレジスタから受信データバッファへの受信データの転送時に以前のデータが読み出されていない場合検出され、このとき受信データバッファには新しい受信データが上書きされてしまいます。これらのエラー検出は受信動作そのものには影響しません。但し、フレーミングエラー後の受信データについては保証されません。

セットされた RXRDY フラグは、CPU からの受信データバッファ読み出しにより ‘0’ にクリアされます。このとき RXRDY 信号も“L”となります。

受信ディセーブル（コマンドレジスタのビット 2 = ‘0’）状態では受信動作を行いません。また、データ受信中に受信ディセーブル状態になると、現在受信中のデータの受信完了を待たずに直ちに受信動作を中止します。したがって、このとき一切のエラー検出は行われません。

フレーミングエラー検出後、連続して 8 ビットの ‘0’ を RXD 端子から受信すると、これをブレーク信号と認識して BDET = “H” を出力します。この状態は次に RXD 端子から ‘1’ を検出するまで継続されます。したがって、ブレーク信号を送信する時は、少なくとも 20 ビット程度連続して ‘0’ を送信することをお奨めします。尚、受信ディセーブル状態ではブレーク検出は行われません。

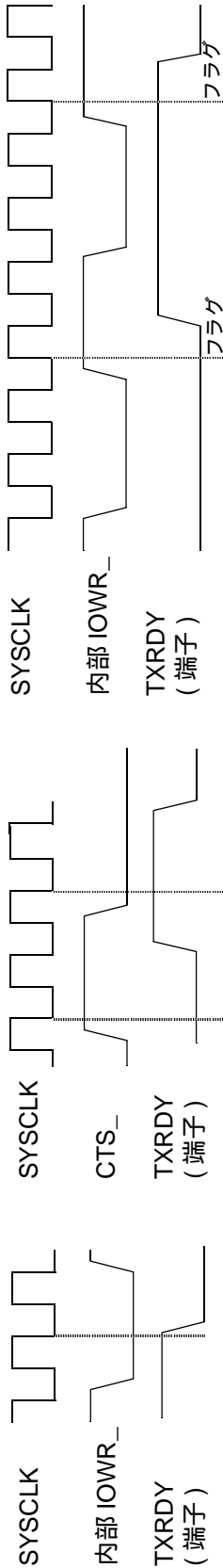


図 9-4 データライトによる TXRDY(端子) の変化

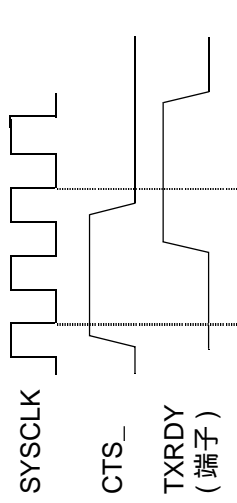


図 9-5 CTS_ 信号による TXRDY(端子) の変化

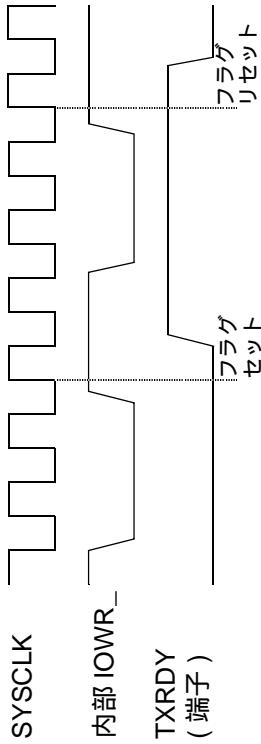


図 9-6 送信イネーブル(ディセーブル) ライトによる TXRDY(端子) の変化

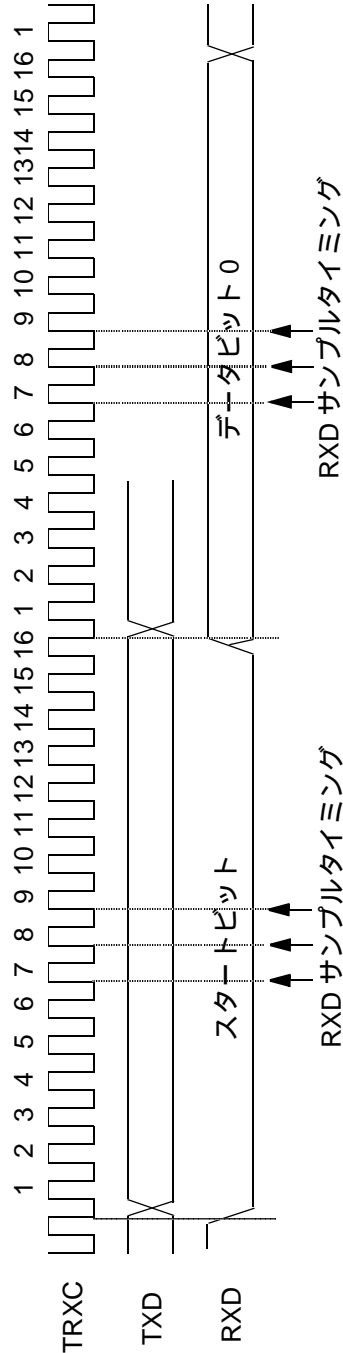


図 9-7 送受信クロックと送受信データ (送受信クロックは外部 TRXC を選択)

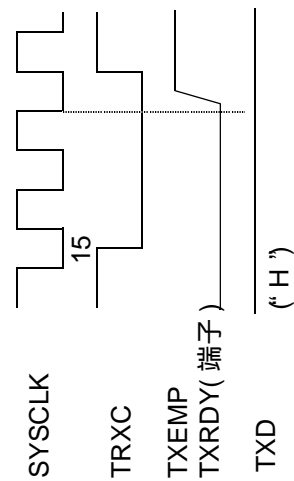


図 9-8 送受信クロックと TXEMP, TXRDY 信号変化タイミング

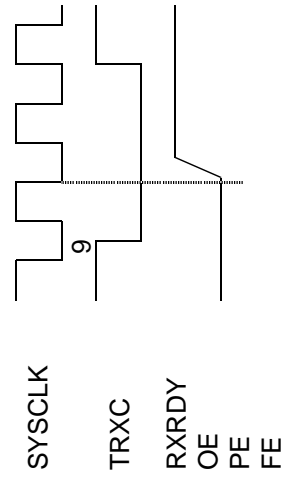


図 9-9 最初のストップビット受信中の RXRDY, エラーフラグセットタイミング (送受信クロックは外部 TRXC を選択)

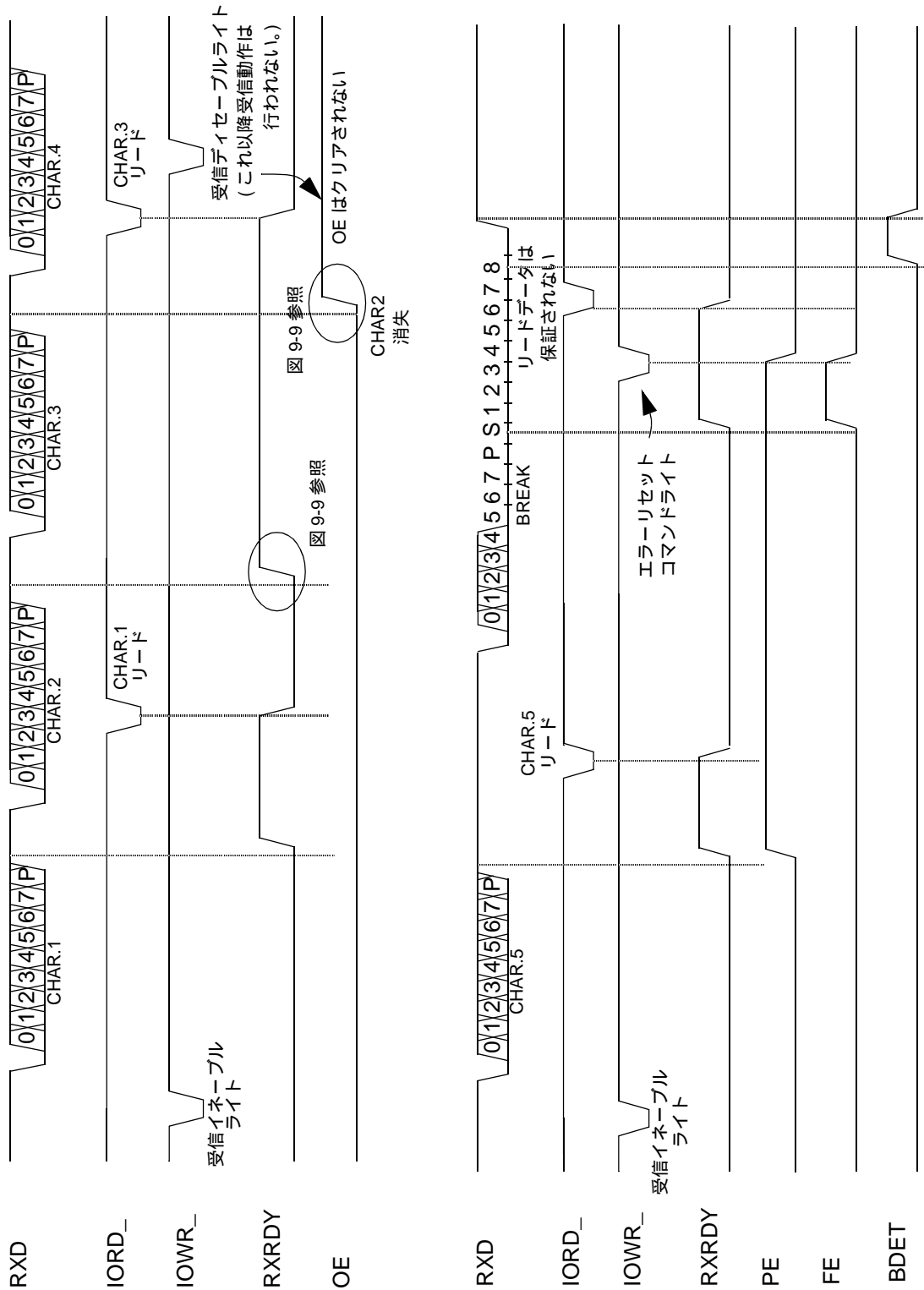


図 9-10 受信動作とフラグタイミング (キャラクタ長 8 ビット、パリティ付、ストップビット 2 の例)

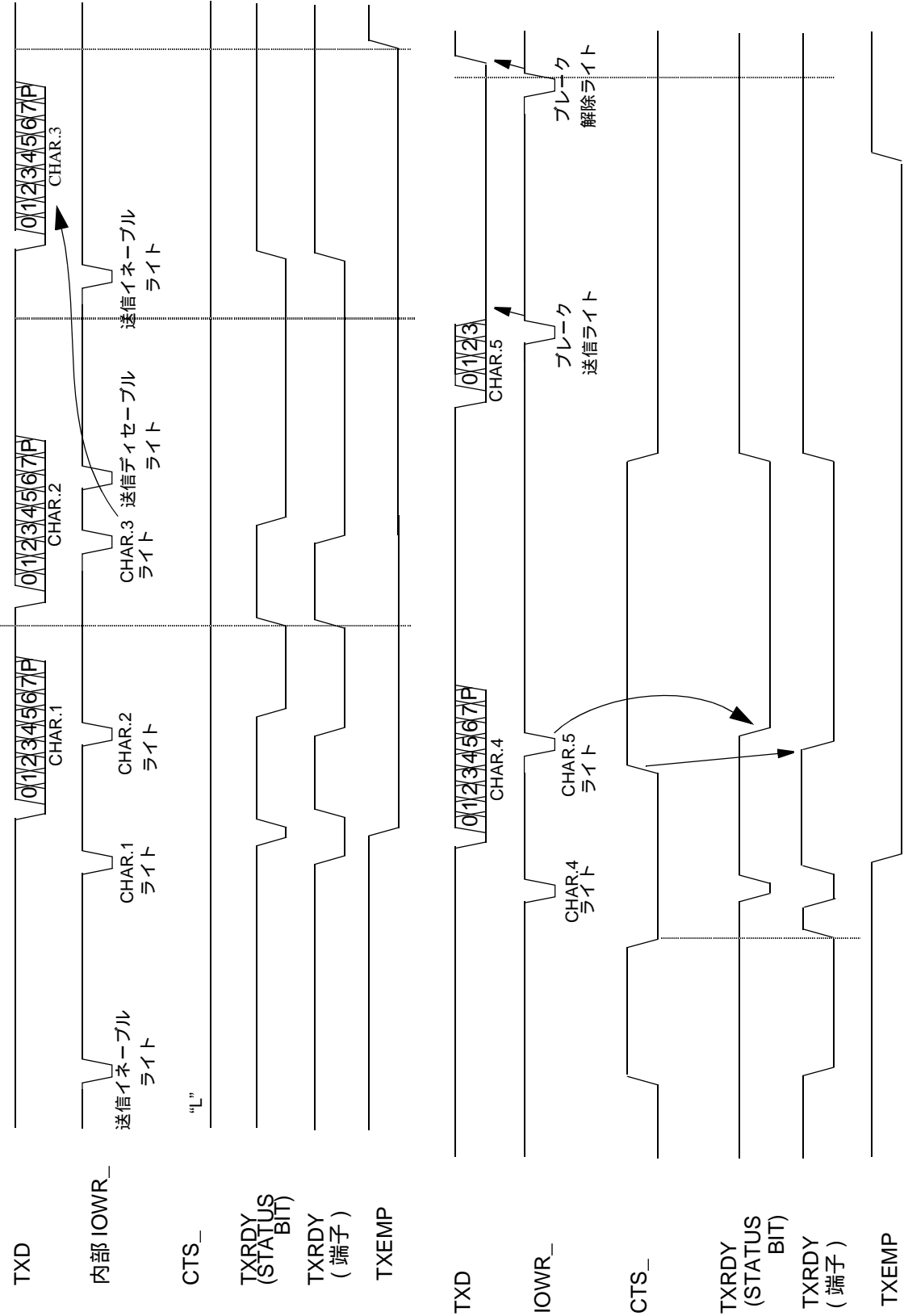


図 9-11 送信動作と信号変化タイミング (キャラクター長 8 ビット、パリティ付の例)

スリーピングモード

スリーピングモードをサポートしていますので、UART を用いて複数のマイコン間で通信を行う際にこのスリーピングモードを使用します。スリーピングモードは、モードレジスタでキャラクタ長 9 ビットを選択し、かつコマンドレジスタ C の D1 = '1' としたときに有効になります。スリーピングモードでは、受信データのビット 8 = '0' のときは受信シフトレジスタの受信データを受信データバッファへ転送しません。また、RXRDY もフラグ、信号ともに変化しません。

以下にスリーピングモードの使用例を示します。

- 1) 各スレーブコントローラをスリーピングモードに設定します。
- 2) マスターコントローラの UART からスレーブコントローラ選択アドレスを送信します。但し、その送信データのビット 8 は '1' としておきます。
- 3) 各スレーブコントローラは、今受信したアドレスが自分を示すものであるか判定し、そうであればプログラムにより自分のスリーピングモードを解除します。
- 4) マスターコントローラの UART からデータを送信します。但し、その送信データのビット 8 は '0' とします。こうすることにより、指定された以外のスレーブコントローラはスリーピングモードのままなので、受信データはシフトレジスタから受信データバッファに転送されません。

こうして特定のスレーブコントローラとのみ通信を行うことができます。

スリーピングモードでは、

- ・フレーミングエラーは検出されます。
- ・パリティエラーは検出されません。
- ・オーバーランエラーは、ビット 8 = '1' のデータを 2 回受信してその間 1 度も受信データバッファの読み出しが行われないと成立します。

ボーレートジェネレータと送受信クロック選択

通信チャネル 0, 1 に独立したボーレートジェネレータを内蔵しています。そして、送受信クロックとして TRXC 端子から入力される外部クロックと、ボーレートジェネレータによってシステムクロックを分周して得られる内部クロックのいずれかを選択することができます。この設定はコマンドレジスタ B によって行います。

ボーレートジェネレータの動作設定は、RATE 設定レジスタに設定する RATE<7:0> によって行います。

RATE<7> = '0' 及び RATE<7> = '1' それぞれにおいて計算することで、あらゆるシステムクロックに対して最適な内部送受信クロックが得られます。またボーレートジェネレータの出力は、BCK<6:0> として得られますが、このうち BCK<0> がもっとも高速で、以下 BCK<1> は BCK<0> の 1/2、BCK<2> は BCK<1> の 1/2 となり、もっとも低速な BCK<6> からは BCK<0> の 1/64 の内部送受信クロックが得られます。

RATE<6:0> はボーレートジェネレータに設定する動作定数です。この値を n (10 進数) とし、またシステムクロックの周波数を F_{sysclk} [Hz] とすると、ボーレートジェネレータの BCK< i > から得られる送受信クロックによるボーレートは表 9-2 の式のようになります。

表 9-3 に、システムクロック周波数が 10MHz, 7.159MHz, 3.932MHz の場合について、上の式で計算したボーレート例とそのときの RATE 設定レジスタへの設定値を示します。

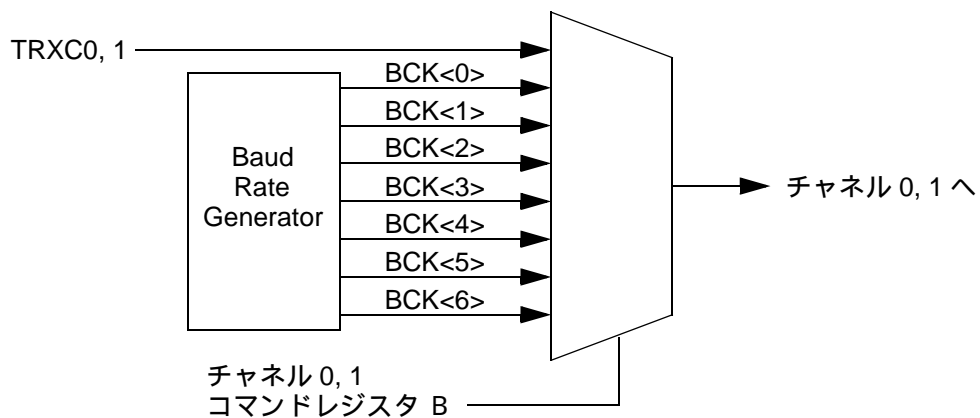


図 9-12 仕様送受信クロック選択

表 9-2 ボーレート計算式

RATE<7>	BCK<i> から得られる送受信クロック によるボーレート [bps]
0	$\frac{F_{sysclk}}{(n + 1) \times 2^{(i+1)}} \times \frac{1}{16}$
1	$\frac{F_{sysclk} \times (n + 128)}{256 \times 2^{(i+1)}} \times \frac{1}{16}$

i: 0 ~ 6

n = RATE<6:0>

表 9-3 ポーレート例一覧表（ポーレート精度は誤差0.5%未満）

システムクロック 周波数 [MHz]	RATE<7>	RATE<6:0>	BCK<i> i = 0~6	ポーレート [bps]	備考
10	1	124	BCK<0>	307200	RATE<7:0>=FCH
			BCK<1>	153600	
			BCK<2>	76800	
			BCK<3>	38400	
			BCK<4>	19200	
			BCK<5>	9600	
			BCK<6>	4800	
	0	64	BCK<0>	4800	RATE<7:0>=40H
			BCK<1>	2400	
			BCK<2>	1200	
			BCK<3>	600	
			BCK<4>	300	
			BCK<5>	150	
			BCK<6>	75	
7.159	1	48	BCK<0>	153600	RATE<7:0>=B0H
			BCK<1>	76800	
			BCK<2>	38400	
			BCK<3>	19200	
			BCK<4>	9600	
			BCK<5>	4800	
			BCK<6>	2400	
	0	92	BCK<0>	2400	RATE<7:0>=5CH
			BCK<1>	1200	
			BCK<2>	600	
			BCK<3>	300	
			BCK<4>	150	
			BCK<5>	75	
			BCK<6>	-----	
3.932	1	32	BCK<0>	76800	RATE<7:0>=A0H
			BCK<1>	38400	
			BCK<2>	19200	
			BCK<3>	9600	
			BCK<4>	4800	
			BCK<5>	2400	
			BCK<6>	1200	
	0	50	BCK<0>	2400	RATE<7:0>=1AH
			BCK<1>	1200	
			BCK<2>	600	
			BCK<3>	300	
			BCK<4>	150	
			BCK<5>	75	
			BCK<6>	-----	

9.7 リセット

ハードウェア/ソフトウェアリセットにより以下の状態に初期化されます。但し、ソフトウェアリセットでリセットされるのはそのチャンネルに属する信号、フラグ等のみです。

送信ディセーブル

受信ディセーブル

各エラーフラグ = '0'

TXRDY (フラグ) = '1'、 TXRDY (端子) = "L"

RXRDY (フラグ) = '0'、 RXRDY (端子) = "L"

BDET (フラグ) = '0'、 BDET (端子) = "L"

TXEMP = '0' (これはモードライトによって '1' となります)

DTR (フラグ) = '0'、 DTR_ (端子) = "H"

RTS (フラグ) = '0'、 RTS_ (端子) = "H"

DSR (フラグ) = '0'、 DSR_ (端子) = "H"

レジスタ切替え F/F: クリア ('0')

RATE 設定レジスタ、コマンドレジスタ B の送受信クロック選択ビット (D2, D1, D0) 及びコマンドレジスタ C のスリーピングモードビット (D1) はハードウェアリセットではリセットされますが、ソフトウェアリセットではリセットされません。この場合、ソフトウェアリセット直前の設定データが残っていますのでご注意ください。

9.8 注意事項

各ステータスレジスタやデータレジスタを読み出した場合、リードを開始した時点でのデータが読み出されます。読み出し中に各フラグや受信データバッファの内容が変化しても、読み出しデータにその影響は現れません。

通信キャラクタ長で 7 ビットを選択した場合、受信データのビット 7 の値は不定となります。

パラレルポートと多重化されている各信号端子については、第 2 章 (端子説明) を参照して下さい。また、各端子の詳しい使い方は第 1 4 章 (動作モード設定) を参照して下さい。

10 . クロック同期シリアル I/F

10.1 概要

KL5C16030 のクロック同期シリアル I/F は KP62 マクロセルを 1 チャンネル搭載しています。キャラクタ長は 8 ~ 16 ビットが指定可能で、キャラクタ転送方向も LSB 先頭 / MSB 先頭が選択できます。また、シリアルクロックとして外部クロックに加え内部クロックも選択でき、シングルチップマイコンや AD/DA コンバータ等との接続に、柔軟に対応できます。

特徴

- ・ クロック同期式半二重通信方式
- ・ 最大ボーレートは 5Mbps (外部シリアルクロック選択時、5MHz)
- ・ キャラクタ長は 8 ~ 16 ビットが指定可能
- ・ キャラクタ転送方向は LSB 先頭 / MSB 先頭が選択可能
- ・ 内部シリアルクロック (システムクロックの 8 分周) / 外部シリアルクロックが選択可能

10.2 ブロック図

全体ブロック図を図 10-1 に示します。

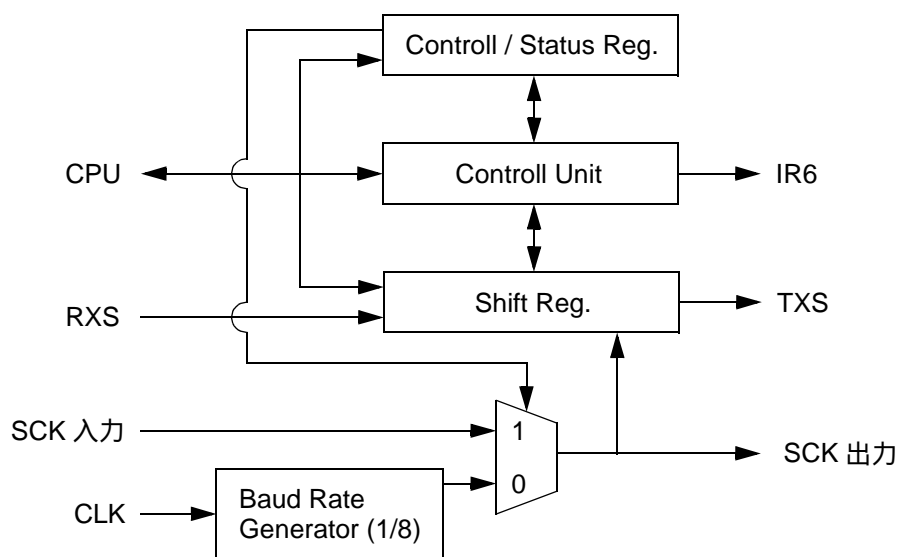


図 10-1 クロック同期シリアル I/F のブロック図

10.3 端子機能

端子名	I/O	機能説明
SCK	I/O	シリアルクロック入出力端子 入力設定時は外部シリアルクロックを選択して、通信を行う際のボーレートを制御するクロック入力です。出力設定時はクロック同期シリアル I/F 内部で生成するシリアルクロックを出力します。
RXS	I	受信データ入力端子 受信データをシリアル入力する端子です。
TXS	O	送信データ出力端子 送信データをシリアル出力する端子です。

SCK の内部接続

SCK 端子はポートと兼用になっており、図 10-2 に示すように内部で接続されています。

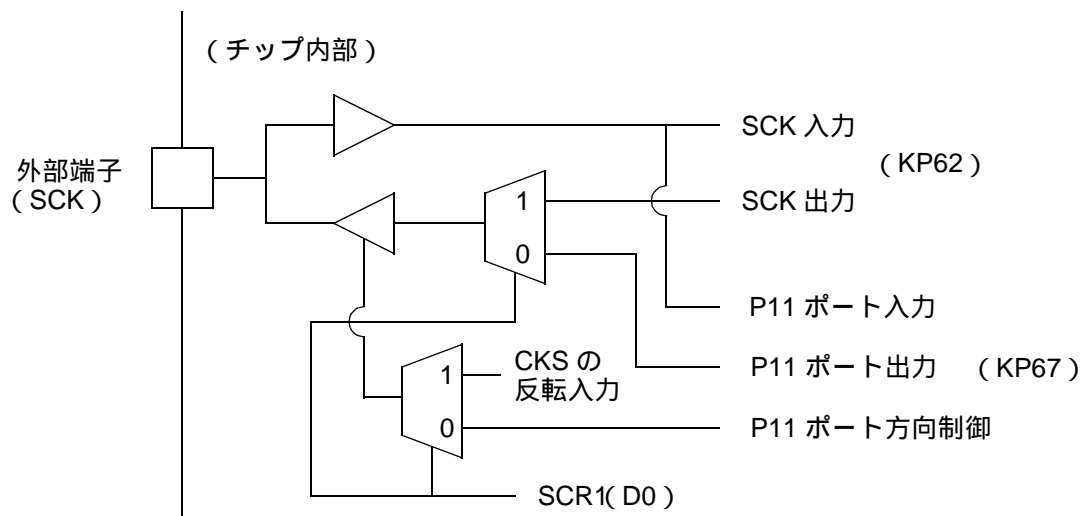


図 10-2 内部接続

10.4 I/O アドレス割り当て

レジスタの I/O アドレス割り当てを表 10-1 に示します。

表 10-1 I/O アドレスマッピング

I/O アドレス	ライト時	リード時
30H 31H	送信データ モード/コマンド	受信データ ステータス

10.5 初期設定

データの送受信を始める前に、リセット後図 10-3 に示す様にモード設定及びコマンド設定を行う必要があります。

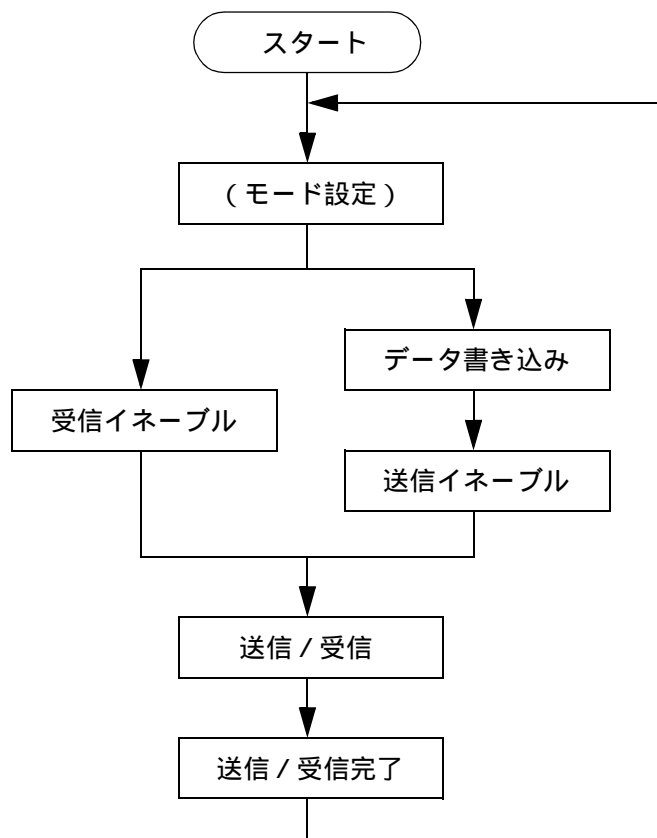


図 10-3 初期設定フロー

モード設定

リセット後、図 10-3 にしたがってモード設定を行ってください。リセット後は必ずこのモード設定待ちの状態になっています。再度モード設定を行う際には、ステータスの BUSY_ が '1' であることを確認してから再設定してください。但し、「外部シリアルクロック、8ビットキャラクタ長、SST = '0'、MSB 先頭」を選択する場合は、このモード設定を省略することができます。

モードレジスタ

D7	D6	D5	D4	D3	D2	D1	D0
				0			

I/O アドレス = 31H

D<7:4> データ・キャラクタ長設定 (DW)

- 0111 : 8 ビット
- 1000 : 9 ビット
- 1001 : 10 ビット
- 1010 : 11 ビット
- 1011 : 12 ビット
- 1100 : 13 ビット
- 1101 : 14 ビット
- 1110 : 15 ビット
- 1111 : 16 ビット

D<2> データ先頭ビット LSB/MSB 切り替え (LMN)

- 0 : MSB 先頭
- 1 : LSB 先頭

D<1> データ送受信タイミング (SST)

- 0 : クロックの立ち下がり () で送信 (データ・シフト)
クロックの立ち上がり () で受信 (データ・サンプル)
内部クロック選択時、SCK 出力初期値 = "H"
- 1 : クロックの立ち上がり () で送信 (データ・シフト)
クロックの立ち下がり () で受信 (データ・サンプル)
内部クロック選択時、SCK 出力初期値 = "L"

D<0> 送受信クロック選択 (CKS)

- 0 : 内部クロック (システムクロックの 8 分周)
SCK 端子からこの信号 (システムクロックの 8 分周) が出力。
- 1 : 外部クロック (SCK 入力)
SCK 入力信号をシステムクロックの立ち上がりでサンプルして使用。

(注) 上記以外の組み合わせの設定を行った場合の動作は保証しません。

コマンド設定

コマンドとしては、送信イネーブル、受信イネーブル、キャンセルが用意されています。送信イネーブルにより送信を開始します。同様に、受信イネーブルにより受信を開始します。キャンセルは通信中にも受け付けられ、モード設定直後の待機状態に移ります。これに対し、送信イネーブルと受信イネーブルコマンドはどちらも通信中には受け付けられませんので、ステータスの BUSY_ が '1' の時に設定を行ってください。

コマンドレジスタ

D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0			I/O アドレス = 31H

D<1:0> コマンド設定

00 : キャンセル

10 : 送信イネーブル

11 : 受信イネーブル

(注) 上記以外の組み合わせの設定を行った場合の動作は保証しません。

ステータス

ステータス情報は、レジスタから読み出すことができます。

ステータスレジスタ

D7	D6	D5	D4	D3	D2	D1	D0	
								I/O アドレス = 31H

D<7:4> データ・キャラクタ長設定 (DW)

D<3> 送受信状態 (BUSY_)

0 : 送信中または受信中

1 : 待機中

D<2> データ先頭ビット LSB/MSB 切り替え (LMN)

D<1> データ送受信タイミング (SST)

D<0> 送受信クロック選択 (CKS)

尚、D<3> 以外の D<7:4>, D<2:0> については、モードレジスタと同一ですので、内容についてはモードレジスタの項を参照してください。

10.6 動作の説明

受信動作

図 10-3 にあるように、待機状態、すなわちモード設定後、ステータスの BUSY_ が '1' のときに、受信イネーブルコマンドを書き込むことにより、受信動作を開始します。受信動作の開始によりステータスの BUSY_ が '0' になります。また、シリアルクロックとして内部クロックを選択している場合は、SCK 出力端子にシリアルクロックが出力開始されます。

モード設定時に指定したサンプルタイミングで指定ビット数分の受信を行い、完了すると、ステータスの BUSY_ が '1' になり、内部割り込みが発生し、受信動作を完了したことを示します。そして、待機状態になります。この状態で、受信データをデータバスから読み出すことができます。

送信動作

図 10-3 にあるように、待機状態、すなわちモード設定後、ステータスの BUSY_ が '1' のときに送信データを書き込みます。送信データの書き込みは、この待機状態においてのみ受け付けられます。

次に、送信イネーブルコマンドを書き込むと送信動作を開始し、ステータスの BUSY_ は '0' になります。また、シリアルクロックとして内部クロックを選択している場合は、SCK 出力端子にシリアルクロックが出力開始されます。モード設定時に指定したシフトタイミングで指定ビット数だけ送信し、送信動作が完了すると、ステータスの BUSY_ が '1' になり、内部割り込みが発生し、待機状態となります。

尚、受信完了後に送信イネーブルコマンドを書き込むことにより、受信データをそのまま送信することもできます。

送受信動作の注意事項

- ・ 8 ビットのキャラクタ長を指定した場合には、データの書き込み / 読み出しがシフトレジスタの下位 8 ビットに固定されています。誤って 2 回書き込むと、1 回目のデータが失われ、2 回目のデータが有効となります。
- ・ キャラクタ長として 9 ビット以上を指定した場合、データの書き込み / 読み出し動作は下位側 8 ビットと上位側の 2 回に分けて行います。どちらの場合も下位側、上位側の順に行いますが、下位側か上位側かを記憶する素子を書き込み / 読み出しで共通化されていますので、注意が必要です。例えば、送信データの下位側を書き込んだ後、データ読み出しを行うと、上位側が読み出されてしまいます。この記憶素子はリセット、モード / コマンド書き込み、ステータス読み出しによってクリア（下位側を選択）されますから、送信データの設定や受信データの読み出しを行う前に、ステータス読み出しを行うことをお奨めします。また、キャラクタ長として 9 ビット以上 15 ビットまでを指定した場合、読み出しデータの上位側 8 ビットのうち上から数ビットの値は不定となります。例えばキャラクタ長 10 ビットを指定した場合、読み出しデータの上位側 8 ビットのうち D7 ~ D2 までは不定となります。
- ・ シフトレジスタは 1 本ですので、送受信同時には行えません（半二重通信）。また、バッファレジスタをもたないので、送信データは待機中にしか書き込めません。
- ・ 送信または受信動作中に受信データの読み出しを行っても、そのデータ内容は保証されません。
- ・ 送信動作後、シフトレジスタの内容は不定となりますので、前回と同一データを送信する場合も再度、データ設定を行ってから送信して下さい。

10.7 動作タイミング

内部シリアルクロック選択時

内部シリアルクロック、12 ビットキャラクタ長、SST = '0'、LSB 先頭のモード設定を行った場合を例にとり説明します（図 10-4, 10-5）。

送信の場合、送信データを 2 回のデータ書き込みにより設定した後、送信イネーブルを書き込みます。ここで、ステータスの BUSY_ = '0' になります。また、モード設定により "H" になっていた SCK 出力端子が "L" になると同時に、最下位ビットが TXS に現れます。同様にシリアルクロックが "H" から "L" になる度にシフトレジスタが 1 ビットシフトされ、TXS に送信データが現れます。12 個のデータを TXS に出力した後、シリアルクロックは "H" になり、次の通信開始まで "H" を保持します。送信完了でステータスの BUSY_ = '1' になり、内部割り込みが発生し、クロック同期シリアル I/O は待機状態になります。

受信の場合も基本的に同様です。受信データサンプルタイミングはシリアルクロックの "L" から "H" への変化時となり、内部シフトレジスタに取り込まれます。

外部シリアルクロック選択時

外部シリアルクロック、8 ビットキャラクタ長、SST = '1'、MSB 先頭のモード設定を行った場合を例にとり説明します（図 10-6, 10-7）。

送信の場合、あらかじめ SCK 入力端子に "L" を入力しておきます。送信データを 1 回のデータ書き込みにより設定した後、送信イネーブルを書き込みます。ここで、ステータスの BUSY_ = '0' になります。この後、SCK 入力端子にシリアルクロックを入力します。入力するシリアルクロックの立ち上がりに同期して、シフトレジスタが 1 ビットシフトされ、TXS 端子へのデータが、MSB から順に出力されます。8 個のデータを TXS 端子に出力した後、ステータスの BUSY_ = '1' になり、内部割り込みが発生し、クロック同期シリアル I/O は待機状態になります。SCK 入力端子に入力するシリアルクロックは 8 回の立ち下がりの後、もしくは、ステータスの BUSY_ = '1' になったのを受けて、"L" に保持します。

受信の場合は、クロック同期シリアル I/O が待機状態（SCK 入力端子は "L" にしておきます）で受信イネーブルを書き込むと、ステータスの BUSY_ = '0' になります。これを受けて、SCK 入力端子にシリアルクロックを入力します。入力するシリアルクロックの立ち下りをサンプルタイミングとして、RXS 端子のデータを 1 ビットシフトしながら、内部シフトレジスタに取り込みます。8 個のデータを取り込むと、ステータスの BUSY_ = '1' になり、内部割り込みが発生し、クロック同期シリアル I/O は待機状態になります。SCK 入力端子に入力するシリアルクロックは 8 回の立ち上がりの後、もしくは、ステータスの BUSY_ = '1' になったのを受けて "L" に保持します。

動作タイミングの注意事項

- ・ 外部シリアルクロック選択時に必要パルス数を越えて、入力されるシリアルクロックは無視されます（図 10-8）。
- ・ 外部シリアルクロック選択時、ステータスの BUSY_ = '1' の場合、すなわち待機中に入力される外部シリアルクロックは無視されます（図 10-9）。
- ・ 外部シリアルクロック通信時において、ステータス BUSY_ = '0' になったことをステータス読み出しで確認した後、シリアルクロックをスタートさせて下さい。

10.8 リセット

RESET_ 端子を "L" レベルにすると、外部シリアルクロック、8 ビットキャラクタ長、SST = '0'、MSB 先頭のモードになり、待機状態に入ります。

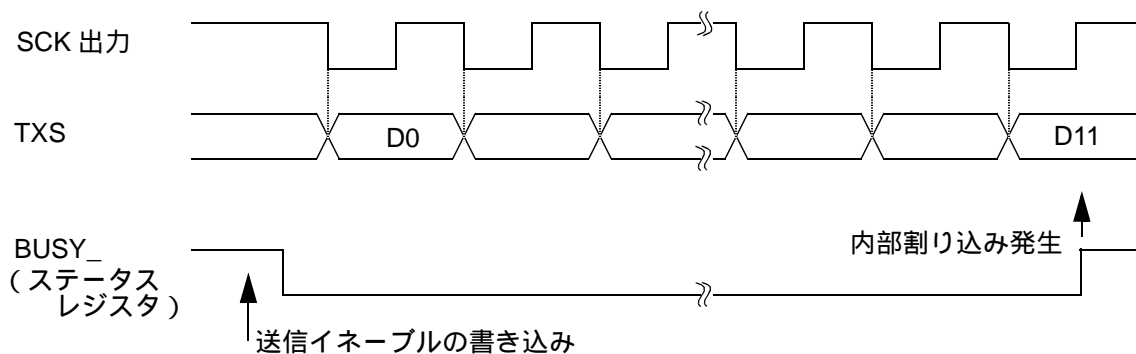


図 10-4 内部シリアルクロック、12 ビットキャラクタ長、SST=0、LSB 先頭時の送信動作タイミング

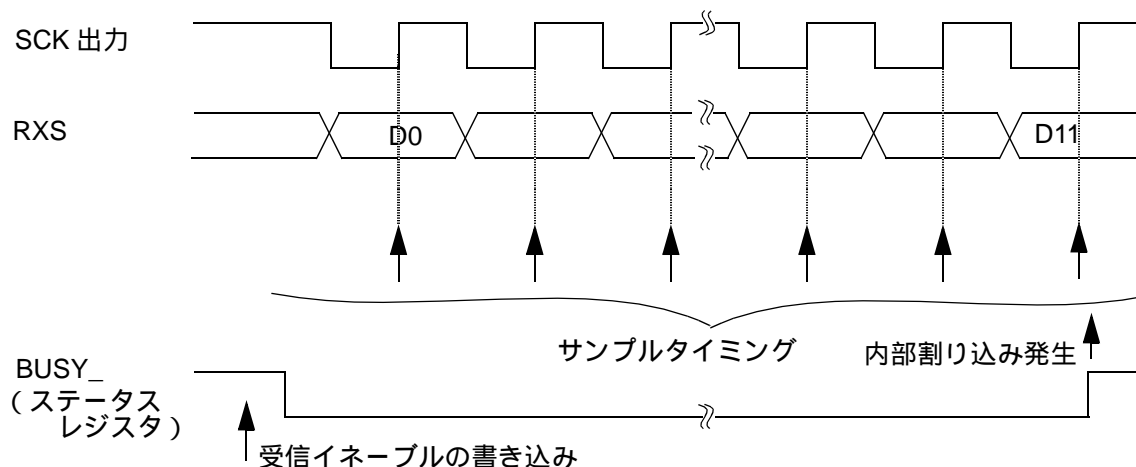


図 10-5 内部シリアルクロック、12 ビットキャラクタ長、SST=0、LSB 先頭時の受信動作タイミング

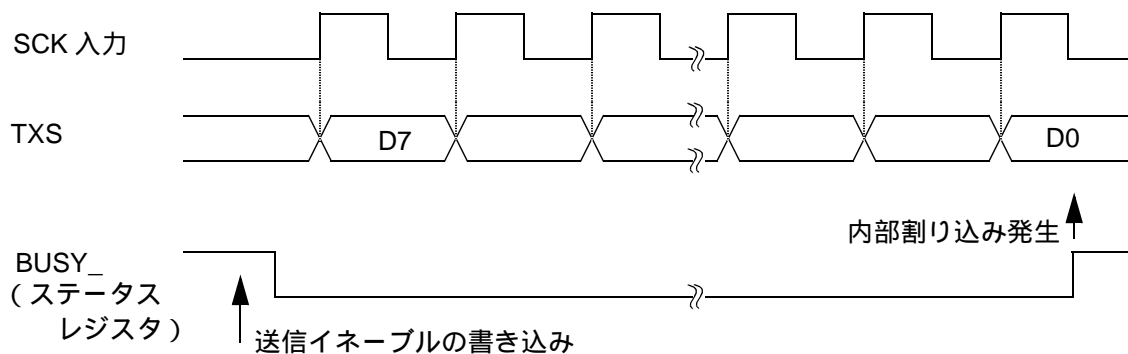


図 10-6 外部シリアルクロック、8 ビットキャラクタ長、SST=1、MSB 先頭時の送信動作タイミング

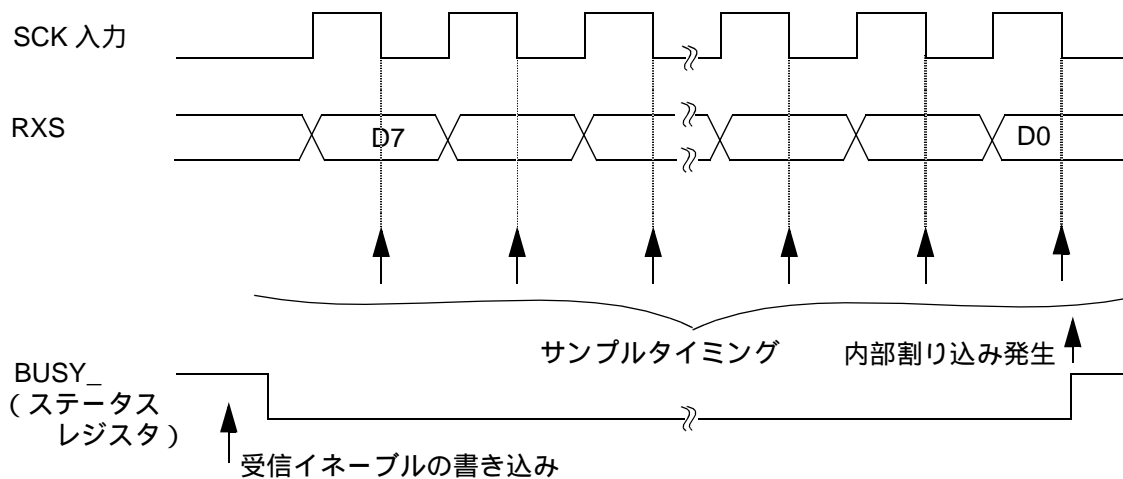


図 10-7 外部シリアルクロック、8 ビットキャラクタ長、SST=1、MSB 先頭時の受信動作タイミング

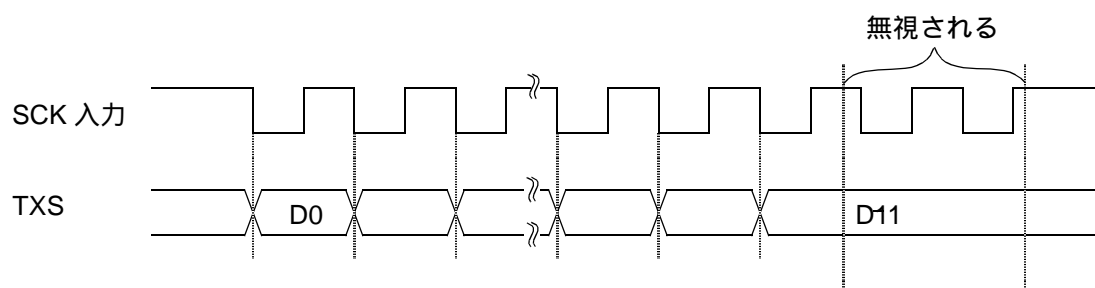


図 10-8 必要以上に入力される外部シリアルクロックの例(送信時)

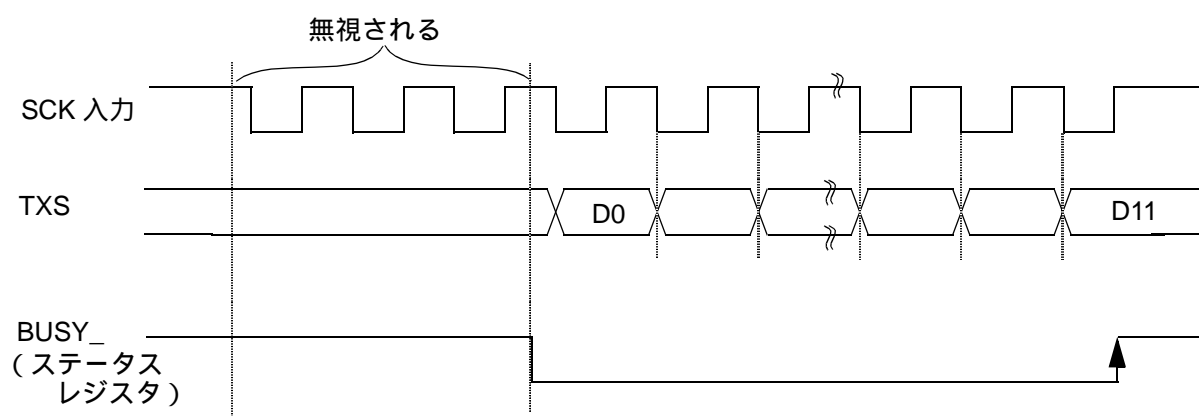


図 10-9 待機中に入力される外部シリアルクロックの例(送信時)

11. 汎用タイマ

11.1 概要

KL5C16030 の汎用タイマ (KP63A) は、8 ビットプリスケアラ付きクロック同期式 16 ビットプログラマブル・バイナリカウンタ/タイマです。4 種類の動作モード (単発カウントモード、連続カウントモード、ウォッチドックタイマモード、パルス幅変調モード) を持つ、ダウンカウンタ 4 チャンネルで構成されています。カウント値は、バスから読み出すことができます。また、ステータスリードコマンドで設定モードや OUT 出力端子の状態を読み出すことができます。

特徴

- ・チャンネル共通 8 ビットプリスケアラ付き 16 ビットダウンカウンタ：4 チャンネル内蔵
- ・GATE 入力から外部クロックを取り込みカウント可能。
- ・各チャンネル毎に 4 種類の動作モード (単発カウント、連続カウント、WDT、PWM) を設定可能
- ・カウント動作に影響を与えずに、安定したカウント値の読み出しが可能
- ・設定モード、OUT 出力の状態等のステータスの読み出しが可能

11.2 ブロック図

汎用タイマの全体ブロック図を図 11-1 に、I/O レジスタマップを表 11-1 に示します。各外部端子以外に、各チャンネルの割り込み要求信号が内蔵の割り込みコントローラに接続されています。チャンネル 3 の割り込み要求信号は CPU の NMI_ 入力にも内部接続可能です。

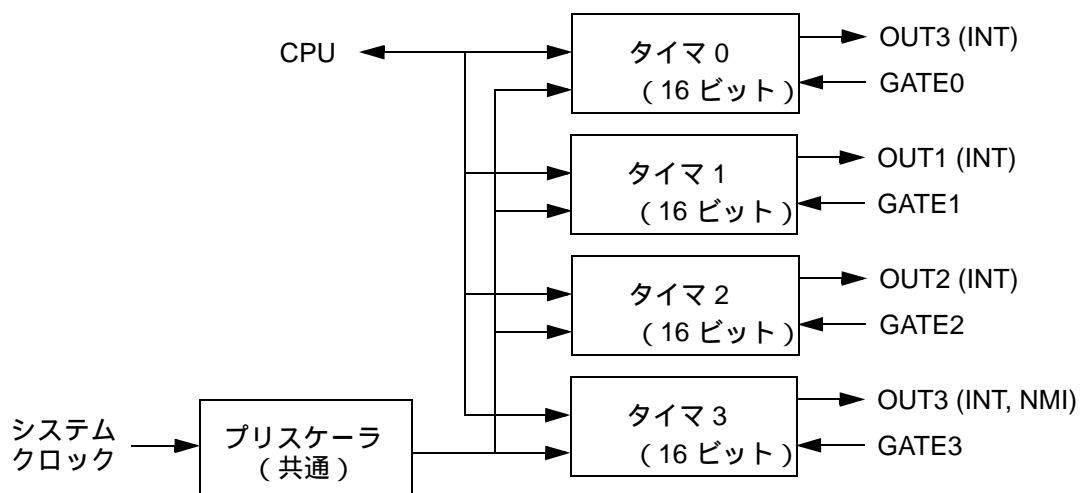


図 11-1 汎用タイマのブロック図

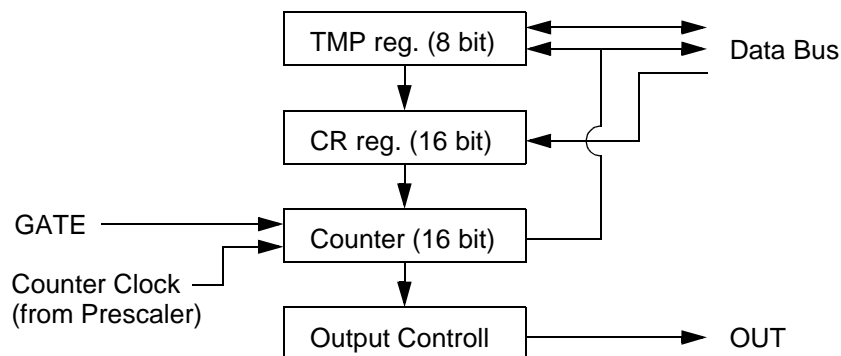


図 11-2 各チャネルカウンタ・ユニット内のブロック図

表 11-1 I/O レジスタマッピング

I/O レジスタ	ライト時	リード時
20H 21H	チャネル 0 ・ カウンタ チャネル 0 ・ コントロール	チャネル 0 ・ カウンタ チャネル 0 ・ ステータス
22H 23H	チャネル 1 ・ カウンタ チャネル 1 ・ コントロール	チャネル 1 ・ カウンタ チャネル 1 ・ ステータス
24H 25H	チャネル 2 ・ カウンタ チャネル 2 ・ コントロール	チャネル 2 ・ カウンタ チャネル 2 ・ ステータス
26H 27H	チャネル 3 ・ カウンタ チャネル 3 ・ コントロール	チャネル 3 ・ カウンタ チャネル 3 ・ ステータス

11.3 端子機能説明

端子名	I/O	機能説明
GATE3 ~ GATE0	I	ゲート入力端子 各チャネルのカウンタに対するカウント動作イネーブル / ディセーブルの指定を与えます。また、モード設定により外部カウンタクロックとしても機能します。
OUT3 ~ OUT0	O	パルスアウト出力端子 モードの指定によって、分周出力、PWM 出力が得られます。リセット信号入力により本出力はシステムクロックとは非同期に“L”になります。

11.4 モード設定

モード設定は、各チャネルのコントロールレジスタにて設定します。

D7	D6	D5	D4	D3	D2	D1	D0
0	0						

I/O アドレス = 21H, 23H, 25H, 27H

D<5, 1, 0> カウンタクロックの設定

- 000 : システムクロックの 256 分周 (GATE 機能無し)
- 001 : システムクロックの 16 分周 (GATE 機能無し)
- 010 : システムクロックの 4 分周 (GATE 機能無し)
- 011 : システムクロックの 4 分周 (GATE 機能有り)
- 100 : GATE 入力の立ち下がり () でカウント
- 101 : GATE 入力の立ち上がり () でカウント

D<4> OUT 出力データ初期値

- 0 : OUT 出力端子の初期値を “L” にする (非反転モード)
- 1 : OUT 出力端子の初期値を “H” にする (反転モード)

この設定はチップ外部出力にのみ有効であり、内部割り込みコントローラには影響を与えません。)

D<3:2> カウントモード

- 00 : 単発カウントモード
- 01 : 連続カウントモード
- 10 : WDT モード
- 11 : PWM モード

プリスケアラは全チャネルで共有していますが、プリスケアラの分周レートは各チャネル毎に設定できます。

(注) 上記以外の組み合わせの設定を行った場合の動作は保証しません。

11.5 カウンタへのカウント初期値の設定

カウンタは 16 ビット長のダウンカウンタですが、データバスが 8 ビット幅なので、データ書き込みは下位バイト、上位バイトの順に 2 回に分けて行います。但し、書き込み用と読み込み用で TMP レジスタを共用しているため、書き込みを完了する前にカウンタの読み出しを行うと、書き込みデータを破壊しますのでご注意ください。

下位側	D7	D6	D5	D4	D3	D2	D1	D0	
	(7)	(6)	(5)	(4)	(3)	(2)	(1)	(0)	I/O アドレス = 20H, 22H, 24H, 26H
上位側	D7	D6	D5	D4	D3	D2	D1	D0	
	(15)	(14)	(13)	(12)	(11)	(10)	(9)	(8)	(数字はデータビットを表す)

11.6 カウンタの読み出し

カウンタの読み出しを行う際、8 ビット幅で 2 回に分けて、下位バイト、上位バイトの順で行います。上位側は下位側を読み出す時に TMP レジスタに移されたカウンタの上位バイトなので、2 回の読み出し動作中にカウンタの値が変化しても、読み出される値は変化しません。但し、読み出し用 TMP レジスタと書き込み用 TMP レジスタを共用しているため、読み出しを完了する前にカウント初期値の書き込みを行うと、読み出しデータを破壊しますのでご注意ください。

下位側	D7	D6	D5	D4	D3	D2	D1	D0	
	(7)	(6)	(5)	(4)	(3)	(2)	(1)	(0)	I/O アドレス = 20H, 22H, 24H, 26H
上位側	D7	D6	D5	D4	D3	D2	D1	D0	
	(15)	(14)	(13)	(12)	(11)	(10)	(9)	(8)	(数字はデータビットを表す)

11.7 ステータスの読み出し

D7	D6	D5	D4	D3	D2	D1	D0	
	0							I/O アドレス = 21H, 23H, 25H, 27H

- D<7> OUT 出力データ
OUT 出力端子のデータ値が設定
- D<5:0> モード設定情報
モード設定時に指定した D<5:0> の値が設定

ステータスの読み出しを行うと、リードライト・シーケンスがクリアされます。したがって、カウント初期値の設定やカウンタの読み出しを行う前に一度ステータスの読み出しを行うことにより、誤りを防ぐことができます。操作手順は以下の通りです。

- カウント初期値の設定（上位側、下位側どちらでもよい）
- ステータスの読み出し リードライト・シーケンス・クリア
- カウント初期値の設定（下位側）
- カウント初期値の設定（上位側）

11.8 動作モード

以下の説明はモード設定時、OUT 非反転モード選択の場合について行います。

連続カウントモード

連続カウントモードでは、カウント初期値をロードした後デクリメントし、カウント値がゼロになると OUT 出力が変化すると共に初期値をリロードした後デクリメントを繰り返します。

モード設定によって、OUT 端子は“L”を出力します。カウント動作はカウント初期値をロードすることで開始し、OUT 端子に“H”を出力します。カウント値がゼロになる度に OUT 出力はトグルします。リロードはカウント値がゼロになることでのみ発生し、カウント中に初期値を書き換えてもリロードは発生しません。

単発カウントモード

単発カウントモードでは、カウント初期値をロードした後デクリメントし、カウント値がゼロになると OUT 出力が変化し、カウント動作は次にカウント初期値が設定されるまで停止します。

モード設定によって OUT 端子は“L”を出力します。カウント動作はカウント初期値の設定により開始し、OUT 端子はカウント値がゼロになるまで“H”を出力します。リロードは、カウント初期値の設定により行われます。

ウォッチドッグタイマ (WDT) モード

ウォッチドッグタイマモードでは、CR レジスタ (カウント初期値書き込み用レジスタ) への書き込みはできません。CR レジスタへの書き込み動作はカウント開始及びリトリガとして認識されます。

モード設定により、カウンタは動作を停止し、OUT 端子は“L”を出力します。カウント動作は CR レジスタへの書き込み動作 (書き込み動作時のデータ値には無関係; 1 回のライト動作) により、CR レジスタからデータをロードして開始し、カウントを開始すると、OUT 端子は“H”を出力します。また、カウント中に CR レジスタへの書き込み動作で再び、CR レジスタからデータをロードしてカウントダウンを行います。但し、一旦カウント値がゼロになると、OUT 端子は“L”になり、次に CR レジスタへの書き込み動作が行われるまでカウント動作は停止します。

尚、モード設定では、CR レジスタが初期化されません。CR レジスタにカウント初期値を設定するには次の様な手順を用います。すなわち、単発カウントモードにモード設定後、CR レジスタにカウント初期値を設定し、再度モード設定により WDT モードにします。そして、CR レジスタへの書き込み動作を行うと、先に設定した CR レジスタの値をロードして、カウントダウンを開始します。また、カウント中に CR レジスタへの書き込み動作を行うことにより、再度 CR レジスタの値をロードしてカウントダウンを実行します。

以上の手順によれば、WDT モードにおいて、任意のカウント初期値を設定することが可能となります。尚、ウォッチドッグタイマとして使用する場合はこのモード設定をするだけでなく、OUT 出力を NMI_ 入力に内部で接続するように SCR0 で設定をする必要があります。詳しくは、第 14 章 (動作モード設定) を参照下さい。また、WDT モードは全チャンネルで使用可能ですが、チップ内部でタイマ / カウンタの割り込み要求を NMI_ 入力に内部接続できるのはチャンネル 3 のみです。

パルス幅変調 (PWM) モード

パルス幅変調モードでは、カウント初期値により設定する、パルス幅及びパルス周期により構成される繰り返しパルスを OUT 端子に出力します。パルス幅は CR レジスタの上位バイトで、パルス周期は CR レジスタの下位バイトによって設定します。

パルス周期は、CR レジスタの下位側バイトをカウンタにロードした後、上位バイトと独立にデクリメントし、下位バイトのカウント値がゼロになるまでの時間となります。すなわち、(1 回目の CR レジスタへの書き込みにおける設定値 + 1) の時間を意味します。

一方、パルス幅は CR レジスタの上位側バイトをカウンタにロードした後、下位バイトと独立にデクリメントし、上位バイトのカウント値がゼロになるまでの時間となります。すなわち、(2 回目の CR レジスタへの書き込みにおける設定値 + 1) の時間を意味します。

このように上位、下位ともに同時にカウントダウンを独立に行いますので、任意のパルスが OUT 端子から得られることになります。

モード設定によってカウンタは停止し、OUT 端子端子は “L” を出力します。カウント動作はカウント初期値を上位、下位共に設定後、ロードすることにより開始し、カウントダウンは上位バイト、下位バイトずつ各々独立に行います。ただし、設定した値が (パルス幅 パルス周期) の場合には、常に OUT = “H” となります。リロードは下位バイトがゼロになることでのみ発生し、カウント中に初期値を書き込むことによるリロードは発生しません。

【例】4 分周設定時、カウント初期値 = 0308H とした場合、

パルス幅 : $4 (=3+1) \times 4 = 16$ システムクロック

パルス周期 : $9 (=8+1) \times 4 = 36$ システムクロック

となります。

11.9 OUT 出力と割り込み要求について

OUT 出力は、モード設定により反転が可能な信号です。以下の説明はモード設定時、OUT 非反転モード選択の場合について行います。連続モード時には、カウント値がゼロになる度にトグルします。単発モードおよび WDT モードでは、通常時カウント中に “H” を出力し、カウント値がゼロになると “L” を出力します。PWM モードでは、所望のパルス幅および周期のパルス信号を出力します。以上のように OUT 出力は様々なパルス信号を得るために利用することが可能です。

割り込み要求は OUT 出力と異なり、モード設定によらず常にカウント値がゼロになったとき発生します。

11.10 動作説明

カウントダウンタイミング

タイマ / カウンタのカウントダウンはチャンネル 0、チャンネル 1、チャンネル 2、チャンネル 3 の順に 1 システムクロック遅れて、システムクロックの立ち下がりで行われます。

各カウンタクロック選択時のカウントダウンタイミング (図 11-3)

図 11-3 はチャンネル 0、チャンネル 1 に GATE 機能無の 4 分周、チャンネル 2 に 16 分周、チャンネル 3 に 256 分周のカウンタクロックを設定した場合です。

チャンネル 0、チャンネル 1 では、それぞれ 1 から 1'、2 から 2' 迄の 1 回のカウントダウン迄の時間が 4 システムクロックであり、3 から 3' 迄が 16 システムクロック、4 から 4' 迄が 256 システムクロックとなります。

GATE 信号のサンプルタイミング (図 11-4-A)

図 11-4-A は全チャンネルに GATE 機能有の 4 分周を設定した例です。GATE 信号のサンプルは、4 システムクロックに 1 回 (図中内部 GATE 入力サンプル信号の立ち上がり) 全チャンネル分同時に行います。したがって、この時サンプルした GATE 信号の極性により、次のカウントタイミングでカウントダウンするかしないかが判断されます。GATE 機能が使えるのは 4 分周の分周レートのみです。

外部クロックのカウントタイミング (図 11-4-B)

図 11-4-B は外部クロックとしてチャンネル 0 に外部カウンタクロックの立ち下がり、チャンネル 1 に外部カウンタクロックの立ち上がりを設定した例を示しています。外部カウンタクロックは GATE 入力から取り込まれます。カウントエッジはモード設定により立ち下がり、立ち上がりを選択できます。外部カウンタクロックの“H”パルス幅は 4 システムクロック以上にしてください。また、実際のカウンタは GATE 入力のエッジから 1 ~ 3 クロック遅れる場合があります。

カウントダウンタイミングとモード設定

各チャンネルのモード設定は、タイマ / カウンタのカウントダウンと同様にチャンネル 0、チャンネル 1、チャンネル 2、チャンネル 3 の順に 1 システムクロック遅れて、システムクロックの立ち下がりで行われます。したがって、実際にコントロールワード書き込みが反映されるまでの時間はその場合によって異なり、最も短い場合 1 クロック、最も長い場合 4 クロックです。

カウントダウンタイミングとカウント値書き込み

連続カウントモードと PWM モードの場合の各チャンネルのカウント値書き込みは、タイマ / カウンタのカウントダウンと同様にチャンネル 0、チャンネル 1、チャンネル 2、チャンネル 3 の順に 1 システムクロック遅れて、システムクロックの立ち下がりで行われます。したがって、実際にカウント値書き込みが OUT 出力に反映されるまでの時間はその場合によって異なり、最も短い場合 1 クロック、最も長い場合 4 クロックです。

連続カウントモードの動作説明 (図 11-5)

連続カウントモードについて、GATE 機能無の 4 分周、OUT 非反転モード選択時を例にとり、図 11-5 を用いて説明します。これはチャンネル 0 の場合です。

モード設定を行うと、次のカウントダウンタイミングで OUT 信号が初期化され、“L” になります。下位カウント値 02H、上位カウント値 00H を書き込むと、次のカウントタイミングでカウンタに 0002H がロードされ、カウントダウンを開始すると共に、OUT 出力がトグルします。

カウント中、すなわち図中の 1 から 2 の間にカウント初期値 F0ABH を再設定すると、次にカウント値がゼロとなった次のカウントダウンタイミング、すなわち 2 の時点でカウント値が F0ABH になります。また、それと同時に OUT 出力がトグルします。

単発カウントモードの動作説明 (図 11-6)

単発カウントモードについて、GATE 機能無の 4 分周、OUT 非反転モード選択時を例にとり、図 11-6 を用いて説明します。これはチャンネル 0 の場合です。

モード設定を行うと、次のカウントダウンタイミングで OUT 信号が初期化され、“L” になります。下位カウント値 02H、上位カウント値 00H を書き込むと、次のカウントダウンタイミングでカウンタに 0002H がロードされ、カウントダウンを開始すると共に OUT 出力が“H” となります。

カウント中、すなわち図中の 1 から 2 の間にカウント初期値 0003H を再設定すると、次のカウントダウンタイミング (図中の 2) で、リトリガがかかります。そして、この再設定値からカウントダウンを続けます。そして 2 から 3 の間にカウント初期値の再設定がなく、カウンタがゼロになると FFFFH となり (図中の 3) カウントダウンを停止し、OUT 出力は“L” になります。

尚、1 にあるような場合、すなわちカウント値がゼロから FFFFH になるタイミングでカウント初期値 ABCDH の再設定を認識した場合にはリトリガと判断し、OUT 信号は変化しません。

ウォッチドッグタイマ (WDT) モードの動作説明 (図 11-7)

ウォッチドッグタイマ (WDT) モードについて GATE 機能無の 4 分周、OUT 反転モード選択時を例にとり、図 11-7 を用いて説明します。

WDT モードでは、カウント初期値の書き込み (CR レジスタへの書き込み) 動作がリトリガと解釈され、カウント初期値レジスタの値は変化しません。カウント初期値レジスタに所望の値を設定するためには、一旦単発カウントモードに設定し、CR レジスタに値を書き込み、WDT モードに設定し直します。

WDT モードの基本動作は単発カウントモードに準じます。まず、単発カウントモードにモード設定を行うと、次のカウントタイミングで OUT 出力が“H” になります。下位カウント値 03H、上位カウント値 00H を書き込むと、次のカウントダウンタイミングでカウンタに 0003H がロードされ、カウントダウンを開始すると共に OUT 出力が“L” になります。

次に、WDT モードに再度モード設定を行います (図中の 1)。すると、次のカウントダウンタイミングで OUT 出力が“H” になり、このときカウンタは停止状態です。カウント値書き込み動作 (データは任意) を 1 回行くと、次のカウントタイミングでカウンタに CR レジスタの値 0003H がロードされ、WDT モードとして初めて、カウントダウンを開始すると共に OUT 出力が“L” となります (図中の 2)。

カウント中、すなわち図中の 2 から 3 の間にカウント書き込み動作 (データは任意) を行くと、リトリガとして認識され、次のカウントダウンタイミングで再び 0003H をロードします (図中の 3)。そして再度カウントダウンを開始し、カウント値がゼロになると、次のカウントタイミングで OUT 端子に“H” を出力し、カウント値を FFFFH にクリアし停止します (図中の 4)。その後、カウント値書き込み動作 (データは任意) を 1 回行くと、次のカウントタイミングでカウンタに 0003H がロードされ、再度カウントダウンを開始します。

OUT 出力は、一旦単発カウントモードに設定することにより、WDT としては不要な変化をしますが、内部で CPU の NMI₁ に接続されているタイマ / カウンタチャンネル 3 の割り込み要求はカウント値がゼロになるまで、パルスを出力しません。

パルス幅変調（PWM）モードの動作説明（図 11-8）

パルス幅変調（PWM）モードについて、GATE 機能無の 4 分周、OUT 非反転モード選択時を例にとり、図 11-8 を用いて説明します。これは、チャンネル 0 の場合です。

基本動作は連続カウントモードに準じます。モード設定を行うと、次のカウントダウンタイミングで OUT 信号が初期化され“L”になります。下位カウント値 03H（パルス周期データ）、上位カウント値 01H（パルス幅データ）を書き込むと、次のカウントタイミングで、カウンタに 0103H がロードされ、カウントダウンを開始すると共に、OUT 出力がトグルします。

図にあるように、カウントダウンは上位バイト、下位バイトで独立に、かつ同時に行われ、上位側がゼロになると OUT 出力がトグルします。1 回のカウントダウンは 1 から 2、すなわちカウント初期値がロードされてから、下位側がゼロとなった後までを示します。

このように、1 から 2 の間において、パルス幅 $(1+1)/fc = 2/fc$ 、パルス周期 $(3+1)/fc = 4/fc$ （ fc はカウントダウン周波数）のパルスが OUT 端子に出力されます。2 の時点で内部の割り込みコントローラに割り込みが発生します。また、カウント中にカウント初期値 0204H を再設定すると、次に下位のカウンタ値がゼロとなった次のカウントダウンタイミング、すなわち 2 の時点でカウンタ値として 0204H がロードされます。また、上位バイトと下位バイトに等しい、あるいは、上位バイトに下位バイトよりも大きい値を設定した場合は、3 から 4 のように OUT 端子は常に“H”を出力します。下位バイトがゼロになった次のカウントダウンサイクル（図中の 4）において、カウンタにはカウント初期値 0505H がロードされ、再びカウントダウンが連続して実行されます。

11.11 リセット

RESET_ 入力“L”により以下の状態に初期化されます。

- 1) カウンタの動作を停止します。また、リセット解除後もカウンタは停止状態を保持します。
- 2) カウンタ内部のレジスタ読み出しの際のリードシーケンス、およびカウント初期値書き込みの際のライトシーケンスをクリアします。
- 3) カウンタ内部の CR レジスタおよびカウンタレジスタは FFFFH にクリアされます。
- 4) 単発カウントモード・256 分周カウンタクロック・OUT 出力非反転モード選択となり、OUT 出力を“L”に設定し、リセット解除後もモード設定が行われるまで、その値を保持します。

11.12 注意事項

カウントの停止方法

カウント中にモードの再設定を行うとカウント動作を停止します。

カウント初期値の最大 / 最小値

表 11-2 カウント初期値の最大 / 最小値

動作モード	最小値	最大値
連続カウントモード	0001H	FFFFH
単発カウントモード	0001H	FFFFH
PWM モード	上位：01H、下位：01H	上位：FFH、下位：FFH
WDT モード	設定不可 *	設定不可 *

*) 他のモードで設定後、WDT モードに再設定した上で使用する際は、カウント初期値設定時のモードでの条件に従います。

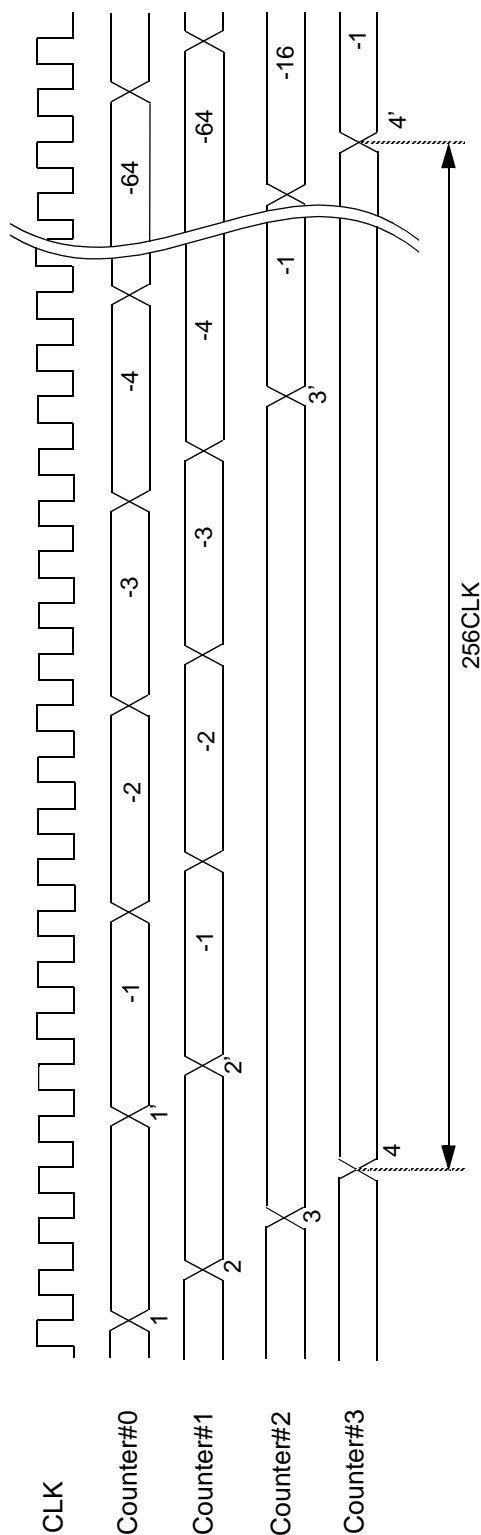


図 11-3 カウントダウンタイミング(チャンネル 0,1: GATE 機能無 4 分周, チャンネル 2: 16 分周, チャンネル 3: 256 分周選択時)

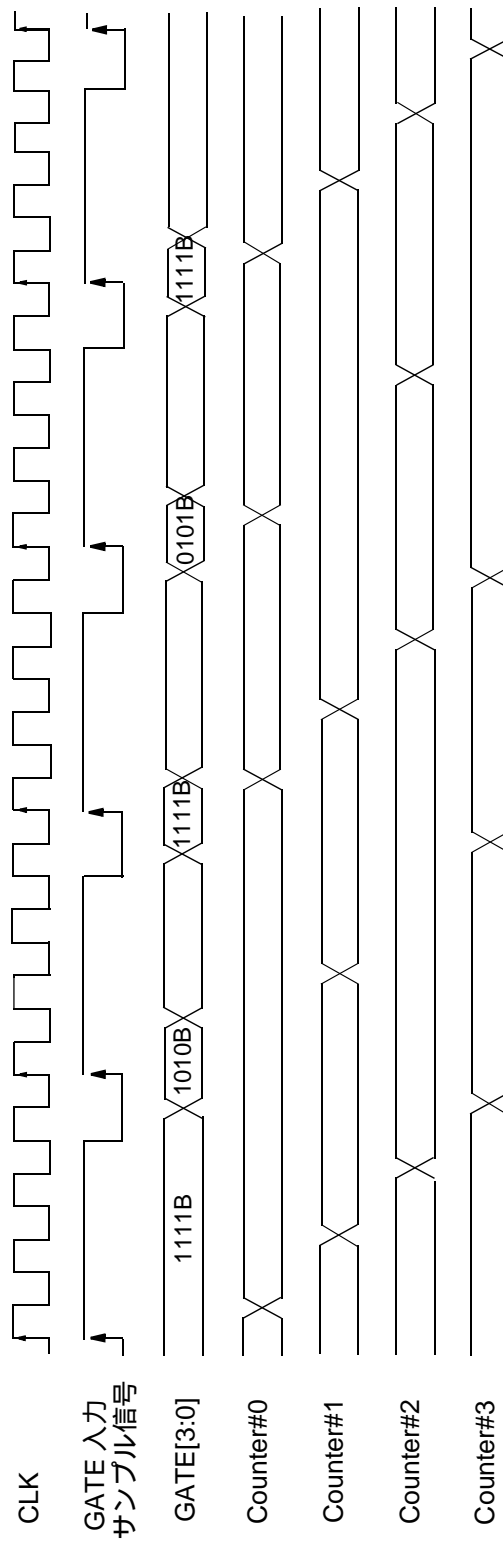


図 11-4-A GATE 信号のサンプルタイミング(GATE 機能有 4 分周)

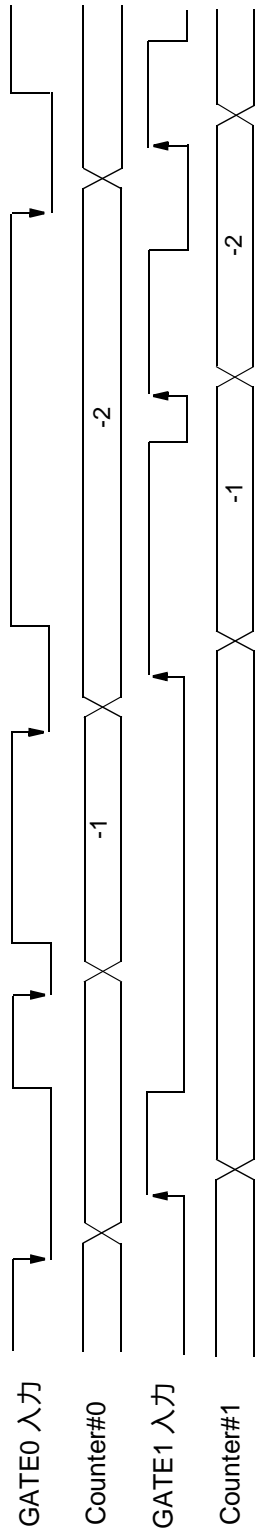


図 11-4-B GATE 入力からのクロック入力タイミグ(チャネル 0 は GATE の立ち下がり でカウント、チャネル 1 は立ち上がり でカウント)

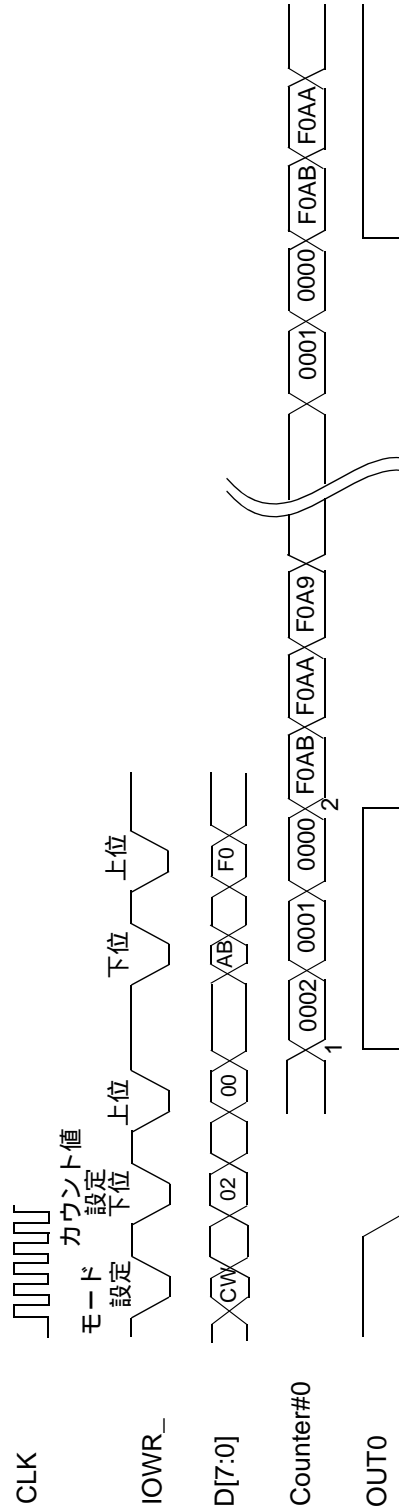


図 11-5 連続カウンタモード (GATE 機能無 4 分周、OUT 非反転モード選択時)

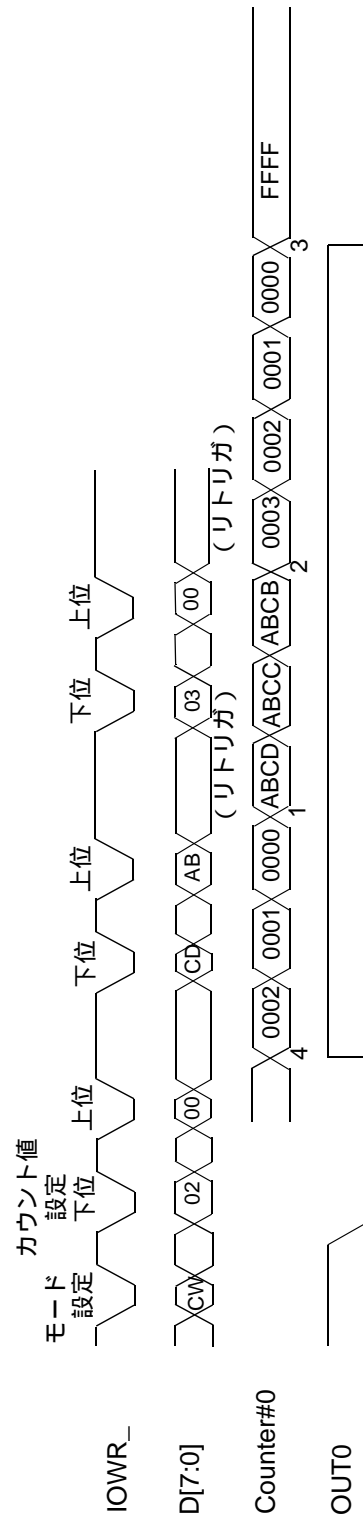


図 11-6 単発カウンタモード (GATE 機能無 4 分周、OUT 非反転モード選択時)

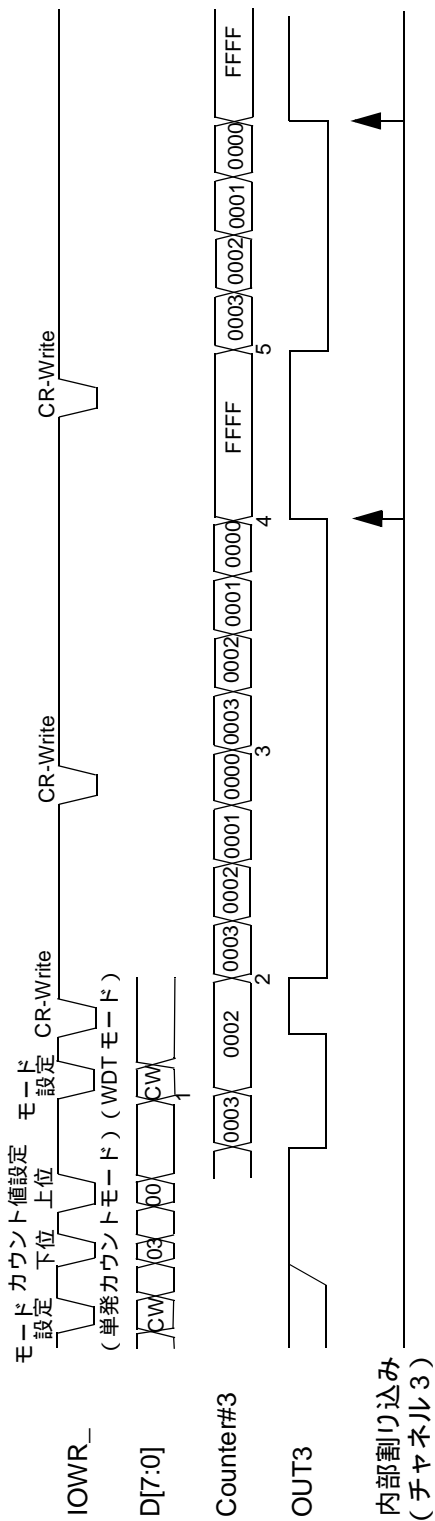


図 11-7 WDT モード (GATE 機能無 4 分周、OUT 反転モード選択時)

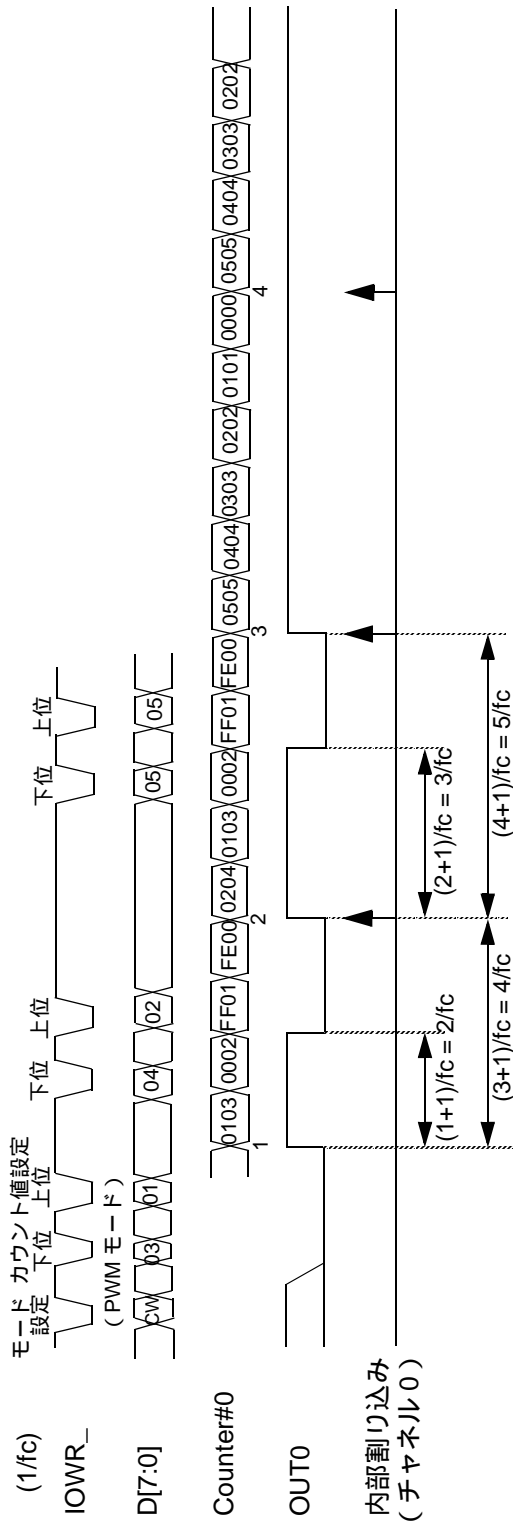


図 11-8 PWM モード (GATE 機能無 4 分周、OUT 非反転モード選択時)

12 . フリーランニングタイマ

12.1 概要

フリーランニングタイマは、キャプチャ機能及びコンペア機能を持った 16 ビットアップカウンタです。キャプチャ機能は、外部入力信号をトリガとして、その時のタイマのカウンタ値をレジスタに保持する機能です。また、コンペア機能は、事前に設定していたカウント設定値と実際のカウンタ値が一致したときに、任意の 8 ビットのパターン設定値が出力される機能です。この出力値については、各ビットごとに変化の有無を設定できる出力イネーブル/ディセーブル機能が付加されています。

特徴

- ・ 16 ビットアップカウンタ（動作停止・再開可能）1 チャンネル
- ・ システムクロックの 4 または 16 分周にてカウンタ動作
- ・ キャプチャ機能
- ・ コンペア機能（任意の 8 ビットパターンを出力）
- ・ レジスタ群は 2 チャンネル搭載し、各チャンネルごとに独立して設定可能

12.2 機能ブロック図

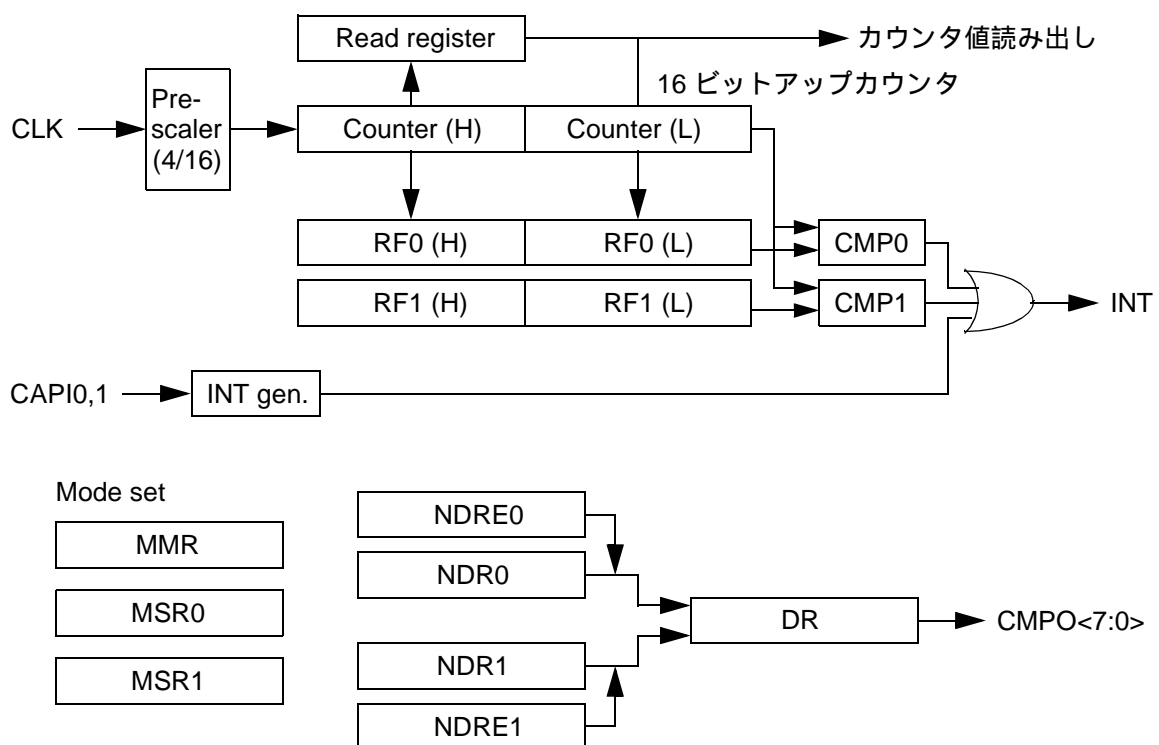


図 12-2 内部ブロック図

表 12-2 I/O レジスタマッピング

I/O アドレス	ライト時	リード時
50H 51H 52H 53H	使用不可 使用不可 DR MMR	カウンタ（下位側） カウンタ（上位側） DR MMR
54H 55H 56H 57H	RF0 NDR0 NDER0 MSR0	RF0 NDR0 NDER0 MSR0
58H 59H 5AH 5BH	RF1 NDR1 NDER1 MSR1	RF1 NDR1 NDER1 MSR1

12.3 内部端子説明

表 12-3 端子説明

端子名	I/O	機能説明
CLK	I	システムクロック信号。
CAPI0,1	I	キャプチャ入力信号。 この信号が入力されると、16 ビットタイマのカウンタ値をレジスタに転送し、その値を読み出すことができます。 立ち上がりエッジ、立ち下がりエッジ選択可能です。
CMPO<7:0>	O	コンペア出力信号。 内部で設定された値と 16 ビットタイマのカウンタ値が一致すると、予め設定された 8 ビットのパターンデータを出力します。
INT	O	割り込み出力信号。 内蔵の割り込みコントローラ KP69 の割り込み入力に接続しています。 CAPI 信号入力時及び 16 ビットタイマのカウンタ値の一致時に割り込みを出力します。内部のモードレジスタの設定により、要求をクリアします。

12.4 内部レジスタ構成

16 ビットカウンタレジスタ

16 ビットタイマの任意のタイミングにおけるカウンタ値を読み出すことができます。

但し、必ず下位側 (50H) 上位側 (51H) の順でリード動作を行ってください。内部的には、下位側のリード動作のタイミングで、上位側の値が読み出し専用のレジスタに一時格納されます。次の下位側のリード動作までそのレジスタの値は保持されます。カウンタ値の書き換え及び初期化はできません。

D7	D6	D5	D4	D3	D2	D1	D0

下位側 : I/O アドレス = 50H

D15	D14	D13	D12	D11	D10	D9	D8

上位側 : I/O アドレス = 51H

DR (出力データレジスタ)

コンペア機能の出力パターンデータを格納するレジスタです。

データの読み出し及び書き込みが可能ですので、出力パターンの初期値を設定することができます。このレジスタの値がコンペア出力 CMPO<7:0> から直ちに出力されます。

D7	D6	D5	D4	D3	D2	D1	D0

I/O アドレス = 52H

MMR (マスターモードレジスタ)

タイマの設定及び各チャンネル共通のモード設定を行うレジスタです。

D7	D6	D5	D4	D3	D2	D1	D0
		0	0	0	0		

I/O アドレス = 53H

<D7> タイマ動作設定

- 0 : タイマ動作停止
- 1 : タイマ動作開始

<D6> プリスケアラ設定

- 0 : システムクロックの 4 分周
- 1 : システムクロックの 16 分周

<D1> チャンネル 1 ・ステータス (割り込み情報)

- 0 : (リード時) 割り込み要求無し (ライト時) ステータス不変
- 1 : (リード時) 割り込み要求有り (ライト時) 割り込みクリア

<D0> チャンネル 0 ・ステータス (割り込み情報)

- 0 : (リード時) 割り込み要求無し (ライト時) ステータス不変
- 1 : (リード時) 割り込み要求有り (ライト時) 割り込みクリア

尚、割り込みの解除は、割り込みクリアにより行います。

RF0, RF1 (リファレンスレジスタ)

キャプチャ機能使用時には、CAPI 入力端子から外部トリガ信号が入力されると、そのときのタイマのカウント値が格納されるレジスタです。このとき、このレジスタにデータの書き込み動作を行わないでください。

コンペア機能使用時には、一致させたいタイマのカウント値を格納しておくレジスタです。

レジスタ値の設定及び読み出しは、下位側バイト、上位側バイトの順で連続 2 回同一アドレスへのアクセスを行います。同一チャンネル内の別レジスタ (NDR, NDRE, MSR) へのアクセス (ダミーリード等) 動作を行うと、アクセス順位が下位側に初期化されます。

D7	D6	D5	D4	D3	D2	D1	D0

I/O アドレス = 54H, 58H

NDR0, NDR1 (次出力データレジスタ)

コンペア機能使用時に、タイマのカウント値とリファレンスレジスタ (RF0, RF1) の値が一致したとき、出力データレジスタ (DR) にセットされる値を格納するレジスタです。

出力データレジスタにセットされた値は、CMPO 出力端子から出力されます。

D7	D6	D5	D4	D3	D2	D1	D0

I/O アドレス = 55H, 59H

NDRE0, NDRE1 (出力データイネーブルレジスタ)

次出力データレジスタ (NDR0, NDR1) の値のうち、出力データレジスタ (DR) に転送させるビットを指定するレジスタです。

このレジスタのあるビットの値が '1' のとき (転送イネーブル) それに相当する次出力データレジスタ (NDR0, NDR1) のビットの値が出力データレジスタ (DR) に転送されます。逆に、このレジスタのあるビットの値が '0' のとき (転送ディセーブル) それに相当するビットの値は出力データレジスタ (DR) に転送されません。よって、チャンネル 0 では下位側 n ビット、チャンネル 1 では上位側 $8-n$ ビットといったように、チャンネル毎に変化させるビットを指定することもできます。

D7	D6	D5	D4	D3	D2	D1	D0

I/O アドレス = 56H, 5AH

MSR0, MSR1 (モードステータスレジスタ)

各チャンネルごとのモードの設定及びステータス確認を行うレジスタです。

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0				

I/O アドレス = 57H, 5BH

<D3> 機能切り替え

0 : キャプチャ機能

1 : コンペア機能

<D2> キャプチャ入力信号 CAPI・立ち下がりエッジ検出選択

0 : 立ち下がりエッジ検出 off

1 : 立ち下がりエッジ検出 on

<D1> キャプチャ入力信号 CAPI・立ち上がりエッジ検出選択

0 : 立ち上がりエッジ検出 off

1 : 立ち上がりエッジ検出 on

<D0> 割り込み要求許可

0 : 新規割り込み禁止

1 : 新規割り込み許可

<D0> (割り込み要求許可) は、現在受け付けている割り込み要求の他に、新たに発生した割り込み要求を受け付けるかどうかを判断するビットです。

<D2:D1> = '11' のとき、立ち上がり・立ち下がりの両エッジ検出になります。

各チャンネルの機能を停止させる場合には、このレジスタに 00H を設定してください。

12.5 機能動作説明

キャプチャ機能及びコンペア機能が搭載されており、各チャンネルごとに独立して設定可能です。

12.5.1 16 ビットタイマ動作設定

キャプチャ機能、コンペア機能で共通の 16 ビットタイマの動作設定について説明します。このタイマは 16 ビットアップカウンタで、動作の停止及び開始 (再開) が可能です。また、システムクロックの 4 または 16 分周にてカウント動作を行います。これらの設定は、マスターモードレジスタ (MMR) により行います。タイミング波形を図 12-5-1 に示します。カウント動作の停止は、モード設定 (STOP) サイクル完了時の 1 クロック後のタイミングで動作を停止します。カウント動作の開始は、モード設定 (START) サイクル完了時の 2 クロック後のタイミングで動作を開始します。

リセット解除後はカウンタ値が 0000H に設定されます。カウンタ値の読み出しは可能ですが、書き換えは不可です。

尚、4/16 分周比の設定は、リセット解除後の最初の設定 (1 回分) だけとしてください。

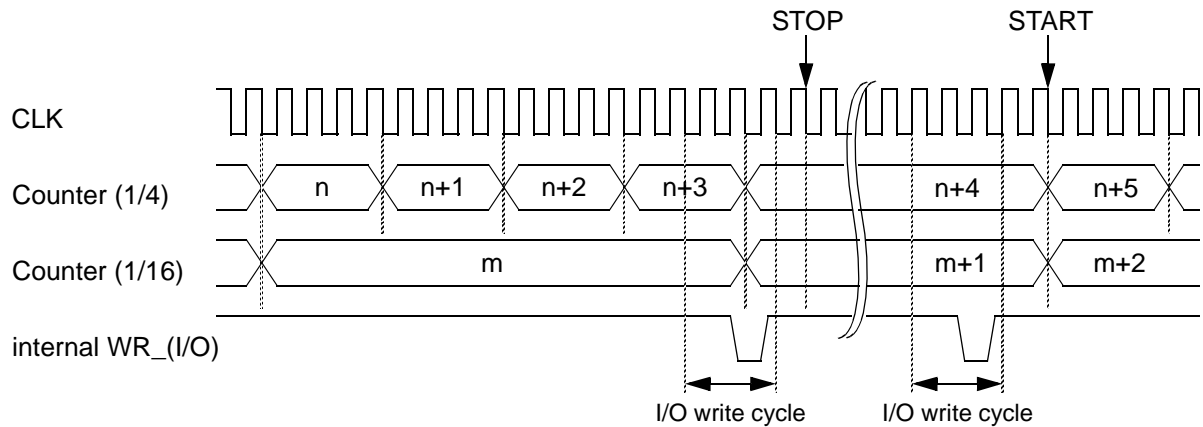


図 12-5-1 16 ビットタイマ動作

12.5.2 キャプチャ機能

キャプチャ機能は、外部入力信号をトリガとして、その時のタイマのカウンタ値をレジスタに保持する機能です。

各チャネルのモードステータスレジスタにより、キャプチャ機能を選択し、キャプチャ入力信号 CAPI の検出エッジ(立ち下がり・立ち上がりエッジ)を指定します。マスターモードレジスタ(MMR)により、タイマのクロックの分周比を選択し、動作を開始します。

図 12-5-2 に示すように、キャプチャ入力端子 (CAPI0, CAPI1) から外部トリガ入力として、指定されたエッジが検出されると、タイマの次のカウント値の変化点で変化後のカウント値をリファレンスレジスタ (RF0, RF1) に格納します。それと同時に、割り込み要求信号 INT を出力し、割り込みコントローラ KP69 に割り込みを要求します。リファレンスレジスタ (RF0, RF1) には、キャプチャ入力端子 (CAPI0, CAPI1) から外部トリガが入力された時点 (厳密には +1 されている) のカウント値が格納されますので、キャプチャ入力信号 CAPI を単なる割り込み要求信号として用いた場合に比べ、割り込み応答処理による遅延の影響が無いため、正確なカウント値を読み出すことができます。

リファレンスレジスタ (RF0, RF1) は、キャプチャ入力端子 (CAPI0, CAPI1) から外部トリガが入力される度に値が更新されます。もし、下位側のレジスタ値読み出し直後にキャプチャ入力が発生した場合は、その時点のカウント値に更新されるため、次の読み出し操作では更新後のカウント値の上位側が読み出されます。

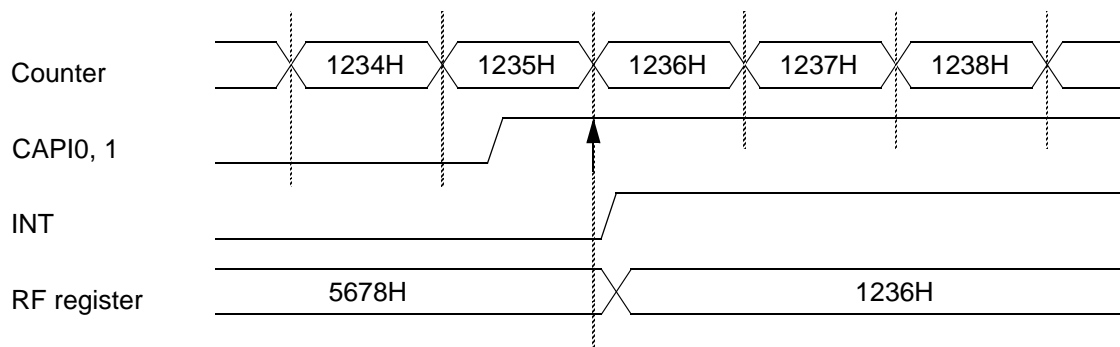


図 12-5-2 キャプチャ機能(立ち上がりエッジ検出)

12.5.3 コンペア機能

コンペア機能は、事前に設定していたカウント設定値と実際のカウント値が一致したときに、任意の 8 ビットのパターン設定値が出力される機能です。この出力値については、各ビットごとに変化の有無を設定できる出力イネーブル/ディセーブル機能が付加されています。

各チャンネルのモードステータスレジスタ (MSR0, MSR1) により、コンペア機能を選択します。リファレンスレジスタ (RF0, RF1) に設定値を出力すべきタイミングのタイマのカウント値を、次出力データレジスタ (NDR0, NDR1) 及び次出力データイネーブルレジスタ (NDRE0, NDRE1) にコンペア出力端子 CMPO<7:0> に出力させるパターンデータ値を設定します。また、出力データレジスタ (DR) にコンペア出力端子 CMPO<7:0> から事前に出力させておく初期値を予め設定しておきます。マスターモードレジスタ (MMR) により、タイマのクロックの分周比を選択し、動作を開始します。

図 12-5-3 に示すように、実際のタイマのカウント値とリファレンスレジスタ (RF0, RF1) の設定値が一致すると、タイマが次のカウント値に変化する時点で次出力データレジスタ (NDR0, NDR1) の値が出力データレジスタ (DR) にセットされ、同時にコンペア出力端子 CMPO<7:0> からそのレジスタの値が出力されます。出力データレジスタ (DR) にセットされる値は、次出力データイネーブルレジスタ (NDRE0, NDRE1) でイネーブル設定されているビット分のみ転送され変化します。図では上位 4 ビット分のみイネーブル状態 (‘F0H’) になっているので、出力データレジスタ (DR) 及びコンペア出力端子 CMPO<7:0> の上位 4 ビット分のみが ‘A 5’ に変化しています。それと同時に、割り込み要求信号 INT を ‘H’ に変化させ、割り込みコントローラ KP69 に割り込みを要求します。

コンペア出力端子 CMPO<7:0> つまり出力データレジスタ (DR) には、事前に設定していたカウント設定値と実際のカウント値が一致した時点でパターンデータの設定値が出力されるので、通常のタイマ割り込み処理によりパラレルポートにパターンデータを出力する場合に比べ、割り込み応答処理による遅延の影響がありません。

実際のタイマのカウント値とリファレンスレジスタ (RF0, RF1) の設定値が一致する度に、出力データレジスタ (DR) 及びコンペア出力端子 CMPO<7:0> の値が更新されます。尚、タイマの動作中でも、リファレンスレジスタ (RF0, RF1)、出力データレジスタ (DR)、次出力データレジスタ (NDR0, NDR1) 及び次出力データイネーブルレジスタ (NDRE0, NDRE1) の値は書き換え可能です。

リファレンスレジスタ (RF0, RF1) には下位側バイト・上位側バイト連続書き込みによる設定を行います。その設定過程で新下位側バイトと旧上位側バイトが組み合わされた値が一時的にリファレンスレジスタ内に存在することになります。よって、割り込み発生時の誤動作を防ぐため、リファレンスレジスタの設定値を変更する場合は、リファレンスレジスタ値設定 マスターモードレジスタ (MMR) による割り込みクリアの順序で設定を行ってください。

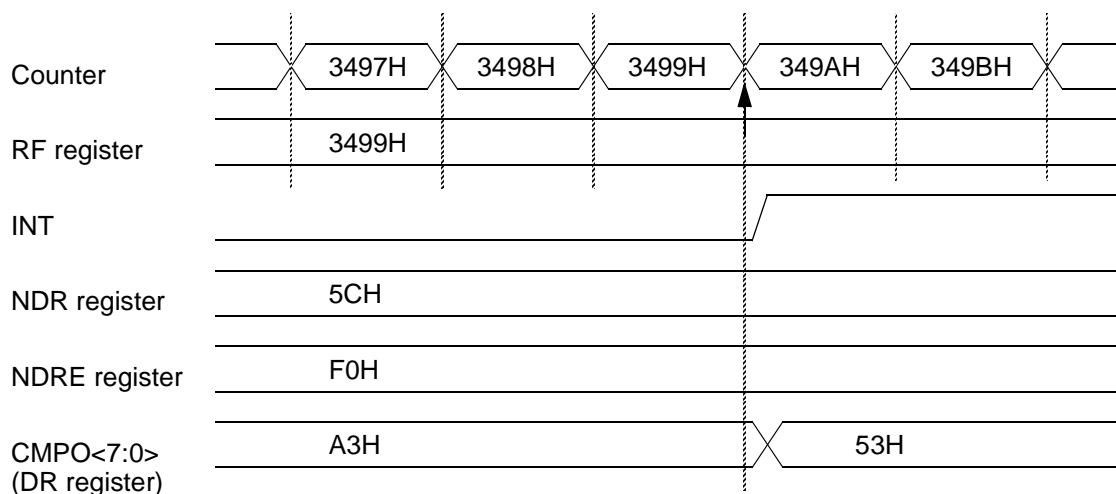


図 12-5-3 コンペア機能

12.6 割り込み

割り込みコントローラ KP69 への割り込み要求出力 INT は、図 12-6 に示すように、チャンネル 0 とチャンネル 1 それぞれの割り込み要求の OR をとった信号として出力されます。割り込みの解除は、マスターモードレジスタ (MMR) の割り込みクリアの設定によりチャンネル毎に行い、チャンネル 0 とチャンネル 1 の割り込み要求が共にクリアされている状態で割り込み要求出力 INT は解除となります。

よって、割り込みコントローラ KP69 の入力モードは、レベルモードの設定にして使用してください。また、割り込み処理を使用しない場合には、割り込みコントローラ KP69 で入力マスク設定をしてください。

モードステータスレジスタ (MSR0, MSR1) により割り込み禁止の設定を行っても既に出力されている割り込み要求はクリアされません。割り込みクリアが必要ならば、マスターモードレジスタ (MMR) へのモード書き込みにより、相当するチャンネルの割り込みクリアを行ってください。

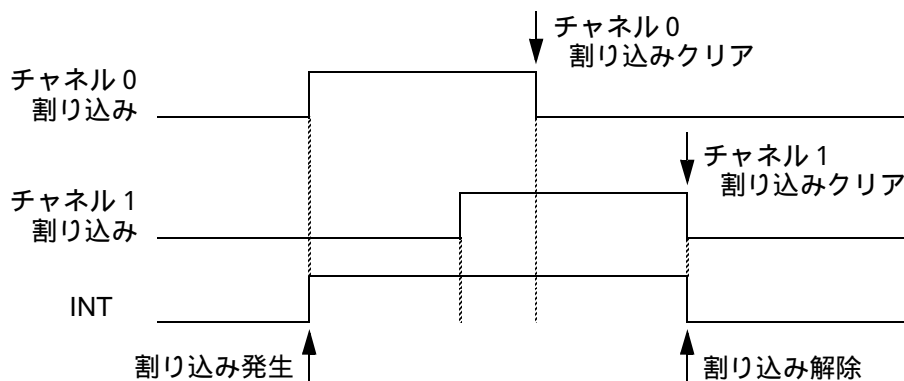


図 12-6 割り込み

12.7 リセット

外部リセット信号 RESET₁ により、レジスタが以下の通り初期化されます。

DR = 00H	NDR0, NDR1 = 00H
MMR = 00H	NDRE0, NDRE1 = 00H
RF0, RF1 = 0000H	MSR0, MSR1 = 00H

16 ビットアップカウンタもカウンタ値が 0000H にリセットされ、動作停止状態となります。コンペア出力端子 CMPO<7:0> の状態は、出力データレジスタ (DR) の値が出力されますので 00H となります。

12.8 注意事項

- 各チャンネルの動作を停止させる場合には、モードステータスレジスタ (MSR0, MSR1) の設定を 00H にしてください。
- タイマのカウント値を読み出すときには、必ず下位側、上位側の順で連続リード動作を行ってください。上位側の値は、下位側をリード動作した瞬間の一時格納用レジスタに保持されていた値が読み出されます。

13 . パラレルポート

13.1 概要

KL5C16030 のパラレルポート（KP67）は、32 本のポート数構成されていて、ポート 0 以外のポートは 1 ビット単位に入力 / 出力の方向制御が可能です。また、プログラムによるビット単位のセット / リセット機能を用意しています。

特徴

- ・ 32 本のパラレルポート搭載
- ・ ビット単位の入力 / 出力の方向制御が可能
- ・ ソフトウェアによりビット単位のセット / リセットが可能

13.2 ブロック図

パラレルポートの全体ブロック図を図 13-1 に、I/O レジスタマッピングを表 13-1 に示します。

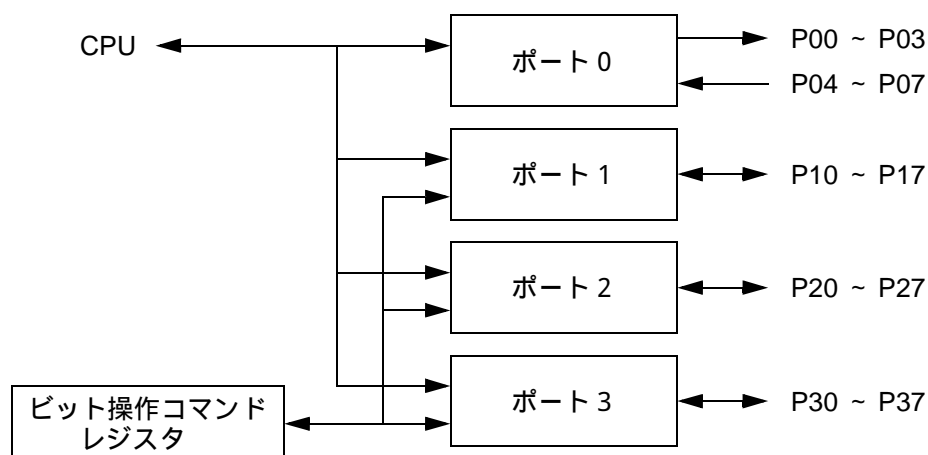


図 13-1 パラレルポートのブロック図

表 13-1 I/O レジスタマッピング

I/O アドレス	ライト時	リード時
38H 39H	ポート 0 ・ データ ビット操作コマンド	ポート 0 ・ データ -
3AH 3BH	ポート 1 ・ データ ポート 1 ・ 方向制御	ポート 1 ・ データ ポート 1 ・ 方向制御
3CH 3DH	ポート 2 ・ データ ポート 2 ・ 方向制御	ポート 2 ・ データ ポート 2 ・ 方向制御
3EH 3FH	ポート 3 ・ データ ポート 3 ・ 方向制御	ポート 3 ・ データ ポート 3 ・ 方向制御

13.3 ポート入出力設定

ポート0は上位4本が入力、下位4本が出力に固定されています。ポート1, 2, 3のポート入出力方向設定はI/Oアドレス = 3BH, 3DH, 3FHの各ポート方向制御レジスタ書き込みで行います。ポート1, 2, 3は、パラレルポートの入出力の方向設定を各ポートの方向制御レジスタにより1ビット単位で設定可能です。

方向制御レジスタ

D7	D6	D5	D4	D3	D2	D1	D0

I/O アドレス = 3BH, 3DH, 3FH

- D<7> ビット7 (Px7) 方向制御
 - 0: 入力に設定
 - 1: 出力に設定
- D<6> ビット6 (Px6) 方向制御
 - 0: 入力に設定
 - 1: 出力に設定
- D<5> ビット5 (Px5) 方向制御
 - 0: 入力に設定
 - 1: 出力に設定
- D<4> ビット4 (Px4) 方向制御
 - 0: 入力に設定
 - 1: 出力に設定
- D<3> ビット3 (Px3) 方向制御
 - 0: 入力に設定
 - 1: 出力に設定
- D<2> ビット2 (Px2) 方向制御
 - 0: 入力に設定
 - 1: 出力に設定
- D<1> ビット1 (Px1) 方向制御
 - 0: 入力に設定
 - 1: 出力に設定
- D<0> ビット0 (Px0) 方向制御
 - 0: 入力に設定
 - 1: 出力に設定

上記 x はポート番号に相当します。

ビット操作コマンド

パラレルポートは、全出力ポートを1ビット単位でセット/リセットが可能です。

D7	D6	D5	D4	D3	D2	D1	D0	
0	0							I/O アドレス = 39H

D<5:4> セット/リセット対象ポート指定

- 00 : ポート 0
- 01 : ポート 1
- 10 : ポート 2
- 11 : ポート 3

D<3:1> セット/リセット対象ビット指定

- 000 : ビット 0 (Px0)
- 001 : ビット 1 (Px1)
- 010 : ビット 2 (Px2)
- 011 : ビット 3 (Px3)
- 100 : ビット 4 (Px4)
- 101 : ビット 5 (Px5)
- 110 : ビット 6 (Px6)
- 111 : ビット 7 (Px7)

D<0> データ設定値

- 0 : リセット ('0')
- 1 : セット ('1')

上記 x はポート番号に相当します。

(注) 上記以外の組み合わせの設定を行った場合の動作は保証しません。

13.4 ポート入出力動作

ポート入力動作

入力に設定されたポートでは、外部端子から取り込んだデータをデータバスに出力します。

ポート出力動作

出力に設定されたポートでは、データバスから各ポートに書き込まれたデータが外部端子から出力されます。

13.5 リセット

リセット時には以下のレジスタが 00H に初期化されます。

ポート 3 ~ 0 ・ データ全ビット

ポート 1 ・ 方向制御レジスタ

ポート 2 ・ 方向制御レジスタ

ポート 3 ・ 方向制御レジスタ

13.6 使用上の注意

他の周辺回路の信号とパラレルポートがマルチプレクスされている端子をパラレルポートとして使用しない場合、そのパラレルポートは入力方向に設定して下さい。