

Appendix A. KC160 CPUコア インストラクション表

この表は、命令の種類ごとに分類して、KC160 CPUコア のインストラクションをまとめたものです。

表中の "Mnemonic" は各命令の名称を表わしており、"Operation" でその動作内容を簡潔に示しています。動作内容で、" " とあるのは、右側の内容を左側に転送することを意味しています。また、() で括られたものは括られた中身の値により指定される番地のメモリの内容を意味します。さらに、io[] で括られたものは、括られた中身の値により指定される番地の I/O の内容を意味します。例えば、r (ZP:HL) とあるのは、ZPレジスタと HLレジスタ とを接続した値により指定される番地のメモリの内容を rレジスタ に転送する、というものです。"Operation" では、互換ボックス内に配置された場合の動作 ("互:" と明記) と、拡張領域に配置された場合の動作 ("拡:" と明記) とが異なる場合があります。明記されていない場合は、両方で同一の動作になります。"Mnemonic" の先頭に " " が付与された命令は、Z80 や KC80 には存在せず、KC160 で追加された命令であることを示します。

"Flags" は各フラグの動作を、"Opecode" はそれぞれの命令に対するマシン語コードを2進数と16進数で記しています。"Byte" は各命令の長さ(バイト数)、"Clock" は各命令を実行するのに要するクロック数を当該命令が奇数番地から配置された場合 ("odd" 欄) と偶数番地から配置された場合 ("even" 欄) に分けて表示しています。クロック数は内部的なシステムクロックを単位としているため、水晶発振回路の周波数を2分周したのになります。また、外部バスサイクル(命令フェッチサイクルやデータアクセスサイクルなど)が存在するときには、外部バスインタフェースユニットにて設定されているウェイト数により、実際にその命令を実行するのに要するクロック数が変化(増加)します。

以下に、インストラクション表に出てくる略号表記についてまとめてありますので、参考にご覧ください。これ以外にも、各命令ごとに "Operation" で注記している場合がありますので、合わせて参照ください。

r / rs / rd "Opecode" の rrr により、以下の8ビットレジスタを示す

r r r = 0 0 0	Bレジスタ
r r r = 0 0 1	Cレジスタ
r r r = 0 1 0	Dレジスタ
r r r = 0 1 1	Eレジスタ
r r r = 1 0 0	Hレジスタ
r r r = 1 0 1	Lレジスタ
r r r = 1 1 1	Aレジスタ

ss / tt "Opecode" の ss あるいは tt により、以下の16ビットレジスタペアを示す

	ss	tt
0 0	BCレジスタペア	BCレジスタペア
0 1	DEレジスタペア	DEレジスタペア
1 0	HLレジスタペア	HLレジスタペア
1 1	SPレジスタ	AFレジスタペア

nn / nnnn / nnnnnn 8ビット / 16ビット / 24ビット の即値やアドレス値

d / e インデックス あるいは 相対ジャンプ で使用する8ビット値(符号付き)

bn / <bbb> ビット番号 bn および そのデータの 第bbbビット を示す(0~7)

*ss / *HL / *IX など 拡張レジスタを ss / HL / IX などに接続した24ビットレジスタ
*で指定できるものは、"Opecode" の *p.cnst1 あるいは *p.cnst2 により次の通り

*	*p.cnst1	*p("Operation" など)
X	0 1 0 0 0 0 0 0	XP
Y	0 1 0 0 1 0 0 1	YP
A	0 1 0 1 0 0 1 0	A
P	0 1 0 1 1 0 1 1	PP
Z	0 1 1 1 1 1 1 1	ZP

*	*p.cnst2	*p("Operation" など)
X	0 1 0 0 0 0 0 0	XP
Y	0 1 0 0 1 0 0 1	YP
A	0 1 0 1 0 0 1 0	A
Z	0 1 1 1 1 1 1 1	ZP

注: *p.cnst2 では PP を指定することが出来ません

8 bit Load Group

Mnemonic		Byte	Opcode 7 6 5 4 3 2 1 0	Hex	Flags S Z H PV N C	Clock odd : even	Operation
LD	rd, rs	1	0 1 r r r q q q		- - - - -	1 1	rd は rrr、rs は qq q、で指定 互: rd rs (rs, rd は任意) 拡: rd rs (rs rd に限定)
LD	r, nn	2	0 0 r r r 1 1 0 nn<7:0>		- - - - -	1 1	r nn
LD	A, I	2	1 1 1 0 1 1 0 1 0 1 0 1 0 1 1 1	ED 5 7	* * 0 注 0 -	2 2	A I, pv IFF2
LD	A, R	2	1 1 1 0 1 1 0 1 0 1 0 1 1 1 1 1	ED 5 F	* * 0 注 0 -	2 2	A R, pv IFF2
LD	I, A	2	1 1 1 0 1 1 0 1 0 1 0 0 0 1 1 1	ED 4 7	- - - - -	2 2	I A
LD	R, A	2	1 1 1 0 1 1 0 1 0 1 0 0 1 1 1 1	ED 4 F	- - - - -	2 2	R A
LD	r, (HL)	1	0 1 r r r 1 1 0		- - - - -	2 3	互: r (00:HL) 拡: r (ZP:HL)
LD	r, (IX+d)	3	1 1 0 1 1 1 0 1 0 1 r r r 1 1 0 d<7:0>	DD	- - - - -	4 4	互: r (00:IX+d) 拡: r (ZP:IX+d)
LD	r, (IY+d)	3	1 1 1 1 1 1 0 1 0 1 r r r 1 1 0 d<7:0>	FD	- - - - -	4 4	互: r (00:IY+d) 拡: r (YP:IY+d)
LD	(HL), r	1	0 1 1 1 0 r r r	7 *	- - - - -	2 3	互: (00:HL) r 拡: (ZP:HL) r
LD	(IX+d), r	3	1 1 0 1 1 1 0 1 0 1 1 1 0 r r r d<7:0>	DD 7 *	- - - - -	4 4	互: (00:IX+d) r 拡: (ZP:IX+d) r
LD	(IY+d), r	3	1 1 1 1 1 1 0 1 0 1 1 1 0 r r r d<7:0>	FD 7 *	- - - - -	4 4	互: (00:IY+d) r 拡: (YP:IY+d) r
LD	(HL), nn	2	0 0 1 1 0 1 1 0 nn<7:0>	3 6	- - - - -	3 3	互: (00:HL) nn 拡: (ZP:HL) nn
LD	(IX+d), nn	4	1 1 0 1 1 1 0 1 0 0 1 1 0 1 1 0 d<7:0> nn<7:0>	DD 3 6	- - - - -	5 4	互: (00:IX+d) nn 拡: (ZP:IX+d) nn
LD	(IY+d), nn	4	1 1 1 1 1 1 0 1 0 0 1 1 0 1 1 0 d<7:0> nn<7:0>	FD 3 6	- - - - -	5 4	互: (00:IY+d) nn 拡: (YP:IY+d) nn
LD	A, (BC)	1	0 0 0 0 1 0 1 0	0 A	- - - - -	2 3	互: A (00:BC) 拡: A (ZP:BC)
LD	A, (DE)	1	0 0 0 1 1 0 1 0	1 A	- - - - -	2 3	互: A (00:DE) 拡: A (ZP:DE)
LD	A, (nnnn)	3	0 0 1 1 1 0 1 0 nn<7:0> nn<15:8>	3 A	- - - - -	3 4	互: A (00:nnnn) 拡: A (ZP:nnnn)
LD	(BC), A	1	0 0 0 0 0 0 1 0	0 2	- - - - -	2 3	互: (00:BC) A 拡: (ZP:BC) A
LD	(DE), A	1	0 0 0 1 0 0 1 0	1 2	- - - - -	2 3	互: (00:DE) A 拡: (ZP:DE) A
LD	(nnnn), A	3	0 0 1 1 0 0 1 0 nn<7:0> nn<15:8>	3 2	- - - - -	3 4	互: (00:nnnn) A 拡: (ZP:nnnn) A
LD	r, (*HL)	2	*p.cnst1 0 1 r r r 1 1 0		- - - - -	4 3	互: 使用できません 拡: r (*p:HL)
LD	r, (*IX+d)	4	*p.cnst1 1 1 0 1 1 1 0 1 0 1 r r r 1 1 0 d<7:0>	DD	- - - - -	5 5	互: 使用できません 拡: r (*p:IX+d)
LD	r, (*IY+d)	4	*p.cnst1 1 1 1 1 1 1 0 1 0 1 r r r 1 1 0 d<7:0>	FD	- - - - -	5 5	互: 使用できません 拡: r (*p:IY+d)

8 bit Load Group (continued)

Mnemonic	Byte	Opcode		Hex	Flags							Clock		Operation
		7 6 5 4 3 2 1 0			S	Z	H	PV	N	C		odd	even	
LD (*HL), r	2	*p.cnst1 0 1 1 1 0 r r r	7 *		-	-	-	-	-	-		4	3	互: 使用できません 拡: (*p:HL) r
LD (*IX+d), r	4	*p.cnst1 1 1 0 1 1 1 0 1 0 1 1 1 0 r r r d<7:0>	DD 7 *		-	-	-	-	-	-		5	5	互: 使用できません 拡: (*p:IX+d) r
LD (*IY+d), r	4	*p.cnst1 1 1 1 1 1 1 0 1 0 1 1 1 0 r r r d<7:0>	FD 7 *		-	-	-	-	-	-		5	5	互: 使用できません 拡: (*p:IY+d) r
LD (*HL), nn	3	*p.cnst1 0 0 1 1 0 1 1 0 nn<7:0>	3 6		-	-	-	-	-	-		4	4	互: 使用できません 拡: (*p:HL) nn
LD (*IX+d), nn	5	*p.cnst1 1 1 0 1 1 1 0 1 0 0 1 1 0 1 1 0 d<7:0> nn<7:0>	DD 3 6		-	-	-	-	-	-		5	6	互: 使用できません 拡: (*p:IX+d) nn
LD (*IY+d), nn	5	*p.cnst1 1 1 1 1 1 1 0 1 0 0 1 1 0 1 1 0 d<7:0> nn<7:0>	FD 3 6		-	-	-	-	-	-		5	6	互: 使用できません 拡: (*p:IY+d) nn
LD A, (*BC)	2	*p.cnst1 0 0 0 0 1 0 1 0	0 A		-	-	-	-	-	-		4	3	互: 使用できません 拡: A (*p:BC)
LD A, (*DE)	2	*p.cnst1 0 0 0 1 1 0 1 0	1 A		-	-	-	-	-	-		4	3	互: 使用できません 拡: A (*p:DE)
LD A, (*p:nnnn)	4	*p.cnst1 0 0 1 1 1 0 1 0 nn<7:0> nn<15:8>	3 A		-	-	-	-	-	-		5	4	互: 使用できません 拡: A (*p:nnnn)
LD (*BC), A	2	*p.cnst1 0 0 0 0 0 1 0	0 2		-	-	-	-	-	-		4	3	互: 使用できません 拡: (*p:BC) A
LD (*DE), A	2	*p.cnst1 0 0 0 1 0 0 1 0	1 2		-	-	-	-	-	-		4	3	互: 使用できません 拡: (*p:DE) A
LD (*p:nnnn), A	4	*p.cnst1 0 0 1 1 0 0 1 0 nn<7:0> nn<15:8>	3 2		-	-	-	-	-	-		5	4	互: 使用できません 拡: (*p:nnnn) A
LD A, ZP	2	1 1 1 0 1 1 0 1 1 1 0 0 0 1 0 0	ED C4		-	-	-	-	-	-		2	2	A ZP
LD A, YP	2	1 1 1 0 1 1 0 1 1 1 0 0 1 1 0 0	ED CC		-	-	-	-	-	-		2	2	A YP
LD A, XP	2	1 1 1 0 1 1 0 1 1 1 0 0 0 1 0 1	ED C5		-	-	-	-	-	-		2	2	A XP
LD XP, YP	2	1 1 1 0 1 1 0 1 1 1 0 1 0 1 0 0	ED D4		-	-	-	-	-	-		2	2	XP YP
LD XP, ZP	2	1 1 1 0 1 1 0 1 1 1 0 1 1 1 0 0	ED DC		-	-	-	-	-	-		2	2	XP ZP
LD XP, A	2	1 1 1 0 1 1 0 1 1 1 0 1 0 1 0 1	ED D5		-	-	-	-	-	-		2	2	XP A
LD YP, XP	2	1 1 1 0 1 1 0 1 1 1 1 0 0 1 0 0	ED E4		-	-	-	-	-	-		2	2	YP XP
LD YP, A	2	1 1 1 0 1 1 0 1 1 1 1 0 1 1 0 0	ED EC		-	-	-	-	-	-		2	2	YP A
LD YP, ZP	2	1 1 1 0 1 1 0 1 1 1 1 0 0 1 0 1	ED E5		-	-	-	-	-	-		2	2	YP ZP
LD ZP, A	2	1 1 1 0 1 1 0 1 1 1 1 1 0 1 0 0	ED F4		-	-	-	-	-	-		2	2	ZP A
LD ZP, XP	2	1 1 1 0 1 1 0 1 1 1 1 1 1 1 0 0	ED FC		-	-	-	-	-	-		2	2	ZP XP
LD ZP, YP	2	1 1 1 0 1 1 0 1 1 1 1 1 0 1 0 1	ED F5		-	-	-	-	-	-		2	2	ZP YP

8 bit Load Group (continued)

Mnemonic	Byte	Opcode		Hex	Flags						Clock		Operation
		7 6 5 4 3 2 1 0			S	Z	H	PV	N	C	odd	even	
LDF (nnnnnn), A	5	1 1 1 0 1 1 0 1 0 0 1 1 0 0 1 1 nn<7:0> nn<15:8> nn<23:16>	E D 3 3	-	-	-	-	-	-	5	5	(nnnnnn) A	
LDF A, (nnnnnn)	5	1 1 1 0 1 1 0 1 0 0 1 1 1 0 1 1 nn<7:0> nn<15:8> nn<23:16>	E D 3 B	-	-	-	-	-	-	5	5	A (nnnnnn)	

16 bit Load Group

Mnemonic		Byte	Opcode 7 6 5 4 3 2 1 0	Hex	Flags S Z H PV N C	Clock odd even		Operation
LD	ss, nnnn	3	0 0 s s 0 0 0 1 nn<7:0> nn<15:8>	* 1	- - - - -	2	2	ss nnnn
LD	IX, nnnn	4	1 1 0 1 1 1 0 1 0 0 1 0 0 0 0 1 nn<7:0> nn<15:8>	DD 2 1	- - - - -	3	3	IX nnnn
LD	IY, nnnn	4	1 1 1 1 1 1 0 1 0 0 1 0 0 0 0 1 nn<7:0> nn<15:8>	FD 2 1	- - - - -	3	3	IY nnnn
LD	HL, (nnnn)	3	0 0 1 0 1 0 1 0 nn<7:0> nn<15:8>	2 A	- - - - -	3	4	互: HL (00:nnnn ~) 拡: HL (ZP:nnnn ~)
LD	IX, (nnnn)	4	1 1 0 1 1 1 0 1 0 0 1 0 1 0 1 0 nn<7:0> nn<15:8>	DD 2 A	- - - - -	5	4	互: IX (00:nnnn ~) 拡: IX (ZP:nnnn ~)
LD	IY, (nnnn)	4	1 1 1 1 1 1 0 1 0 0 1 0 1 0 1 0 nn<7:0> nn<15:8>	FD 2 A	- - - - -	5	4	互: IY (00:nnnn ~) 拡: IY (ZP:nnnn ~)
LD	(nnnn), HL	3	0 0 1 0 0 0 1 0 nn<7:0> nn<15:8>	2 2	- - - - -	3	4	互: (00:nnnn ~) HL 拡: (ZP:nnnn ~) HL
LD	(nnnn), IX	4	1 1 0 1 1 1 0 1 0 0 1 0 0 0 1 0 nn<7:0> nn<15:8>	DD 2 2	- - - - -	5	4	互: (00:nnnn ~) IX 拡: (ZP:nnnn ~) IX
LD	(nnnn), IY	4	1 1 1 1 1 1 0 1 0 0 1 0 0 0 1 0 nn<7:0> nn<15:8>	FD 2 2	- - - - -	5	4	互: (00:nnnn ~) IY 拡: (ZP:nnnn ~) IY
LD	ss, (nnnn)	4	1 1 1 0 1 1 0 1 0 1 s s 1 0 1 1 nn<7:0> nn<15:8>	ED * B	- - - - -	5	4	互: ss (00:nnnn ~) 拡: ss (ZP:nnnn ~)
LD	(nnnn), ss	4	1 1 1 0 1 1 0 1 0 1 s s 0 0 1 1 nn<7:0> nn<15:8>	ED * 3	- - - - -	5	4	互: (00:nnnn ~) ss 拡: (ZP:nnnn ~) ss
LD	HL, (*p:nnnn)	4	*p.cnst1 0 0 1 0 1 0 1 0 nn<7:0> nn<15:8>	2 A	- - - - -	5	4	互: 使用できません 拡: HL (*p:nnnn ~)
LD	IX, (*p:nnnn)	5	*p.cnst1 1 1 0 1 1 1 0 1 0 0 1 0 1 0 1 0 nn<7:0> nn<15:8>	DD 2 A	- - - - -	5	6	互: 使用できません 拡: IX (*p:nnnn ~)

16 bit Load Group (continued)

Mnemonic		Byte	Opcode 7 6 5 4 3 2 1 0	Hex	Flags S Z H PV N C					Clock odd even		Operation
LD	IY, (*p:nnnn)	5	*p.cnst1 1 1 1 1 1 1 0 1 0 0 1 0 1 0 1 0 nn<7:0> nn<15:8>	FD 2 A	-	-	-	-	-	5	6	互: 使用できません 拡: IY (*p:nnnn ~)
LD	(*p:nnnn), HL	4	*p.cnst1 0 0 1 0 0 0 1 0 nn<7:0> nn<15:8>	2 2	-	-	-	-	-	5	4	互: 使用できません 拡: (*p:nnnn ~) HL
LD	(*p:nnnn), IX	5	*p.cnst1 1 1 0 1 1 1 0 1 0 0 1 0 0 0 1 0 nn<7:0> nn<15:8>	DD 2 2	-	-	-	-	-	5	6	互: 使用できません 拡: (*p:nnnn ~) IX
LD	(*p:nnnn), IY	5	*p.cnst1 1 1 1 1 1 1 0 1 0 0 1 0 0 0 1 0 nn<7:0> nn<15:8>	FD 2 2	-	-	-	-	-	5	6	互: 使用できません 拡: (*p:nnnn ~) IY
LD	ss, (*p:nnnn)	5	*p.cnst1 1 1 1 0 1 1 0 1 0 1 s s 1 0 1 1 nn<7:0> nn<15:8>	ED * B	-	-	-	-	-	5	6	互: 使用できません 拡: ss (*p:nnnn ~)
LD	(*p:nnnn), ss	5	*p.cnst1 1 1 1 0 1 1 0 1 0 1 s s 0 0 1 1 nn<7:0> nn<15:8>	ED * 3	-	-	-	-	-	5	6	互: 使用できません 拡: (*p:nnnn ~) ss
PUSH	tt	1	1 1 t t 0 1 0 1	* 5	-	-	-	-	-	3	3	互: SP SP-2, (00:SP ~) tt 拡: SP SP-2, (ZP:SP ~) tt
PUSH	IX	2	1 1 0 1 1 1 0 1 1 1 1 0 0 1 0 1	DD E 5	-	-	-	-	-	4	4	互: SP SP-2, (00:SP ~) IX 拡: SP SP-2, (ZP:SP ~) IX
PUSH	IY	2	1 1 1 1 1 1 0 1 1 1 1 0 0 1 0 1	FD E 5	-	-	-	-	-	4	4	互: SP SP-2, (00:SP ~) IY 拡: SP SP-2, (ZP:SP ~) IY
POP	tt	1	1 1 t t 0 0 0 1	* 1	-	-	-	-	-	2	3	tt = AF のみフラグが変化 互: tt (00:SP ~), SP SP+2 拡: tt (ZP:SP ~), SP SP+2
POP	IX	2	1 1 0 1 1 1 0 1 1 1 1 0 0 0 0 1	DD E 1	-	-	-	-	-	4	3	互: IX (00:SP ~), SP SP+2 拡: IX (ZP:SP ~), SP SP+2
POP	IY	2	1 1 1 1 1 1 0 1 1 1 1 0 0 0 0 1	FD E 1	-	-	-	-	-	4	3	互: IY (00:SP ~), SP SP+2 拡: IY (ZP:SP ~), SP SP+2
LD	(IX+d), ss	3	1 1 1 0 1 1 0 1 1 0 s s 0 1 0 1 d<7:0>	ED * 5	-	-	-	-	-	4	4	互: (00:IX+d ~) ss 拡: (ZP:IX+d ~) ss
LD	(IY+d), ss	3	1 1 1 0 1 1 0 1 1 0 s s 0 1 0 0 d<7:0>	ED * 4	-	-	-	-	-	4	4	互: (00:IY+d ~) ss 拡: (YP:IY+d ~) ss
LD	(SP+d), ss	3	1 1 1 0 1 1 0 1 1 0 s s 0 1 1 0 d<7:0>	ED * 6	-	-	-	-	-	4	4	互: (00:SP+d ~) ss 拡: (ZP:SP+d ~) ss
LDF	(nnnnnn), ss	5	1 1 1 0 1 1 0 1 1 0 s s 0 1 1 1 nn<7:0> nn<15:8> nn<23:16>	ED * 7	-	-	-	-	-	5	5	(nnnnnn ~) ss
LD	(IX+d), IX	3	1 1 1 0 1 1 0 1 1 0 0 0 0 0 0 1 d<7:0>	ED 8 1	-	-	-	-	-	4	4	互: (00:IX+d ~) IX 拡: (ZP:IX+d ~) IX
LD	(IY+d), IX	3	1 1 1 0 1 1 0 1 1 0 0 0 0 0 0 0 d<7:0>	ED 8 0	-	-	-	-	-	4	4	互: (00:IY+d ~) IX 拡: (YP:IY+d ~) IX

16 bit Load Group (continued)

Mnemonic	Byte	Opcode		Hex	Flags						Clock		Operation
		7 6 5 4 3 2 1 0			S	Z	H	PV	N	C	odd	even	
LD (SP+d), IX	3	1 1 1 0 1 1 0 1 1 0 0 0 0 1 0 d<7:0>	E D 8 2	- - - - -							4	4	互: (00:SP+d ~) IX 拡: (ZP:SP+d ~) IX
LDF (nnnnnn), IX	5	1 1 1 0 1 1 0 1 1 0 0 0 0 1 1 nn<7:0> nn<15:8> nn<23:16>	E D 8 3	- - - - -							5	5	(nnnnnn ~) IX
LD (IX+d), IY	3	1 1 1 0 1 1 0 1 1 0 0 1 0 0 1 d<7:0>	E D 9 1	- - - - -							4	4	互: (00:IX+d ~) IY 拡: (ZP:IX+d ~) IY
LD (IY+d), IY	3	1 1 1 0 1 1 0 1 1 0 0 1 0 0 0 d<7:0>	E D 9 0	- - - - -							4	4	互: (00:IY+d ~) IY 拡: (YP:IY+d ~) IY
LD (SP+d), IY	3	1 1 1 0 1 1 0 1 1 0 0 1 0 0 1 0 d<7:0>	E D 9 2	- - - - -							4	4	互: (00:SP+d ~) IY 拡: (ZP:SP+d ~) IY
LDF (nnnnnn), IY	5	1 1 1 0 1 1 0 1 1 0 0 1 0 0 1 1 nn<7:0> nn<15:8> nn<23:16>	E D 9 3	- - - - -							5	5	(nnnnnn ~) IY
LD ss, (IX+d)	3	1 1 1 0 1 1 0 1 1 0 s s 1 1 0 1 d<7:0>	E D * D	- - - - -							4	4	互: ss (00:IX+d ~) 拡: ss (ZP:IX+d ~)
LD ss, (IY+d)	3	1 1 1 0 1 1 0 1 1 0 s s 1 1 0 0 d<7:0>	E D * C	- - - - -							4	4	互: ss (00:IY+d ~) 拡: ss (YP:IY+d ~)
LD ss, (SP+d)	3	1 1 1 0 1 1 0 1 1 0 s s 1 1 1 0 d<7:0>	E D * E	- - - - -							4	4	互: ss (00:SP+d ~) 拡: ss (ZP:SP+d ~)
LDF ss, (nnnnnn)	5	1 1 1 0 1 1 0 1 1 0 s s 1 1 1 1 nn<7:0> nn<15:8> nn<23:16>	E D * F	- - - - -							5	5	ss (nnnnnn ~)
LD IX, (IX+d)	3	1 1 1 0 1 1 0 1 1 0 0 0 1 0 0 1 d<7:0>	E D 8 9	- - - - -							4	4	互: IX (00:IX+d ~) 拡: IX (ZP:IX+d ~)
LD IX, (IY+d)	3	1 1 1 0 1 1 0 1 1 0 0 0 1 0 0 0 d<7:0>	E D 8 8	- - - - -							4	4	互: IX (00:IY+d ~) 拡: IX (YP:IY+d ~)
LD IX, (SP+d)	3	1 1 1 0 1 1 0 1 1 0 0 0 1 0 1 0 d<7:0>	E D 8 A	- - - - -							4	4	互: IX (00:SP+d ~) 拡: IX (ZP:SP+d ~)
LDF IX, (nnnnnn)	5	1 1 1 0 1 1 0 1 1 0 0 0 1 0 1 1 nn<7:0> nn<15:8> nn<23:16>	E D 8 B	- - - - -							5	5	IX (nnnnnn ~)
LD IY, (IX+d)	3	1 1 1 0 1 1 0 1 1 0 0 1 1 0 0 1 d<7:0>	E D 9 9	- - - - -							4	4	互: IY (00:IX+d ~) 拡: IY (ZP:IX+d ~)
LD IY, (IY+d)	3	1 1 1 0 1 1 0 1 1 0 0 1 1 0 0 0 d<7:0>	E D 9 8	- - - - -							4	4	互: IY (00:IY+d ~) 拡: IY (YP:IY+d ~)
LD IY, (SP+d)	3	1 1 1 0 1 1 0 1 1 0 0 1 1 0 1 0 d<7:0>	E D 9 A	- - - - -							4	4	互: IY (00:SP+d ~) 拡: IY (ZP:SP+d ~)
LDF IY, (nnnnnn)	5	1 1 1 0 1 1 0 1 1 0 0 1 1 0 1 1 nn<7:0> nn<15:8> nn<23:16>	E D 9 B	- - - - -							5	5	IY (nnnnnn ~)

16 bit Load Group (continued)

Mnemonic	Byte	Opcode		Hex	Flags							Clock		Operation
		7 6 5 4 3 2 1 0			S	Z	H	PV	N	C		odd	even	
LD (*IX+d), ss	4	*p.cnst1 1 1 1 0 1 1 0 1 1 0 s s 0 1 0 1 d<7:0>	ED * 5		-	-	-	-	-	-		5	5	互: 使用できません 拡: (*p:IX+d ~) ss
LD (*IY+d), ss	4	*p.cnst1 1 1 1 0 1 1 0 1 1 0 s s 0 1 0 0 d<7:0>	ED * 4		-	-	-	-	-	-		5	5	互: 使用できません 拡: (*p:IY+d ~) ss
LD (*IX+d), IX	4	*p.cnst1 1 1 1 0 1 1 0 1 1 0 0 0 0 0 0 1 d<7:0>	ED 8 1		-	-	-	-	-	-		5	5	互: 使用できません 拡: (*p:IX+d ~) IX
LD (*IY+d), IX	4	*p.cnst1 1 1 1 0 1 1 0 1 1 0 0 0 0 0 0 0 d<7:0>	ED 8 0		-	-	-	-	-	-		5	5	互: 使用できません 拡: (*p:IY+d ~) IX
LD (*IX+d), IY	4	*p.cnst1 1 1 1 0 1 1 0 1 1 0 0 1 0 0 0 1 d<7:0>	ED 9 1		-	-	-	-	-	-		5	5	互: 使用できません 拡: (*p:IX+d ~) IY
LD (*IY+d), IY	4	*p.cnst1 1 1 1 0 1 1 0 1 1 0 0 1 0 0 0 0 d<7:0>	ED 9 0		-	-	-	-	-	-		5	5	互: 使用できません 拡: (*p:IY+d ~) IY
LD ss, (*IX+d)	4	*p.cnst1 1 1 1 0 1 1 0 1 1 0 s s 1 1 0 1 d<7:0>	ED * D		-	-	-	-	-	-		5	5	互: 使用できません 拡: ss (*p:IX+d ~)
LD ss, (*IY+d)	4	*p.cnst1 1 1 1 0 1 1 0 1 1 0 s s 1 1 0 0 d<7:0>	ED * C		-	-	-	-	-	-		5	5	互: 使用できません 拡: ss (*p:IY+d ~)
LD IX, (*IX+d)	4	*p.cnst1 1 1 1 0 1 1 0 1 1 0 0 0 1 0 0 1 d<7:0>	ED 8 9		-	-	-	-	-	-		5	5	互: 使用できません 拡: IX (*p:IX+d ~)
LD IX, (*IY+d)	4	*p.cnst1 1 1 1 0 1 1 0 1 1 0 0 0 1 0 0 0 d<7:0>	ED 8 8		-	-	-	-	-	-		5	5	互: 使用できません 拡: IX (*p:IY+d ~)
LD IY, (*IX+d)	4	*p.cnst1 1 1 1 0 1 1 0 1 1 0 0 1 1 0 0 1 d<7:0>	ED 9 9		-	-	-	-	-	-		5	5	互: 使用できません 拡: IY (*p:IX+d ~)
LD IY, (*IY+d)	4	*p.cnst1 1 1 1 0 1 1 0 1 1 0 0 1 1 0 0 0 d<7:0>	ED 9 8		-	-	-	-	-	-		5	5	互: 使用できません 拡: IY (*p:IY+d ~)
LD IX, SP	2	1 1 1 0 1 1 0 1 0 0 0 0 0 1 1 0	ED 0 6		-	-	-	-	-	-		2	2	IX SP
LD IY, SP	2	1 1 1 0 1 1 0 1 0 0 0 1 0 1 1 0	ED 1 6		-	-	-	-	-	-		2	2	IY SP
LD HL, SP	2	1 1 1 0 1 1 0 1 0 0 1 0 0 1 1 0	ED 2 6		-	-	-	-	-	-		2	2	HL SP
LD SP, IX	2	1 1 0 1 1 1 0 1 1 1 1 1 1 0 0 1	DD F 9		-	-	-	-	-	-		2	2	SP IX
LD SP, IY	2	1 1 1 1 1 1 0 1 1 1 1 1 1 0 0 1	FD F 9		-	-	-	-	-	-		2	2	SP IY
LD SP, HL	1	1 1 1 1 1 0 0 1	F 9		-	-	-	-	-	-		1	1	SP HL

24 bit Load Group

Mnemonic		Byte	Opcode		Hex	Flags						Clock		Operation						
			7	6		5	4	3	2	1	0	S	Z		H	PV	N	C	odd	even
LD	(IX+d), XIX	3	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	6	6	(ZP:IX+d ~) XIX
			0	0	0	0	0	0	0	1	0	1								
			d<7:0>																	
LD	(IY+d), XIX	3	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	6	6	(YP:IY+d ~) XIX
			0	0	0	0	0	0	0	0	0	0								
			d<7:0>																	
LD	(SP+d), XIX	3	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	6	6	(ZP:SP+d ~) XIX
			0	0	0	0	0	0	1	0	0	2								
			d<7:0>																	
LDF	(nnnnnn), XIX	5	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	7	7	(nnnnnn ~) XIX
			0	0	0	0	0	1	1	1	0	3								
			nn<7:0>																	
			nn<15:8>																	
			nn<23:16>																	
LD	(IX+d), YIY	3	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	6	6	(ZP:IX+d ~) YIY
			0	0	0	1	0	0	0	1	1	1								
			d<7:0>																	
LD	(IY+d), YIY	3	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	6	6	(YP:IY+d ~) YIY
			0	0	0	1	0	0	0	0	1	0								
			d<7:0>																	
LD	(SP+d), YIY	3	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	6	6	(ZP:SP+d ~) YIY
			0	0	0	1	0	0	1	0	1	2								
			d<7:0>																	
LDF	(nnnnnn), YIY	5	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	7	7	(nnnnnn ~) YIY
			0	0	0	1	0	0	1	1	1	3								
			nn<7:0>																	
			nn<15:8>																	
			nn<23:16>																	
LD	(IX+d), AHL	3	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	6	6	(ZP:IX+d ~) AHL
			0	0	1	0	0	0	0	1	2	1								
			d<7:0>																	
LD	(IY+d), AHL	3	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	6	6	(YP:IY+d ~) AHL
			0	0	1	0	0	0	0	0	2	0								
			d<7:0>																	
LD	(SP+d), AHL	3	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	6	6	(ZP:SP+d ~) AHL
			0	0	1	0	0	0	1	0	2	2								
			d<7:0>																	
LDF	(nnnnnn), AHL	5	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	7	7	(nnnnnn ~) AHL
			0	0	1	0	0	0	1	1	2	3								
			nn<7:0>																	
			nn<15:8>																	
			nn<23:16>																	
LD	XIX, (IX+d)	3	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	6	6	XIX (ZP:IX+d ~)
			0	0	0	0	1	0	0	1	0	9								
			d<7:0>																	
LD	XIX, (IY+d)	3	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	6	6	XIX (YP:IY+d ~)
			0	0	0	0	1	0	0	0	0	8								
			d<7:0>																	
LD	XIX, (SP+d)	3	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	6	6	XIX (ZP:SP+d ~)
			0	0	0	0	1	0	1	0	0	A								
			d<7:0>																	
LDF	XIX, (nnnnnn)	5	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	7	7	XIX (nnnnnn ~)
			0	0	0	0	1	0	1	1	0	B								
			nn<7:0>																	
			nn<15:8>																	
			nn<23:16>																	
LD	YIY, (IX+d)	3	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	6	6	YIY (ZP:IX+d ~)
			0	0	0	1	1	0	0	1	1	9								
			d<7:0>																	
LD	YIY, (IY+d)	3	1	1	1	0	1	1	0	1	E	D	-	-	-	-	-	6	6	YIY (YP:IY+d ~)
			0	0	0	1	1	0	0	0	1	8								
			d<7:0>																	

24 bit Load Group (continued)

Mnemonic	Byte	Opcode		Hex	Flags							Clock		Operation
		7 6 5 4 3 2 1 0			S	Z	H	PV	N	C		odd	even	
LD YIY, (SP+d)	3	1 1 1 0 1 1 0 1 0 0 0 1 1 0 1 0 d<7:0>	E D 1 A		-	-	-	-	-	-		6	6	YIY (ZP:SP+d ~)
LDF YIY, (nnnnnn)	5	1 1 1 0 1 1 0 1 0 0 0 1 1 0 1 1 nn<7:0> nn<15:8> nn<23:16>	E D 1 B		-	-	-	-	-	-		7	7	YIY (nnnnnn ~)
LD AHL, (IX+d)	3	1 1 1 0 1 1 0 1 0 0 1 0 1 0 0 1 d<7:0>	E D 2 9		-	-	-	-	-	-		6	6	AHL (ZP:IX+d ~)
LD AHL, (IY+d)	3	1 1 1 0 1 1 0 1 0 0 1 0 1 0 0 0 d<7:0>	E D 2 8		-	-	-	-	-	-		6	6	AHL (YP:IY+d ~)
LD AHL, (SP+d)	3	1 1 1 0 1 1 0 1 0 0 1 0 1 0 1 0 d<7:0>	E D 2 A		-	-	-	-	-	-		6	6	AHL (ZP:SP+d ~)
LDF AHL, (nnnnnn)	5	1 1 1 0 1 1 0 1 0 0 1 0 1 0 1 1 nn<7:0> nn<15:8> nn<23:16>	E D 2 B		-	-	-	-	-	-		7	7	AHL (nnnnnn ~)
LD (*IX+d), XIX	4	*p.cnst1 1 1 1 0 1 1 0 1 0 0 0 0 0 0 0 1 d<7:0>	E D 0 1		-	-	-	-	-	-		7	7	互: 使用できません 拡: (*p:IX+d ~) XIX
LD (*IY+d), XIX	4	*p.cnst1 1 1 1 0 1 1 0 1 0 0 0 0 0 0 0 0 d<7:0>	E D 0 0		-	-	-	-	-	-		7	7	互: 使用できません 拡: (*p:IY+d ~) XIX
LD (*IX+d), YIY	4	*p.cnst1 1 1 1 0 1 1 0 1 0 0 0 1 0 0 0 1 d<7:0>	E D 1 1		-	-	-	-	-	-		7	7	互: 使用できません 拡: (*p:IX+d ~) YIY
LD (*IY+d), YIY	4	*p.cnst1 1 1 1 0 1 1 0 1 0 0 0 1 0 0 0 0 d<7:0>	E D 1 0		-	-	-	-	-	-		7	7	互: 使用できません 拡: (*p:IY+d ~) YIY
LD (*IX+d), AHL	4	*p.cnst1 1 1 1 0 1 1 0 1 0 0 1 0 0 0 0 1 d<7:0>	E D 2 1		-	-	-	-	-	-		7	7	互: 使用できません 拡: (*p:IX+d ~) AHL
LD (*IY+d), AHL	4	*p.cnst1 1 1 1 0 1 1 0 1 0 0 1 0 0 0 0 0 d<7:0>	E D 2 0		-	-	-	-	-	-		7	7	互: 使用できません 拡: (*p:IY+d ~) AHL
LD XIX, (*IX+d)	4	*p.cnst1 1 1 1 0 1 1 0 1 0 0 0 0 1 0 0 1 d<7:0>	E D 0 9		-	-	-	-	-	-		7	7	互: 使用できません 拡: XIX (*p:IX+d ~)
LD XIX, (*IY+d)	4	*p.cnst1 1 1 1 0 1 1 0 1 0 0 0 0 1 0 0 0 d<7:0>	E D 0 8		-	-	-	-	-	-		7	7	互: 使用できません 拡: XIX (*p:IY+d ~)
LD YIY, (*IX+d)	4	*p.cnst1 1 1 1 0 1 1 0 1 0 0 0 1 1 0 0 1 d<7:0>	E D 1 9		-	-	-	-	-	-		7	7	互: 使用できません 拡: YIY (*p:IX+d ~)
LD YIY, (*IY+d)	4	*p.cnst1 1 1 1 0 1 1 0 1 0 0 0 1 1 0 0 0 d<7:0>	E D 1 8		-	-	-	-	-	-		7	7	互: 使用できません 拡: YIY (*p:IY+d ~)

24 bit Load Group (continued)

Mnemonic		Byte	Opcode		Hex	Flags					Clock		Operation
			7 6 5 4 3 2 1 0			S	Z	H	PV	N	C	odd	
LD	AHL, (*IX+d)	4	*p.cnst1 1 1 1 0 1 1 0 1 0 0 1 0 1 0 0 1 d<7:0>	ED 2 9		-	-	-	-	-	7	7	互: 使用できません 拡: AHL (*p:IX+d ~)
LD	AHL, (*IY+d)	4	*p.cnst1 1 1 1 0 1 1 0 1 0 0 1 0 1 0 0 0 d<7:0>	ED 2 8		-	-	-	-	-	7	7	互: 使用できません 拡: AHL (*p:IY+d ~)
LD	XIX, nnnnnn	5	1 1 1 0 1 1 0 1 0 0 0 0 1 1 1 0 nn<7:0> nn<15:8> nn<23:16>	ED 0 E		-	-	-	-	-	4	4	XIX nnnnnn
LD	IYI, nnnnnn	5	1 1 1 0 1 1 0 1 0 0 0 1 1 1 1 0 nn<7:0> nn<15:8> nn<23:16>	ED 1 E		-	-	-	-	-	4	4	IYI nnnnnn
LD	AHL, nnnnnn	5	1 1 1 0 1 1 0 1 0 0 1 0 1 1 1 0 nn<7:0> nn<15:8> nn<23:16>	ED 2 E		-	-	-	-	-	4	4	AHL nnnnnn
PUSH	XIX	2	1 1 1 0 1 1 0 1 0 0 0 0 0 1 1 1	ED 0 7		-	-	-	-	-	6	6	SP SP-3, (ZP:SP ~) XIX
PUSH	IYI	2	1 1 1 0 1 1 0 1 0 0 0 1 0 1 1 1	ED 1 7		-	-	-	-	-	6	6	SP SP-3, (ZP:SP ~) IYI
PUSH	AHL	2	1 1 1 0 1 1 0 1 0 0 1 0 0 1 1 1	ED 2 7		-	-	-	-	-	6	6	SP SP-3, (ZP:SP ~) AHL
POP	XIX	2	1 1 1 0 1 1 0 1 0 0 0 0 1 1 1 1	ED 0 F		-	-	-	-	-	6	5	XIX (ZP:SP ~), SP SP+3
POP	IYI	2	1 1 1 0 1 1 0 1 0 0 0 1 1 1 1 1	ED 1 F		-	-	-	-	-	6	5	IYI (ZP:SP ~), SP SP+3
POP	AHL	2	1 1 1 0 1 1 0 1 0 0 1 0 1 1 1 1	ED 2 F		-	-	-	-	-	6	5	AHL (ZP:SP ~), SP SP+3

[注] LD XIX/IYI/AHL, nnnnnn (24ビット即値データ転送) 命令については、KC160ソフトウェア開発ツールによっては、LD の代わりに LDF を用いて表現している場合があります。同じ命令ですのでご注意ください。

Exchange Group

Mnemonic		Byte	Opcode		Hex	Flags					Clock		Operation
			7 6 5 4 3 2 1 0			S	Z	H	PV	N	C	odd	
EX	DE, HL	1	1 1 1 0 1 0 1 1	EB	-	-	-	-	-	-	1	1	DE HL 交換
EX	AF, AF'	1	0 0 0 0 1 0 0 0	0 8	注	注	注	注	注	注	1	1	AF AF' 交換 フラグは F' に従って変化
EXX		1	1 1 0 1 1 0 0 1	D 9	-	-	-	-	-	-	1	1	BC/DE/HL BC'/DE'/HL' 交換
EX	(SP), HL	1	1 1 1 0 0 0 1 1	E 3	-	-	-	-	-	-	5	5	互: HL (00:SP ~) 交換 拡: HL (ZP:SP ~) 交換
EX	(SP), IX	2	1 1 0 1 1 1 0 1 1 1 1 0 0 0 1 1	DD E 3	-	-	-	-	-	-	6	6	互: IX (00:SP ~) 交換 拡: IX (ZP:SP ~) 交換
EX	(SP), IY	2	1 1 1 1 1 1 0 1 1 1 1 0 0 0 1 1	FD E 3	-	-	-	-	-	-	6	6	互: IY (00:SP ~) 交換 拡: IY (ZP:SP ~) 交換

Input/Output Group

Mnemonic		Byte	Opcode		Hex	Flags					Clock		Operation	
			7 6 5 4 3 2 1 0			S	Z	H	PV	N	C	odd		even
IN	A, (nn)	2	1 1 0 1 1 0 1 1		DB	-	-	-	-	-	-	4	4	A io[??nn] (?? は A<7:0>)
OUT	(nn), A	2	1 1 0 1 0 0 1 1		D3	-	-	-	-	-	-	5	5	[??nn] A (?? は A<7:0>)
IN	r, (C)	2	1 1 1 0 1 1 0 1		ED	*	*	0	P	0	-	5	5	r io[BC]
OUT	(C), r	2	1 1 1 0 1 1 0 1		ED	-	-	-	-	-	-	5	5	io[BC] r

Block Operation Group

Mnemonic	Byte	Opcode		Hex	Flags					Clock		Operation
		7 6 5 4 3 2 1 0			S	Z	H	PV	N	C	odd	
LDI	2	1 1 1 0 1 1 0 1 1 0 1 0 0 0 0 0	ED A0	-	-	0	注	0	-			互: (00:DE) (00:HL), DE DE+1, HL HL+1, BC BC-1, if BC = 0 then pv 0 else pv 1 拡: (ZP:DE) (ZP:HL), DE DE+1, HL HL+1, BC BC-1, if BC = 0 then pv 0 else pv 1
LDD	2	1 1 1 0 1 1 0 1 1 0 1 0 1 0 0 0	ED A8	-	-	0	注	0	-			互: (00:DE) (00:HL), DE DE-1, HL HL-1, BC BC-1, if BC = 0 then pv 0 else pv 1 拡: (ZP:DE) (ZP:HL), DE DE-1, HL HL-1, BC BC-1, if BC = 0 then pv 0 else pv 1
LDIR	2	1 1 1 0 1 1 0 1 1 0 1 1 0 0 0 0	ED B0	-	-	0	0	0	-			LDI を BC = 0 まで繰り返す
LDDR	2	1 1 1 0 1 1 0 1 1 0 1 1 1 0 0 0	ED B8	-	-	0	0	0	-			LDD を BC = 0 まで繰り返す
CPI	2	1 1 1 0 1 1 0 1 1 0 1 0 0 0 0 1	ED A1	*	*	*	注	1	-			互: A-(00:HL), HL HL+1, BC BC-1 if BC = 0 then pv 0 else pv 1 拡: A-(ZP:HL), HL HL+1, BC BC-1 if BC = 0 then pv 0 else pv 1
CPD	2	1 1 1 0 1 1 0 1 1 0 1 0 1 0 0 1	ED A9	*	*	*	注	1	-			互: A-(00:HL), HL HL-1, BC BC-1 if BC = 0 then pv 0 else pv 1 拡: A-(ZP:HL), HL HL-1, BC BC-1 if BC = 0 then pv 0 else pv 1
CPIR	2	1 1 1 0 1 1 0 1 1 0 1 1 0 0 0 1	ED B1	*	*	*	注	1	-			互: CPI を BC = 0 or A = (00:HL) まで繰り返す if BC = 0 then pv 0 else pv 1 拡: CPI を BC = 0 or A = (ZP:HL) まで繰り返す if BC = 0 then pv 0 else pv 1
CPDR	2	1 1 1 0 1 1 0 1 1 0 1 1 1 0 0 1	ED B9	*	*	*	注	1	-			互: CPD を BC = 0 or A = (00:HL) まで繰り返す if BC = 0 then pv 0 else pv 1 拡: CPD を BC = 0 or A = (ZP:HL) まで繰り返す if BC = 0 then pv 0 else pv 1
LDI XY	2	1 1 1 0 1 1 0 1 1 1 1 0 0 0 0 0	ED E0	-	-	0	注	0	-			(YP:DE) (XP:HL), YDE YDE+1, XHL XHL+1, BC BC-1 if BC = 0 then pv 0 else pv 1
LDD XY	2	1 1 1 0 1 1 0 1 1 1 1 0 1 0 0 0	ED E8	-	-	0	注	0	-			(YP:DE) (XP:HL), YDE YDE-1, XHL XHL-1, BC BC-1 if BC = 0 then pv 0 else pv 1
LDIR XY	2	1 1 1 0 1 1 0 1 1 1 1 1 0 0 0 0	ED F0	-	-	0	0	0	-			LDI XY を BC = 0 まで繰り返す
LDDR XY	2	1 1 1 0 1 1 0 1 1 1 1 1 1 0 0 0	ED F8	-	-	0	0	0	-			LDD XY を BC = 0 まで繰り返す
CPI X	2	1 1 1 0 1 1 0 1 1 1 1 0 0 0 0 1	ED E1	*	*	*	注	1	-			A-(XP:HL), XHL XHL+1, BC BC-1 if BC = 0 then pv 0 else pv 1
CPD X	2	1 1 1 0 1 1 0 1 1 1 1 0 1 0 0 1	ED E9	*	*	*	注	1	-			A-(XP:HL), XHL XHL-1, BC BC-1 if BC = 0 then pv 0 else pv 1
CPIR X	2	1 1 1 0 1 1 0 1 1 1 1 1 0 0 0 1	ED F1	*	*	*	注	1	-			CPI X を BC = 0 or A = (XP:HL) まで繰り返す if BC = 0 then pv 0 else pv 1
CPDR X	2	1 1 1 0 1 1 0 1 1 1 1 1 1 0 0 1	ED F9	*	*	*	注	1	-			CPD X を BC = 0 or A = (XP:HL) まで繰り返す if BC = 0 then pv 0 else pv 1
INI	2	1 1 1 0 1 1 0 1 1 0 1 0 0 0 1 0	ED A2	?	注	?	?	1	-			互: (00:HL) io[BC], HL HL+1, B B-1 if B = 0 then zf 1 else zf 0 拡: (ZP:HL) io[BC], HL HL+1, B B-1 if B = 0 then zf 1 else zf 0
IND	2	1 1 1 0 1 1 0 1 1 0 1 0 1 0 1 0	ED AA	?	注	?	?	1	-			互: (00:HL) io[BC], HL HL-1, B B-1 if B = 0 then zf 1 else zf 0 拡: (ZP:HL) io[BC], HL HL-1, B B-1 if B = 0 then zf 1 else zf 0

Block Operation Group (Continued)

Mnemonic	Byte	Opcode		Hex	Flags								Clock		Operation
		7 6 5 4 3 2 1 0			S	Z	H	PV	N	C			odd	even	
INIR	2	1 1 1 0 1 1 0 1 1 0 1 1 0 0 1 0	ED B2		?	1	?	?	1	-					INI を B = 0 まで繰り返す
INDR	2	1 1 1 0 1 1 0 1 1 0 1 1 1 0 1 0	ED BA		?	1	?	?	1	-					IND を B = 0 まで繰り返す
OUTI	2	1 1 1 0 1 1 0 1 1 0 1 0 0 0 1 1	ED A3		?	注	?	?	1	-					互: io[BC] (00:HL), HL HL+1, B B-1 if B = 0 then zf 1 else zf 0 拡: io[BC] (ZP:HL), HL HL+1, B B-1 if B = 0 then zf 1 else zf 0
OUTD	2	1 1 1 0 1 1 0 1 1 0 1 0 1 0 1 1	ED AB		?	注	?	?	1	-					互: io[BC] (00:HL), HL HL-1, B B-1 if B = 0 then zf 1 else zf 0 拡: io[BC] (ZP:HL), HL HL-1, B B-1 if B = 0 then zf 1 else zf 0
OTIR	2	1 1 1 0 1 1 0 1 1 0 1 1 0 0 1 1	ED B3		?	1	?	?	1	-					OUTI を B = 0 まで繰り返す
OTDR	2	1 1 1 0 1 1 0 1 1 0 1 1 1 0 1 1	ED BB		?	1	?	?	1	-					OUTD を B = 0 まで繰り返す
INI X	2	1 1 1 0 1 1 0 1 1 1 1 0 0 0 1 0	ED E2		?	注	?	?	1	-					(XP:HL) io[BC], XHL XHL+1, B B-1 if B = 0 then zf 1 else zf 0
IND X	2	1 1 1 0 1 1 0 1 1 1 1 0 1 0 1 0	ED EA		?	注	?	?	1	-					(XP:HL) io[BC], XHL XHL-1, B B-1 if B = 0 then zf 1 else zf 0
INIR X	2	1 1 1 0 1 1 0 1 1 1 1 1 0 0 1 0	ED F2		?	1	?	?	1	-					INI X を B = 0 まで繰り返す
INDR X	2	1 1 1 0 1 1 0 1 1 1 1 1 1 0 1 0	ED FA		?	1	?	?	1	-					IND X を B = 0 まで繰り返す
OUTI X	2	1 1 1 0 1 1 0 1 1 1 1 0 0 0 1 1	ED E3		?	注	?	?	1	-					io[BC] (XP:HL), XHL XHL+1, B B-1 if B = 0 then zf 1 else zf 0
OUTD X	2	1 1 1 0 1 1 0 1 1 1 1 0 1 0 1 1	ED EB		?	注	?	?	1	-					io[BC] (XP:HL), XHL XHL-1, B B-1 if B = 0 then zf 1 else zf 0
OTIR X	2	1 1 1 0 1 1 0 1 1 1 1 1 0 0 1 1	ED F3		?	1	?	?	1	-					OUTI X を B = 0 まで繰り返す
OTDR X	2	1 1 1 0 1 1 0 1 1 1 1 1 1 0 1 1	ED FB		?	1	?	?	1	-					OUTD X を B = 0 まで繰り返す

8 bit Arithmetical Group

Mnemonic	Byte	Opcode		Hex	Flags								Clock		Operation
		7 6 5 4 3 2 1 0			S	Z	H	PV	N	C			odd	even	
ADD A, r	1	1 0 0 0 0 r r r	8 *		*	*	*	V	0	*			1	1	A A+r
ADD A, nn	2	1 1 0 0 0 1 1 0 nn<7:0>	C6		*	*	*	V	0	*			1	1	A A+nn
ADD A, (HL)	1	1 0 0 0 0 1 1 0	8 6		*	*	*	V	0	*			3	3	互: A A+(00:HL) 拡: A A+(ZP:HL)
ADD A, (IX+d)	3	1 1 0 1 1 1 0 1 1 0 0 0 0 1 1 0 d<7:0>	DD 8 6		*	*	*	V	0	*			5	5	互: A A+(00:IX+d) 拡: A A+(ZP:IX+d)
ADD A, (IY+d)	3	1 1 1 1 1 1 0 1 1 0 0 0 0 1 1 0 d<7:0>	FD 8 6		*	*	*	V	0	*			5	5	互: A A+(00:IY+d) 拡: A A+(YP:IY+d)
ADD A, (*HL)	2	*p.cnst1 1 0 0 0 0 1 1 0	8 6		*	*	*	V	0	*			4	4	互: 使用できません 拡: A A+(*p:HL)
ADD A, (*IX+d)	4	*p.cnst1 1 1 0 1 1 1 0 1 1 0 0 0 0 1 1 0 d<7:0>	DD 8 6		*	*	*	V	0	*			6	6	互: 使用できません 拡: A A+(*p:IX+d)
ADD A, (*IY+d)	4	*p.cnst1 1 1 1 1 1 1 0 1 1 0 0 0 0 1 1 0 d<7:0>	FD 8 6		*	*	*	V	0	*			6	6	互: 使用できません 拡: A A+(*p:IY+d)
ADC A, r	1	1 0 0 0 1 r r r	8 *		*	*	*	V	0	*			1	1	A A+r+cf
ADC A, nn	2	1 1 0 0 1 1 1 0 nn<7:0>	CE		*	*	*	V	0	*			1	1	A A+nn+cf
ADC A, (HL)	1	1 0 0 0 1 1 1 0	8 E		*	*	*	V	0	*			3	3	互: A A+(00:HL)+cf 拡: A A+(ZP:HL)+cf

8 bit Arithmetical Group (Continued)

Mnemonic	Byte	Opcode	Hex	Flags	Clock		Operation
		7 6 5 4 3 2 1 0		S Z H PV N C	odd	even	
ADC A, (IX+d)	3	1 1 0 1 1 1 0 1 1 0 0 0 1 1 1 0 d<7:0>	DD 8 E	* * * V 0 *	5	5	互: A A+(00:IX+d)+cf 拡: A A+(ZP:IX+d)+cf
ADC A, (IY+d)	3	1 1 1 1 1 1 0 1 1 0 0 0 1 1 1 0 d<7:0>	FD 8 E	* * * V 0 *	5	5	互: A A+(00:IY+d)+cf 拡: A A+(YP:IY+d)+cf
ADC A, (*HL)	2	*p.cnst1 1 0 0 0 1 1 1 0	8 E	* * * V 0 *	4	4	互: 使用できません 拡: A A+(*p:HL)+cf
ADC A, (*IX+d)	4	*p.cnst1 1 1 0 1 1 1 0 1 1 0 0 0 1 1 1 0 d<7:0>	DD 8 E	* * * V 0 *	6	6	互: 使用できません 拡: A A+(*p:IX+d)+cf
ADC A, (*IY+d)	4	*p.cnst1 1 1 1 1 1 1 0 1 1 0 0 0 1 1 1 0 d<7:0>	FD 8 E	* * * V 0 *	6	6	互: 使用できません 拡: A A+(*p:IY+d)+cf
SUB r	1	1 0 0 1 0 r r r	9 *	* * * V 1 *	1	1	A A-r
SUB nn	2	1 1 0 1 0 1 1 0 nn<7:0>	D6	* * * V 1 *	1	1	A A-nn
SUB (HL)	1	1 0 0 1 0 1 1 0	9 6	* * * V 1 *	3	3	互: A A-(00:HL) 拡: A A-(ZP:HL)
SUB (IX+d)	3	1 1 0 1 1 1 0 1 1 0 0 1 0 1 1 0 d<7:0>	DD 9 6	* * * V 1 *	5	5	互: A A-(00:IX+d) 拡: A A-(ZP:IX+d)
SUB (IY+d)	3	1 1 1 1 1 1 0 1 1 0 0 1 0 1 1 0 d<7:0>	FD 9 6	* * * V 1 *	5	5	互: A A-(00:IY+d) 拡: A A-(YP:IY+d)
SUB (*HL)	2	*p.cnst1 1 0 0 1 0 1 1 0	9 6	* * * V 1 *	4	4	互: 使用できません 拡: A A-(*p:HL)
SUB (*IX+d)	4	*p.cnst1 1 1 0 1 1 1 0 1 1 0 0 1 0 1 1 0 d<7:0>	DD 9 6	* * * V 1 *	6	6	互: 使用できません 拡: A A-(*p:IX+d)
SUB (*IY+d)	4	*p.cnst1 1 1 1 1 1 1 0 1 1 0 0 1 0 1 1 0 d<7:0>	FD 9 6	* * * V 1 *	6	6	互: 使用できません 拡: A A-(*p:IY+d)
SBC A, r	1	1 0 0 1 1 r r r	9 *	* * * V 1 *	1	1	A A-r-cf
SBC A, nn	2	1 1 0 1 1 1 1 0 nn<7:0>	DE	* * * V 1 *	1	1	A A-nn-cf
SBC A, (HL)	1	1 0 0 1 1 1 1 0	9 E	* * * V 1 *	3	3	互: A A-(00:HL)-cf 拡: A A-(ZP:HL)-cf
SBC A, (IX+d)	3	1 1 0 1 1 1 0 1 1 0 0 1 1 1 1 0 d<7:0>	DD 9 E	* * * V 1 *	5	5	互: A A-(00:IX+d)-cf 拡: A A-(ZP:IX+d)-cf
SBC A, (IY+d)	3	1 1 1 1 1 1 0 1 1 0 0 1 1 1 1 0 d<7:0>	FD 9 E	* * * V 1 *	5	5	互: A A-(00:IY+d)-cf 拡: A A-(YP:IY+d)-cf
SBC A, (*HL)	2	*p.cnst1 1 0 0 1 1 1 1 0	9 E	* * * V 1 *	4	4	互: 使用できません 拡: A A-(*p:HL)-cf
SBC A, (*IX+d)	4	*p.cnst1 1 1 0 1 1 1 0 1 1 0 0 1 1 1 1 0 d<7:0>	DD 9 E	* * * V 1 *	6	6	互: 使用できません 拡: A A-(*p:IX+d)-cf
SBC A, (*IY+d)	4	*p.cnst1 1 1 1 1 1 1 0 1 1 0 0 1 1 1 1 0 d<7:0>	FD 9 E	* * * V 1 *	6	6	互: 使用できません 拡: A A-(*p:IY+d)-cf
CP r	1	1 0 1 1 1 r r r	B *	* * * V 1 *	1	1	A-r (フラグのみ変化)
CP nn	2	1 1 1 1 1 1 1 0 nn<7:0>	FE	* * * V 1 *	1	1	A-nn (フラグのみ変化)
CP (HL)	1	1 0 1 1 1 1 1 0	BE	* * * V 1 *	3	3	互: A-(00:HL) (フラグのみ変化) 拡: A-(ZP:HL) (フラグのみ変化)

8 bit Arithmetical Group (Continued)

Mnemonic		Byte	Opcode 7 6 5 4 3 2 1 0	Hex	Flags S Z H PV N C	Clock odd even		Operation
CP	(IX+d)	3	1 1 0 1 1 1 0 1 1 0 1 1 1 1 1 0 d<7:0>	DD BE	* * * V 1 *	5	5	互: A-(00:IX+d) (フラグのみ変化) 拡: A-(ZP:IX+d) (フラグのみ変化)
CP	(IY+d)	3	1 1 1 1 1 1 0 1 1 0 1 1 1 1 1 0 d<7:0>	FD BE	* * * V 1 *	5	5	互: A-(00:IY+d) (フラグのみ変化) 拡: A-(YP:IY+d) (フラグのみ変化)
CP	(*HL)	2	*p.cnst1 1 0 1 1 1 1 1 0	BE	* * * V 1 *	4	4	互: 使用できません 拡: A-(*p:HL) (フラグのみ変化)
CP	(*IX+d)	4	*p.cnst1 1 1 0 1 1 1 0 1 1 0 1 1 1 1 1 0 d<7:0>	DD BE	* * * V 1 *	6	6	互: 使用できません 拡: A-(*p:IX+d) (フラグのみ変化)
CP	(*IY+d)	4	*p.cnst1 1 1 1 1 1 1 0 1 1 0 1 1 1 1 1 0 d<7:0>	FD BE	* * * V 1 *	6	6	互: 使用できません 拡: A-(*p:IY+d) (フラグのみ変化)
INC	r	1	0 0 r r r 1 0 0		* * * V 0 -	1	1	r r+1
INC	(HL)	1	0 0 1 1 0 1 0 0	3 4	* * * V 0 -	5	5	互: (00:HL) (00:HL)+1 拡: (ZP:HL) (ZP:HL)+1
INC	(IX+d)	3	1 1 0 1 1 1 0 1 0 0 1 1 0 1 0 0 d<7:0>	DD 3 4	* * * V 0 -	7	7	互: (00:IX+d) (00:IX+d)+1 拡: (ZP:IX+d) (ZP:IX+d)+1
INC	(IY+d)	3	1 1 1 1 1 1 0 1 0 0 1 1 0 1 0 0 d<7:0>	FD 3 4	* * * V 0 -	7	7	互: (00:IY+d) (00:IY+d)+1 拡: (YP:IY+d) (YP:IY+d)+1
INC	(*HL)	2	*p.cnst1 0 0 1 1 0 1 0 0	3 4	* * * V 0 -	6	6	互: 使用できません 拡: (*p:HL) (*p:HL)+1
INC	(*IX+d)	4	*p.cnst1 1 1 0 1 1 1 0 1 0 0 1 1 0 1 0 0 d<7:0>	DD 3 4	* * * V 0 -	8	8	互: 使用できません 拡: (*p:IX+d) (*p:IX+d)+1
INC	(*IY+d)	4	*p.cnst1 1 1 1 1 1 1 0 1 0 0 1 1 0 1 0 0 d<7:0>	FD 3 4	* * * V 0 -	8	8	互: 使用できません 拡: (*p:IY+d) (*p:IY+d)+1
DEC	r	1	0 0 r r r 1 0 1		* * * V 1 -	1	1	r r-1
DEC	(HL)	1	0 0 1 1 0 1 0 1	3 5	* * * V 1 -	5	5	互: (00:HL) (00:HL)-1 拡: (ZP:HL) (ZP:HL)-1
DEC	(IX+d)	3	1 1 0 1 1 1 0 1 0 0 1 1 0 1 0 1 d<7:0>	DD 3 5	* * * V 1 -	7	7	互: (00:IX+d) (00:IX+d)-1 拡: (ZP:IX+d) (ZP:IX+d)-1
DEC	(IY+d)	3	1 1 1 1 1 1 0 1 0 0 1 1 0 1 0 1 d<7:0>	FD 3 5	* * * V 1 -	7	7	互: (00:IY+d) (00:IY+d)-1 拡: (YP:IY+d) (YP:IY+d)-1
DEC	(*HL)	2	*p.cnst1 0 0 1 1 0 1 0 1	3 5	* * * V 1 -	6	6	互: 使用できません 拡: (*p:HL) (*p:HL)-1
DEC	(*IX+d)	4	*p.cnst1 1 1 0 1 1 1 0 1 0 0 1 1 0 1 0 1 d<7:0>	DD 3 5	* * * V 1 -	8	8	互: 使用できません 拡: (*p:IX+d) (*p:IX+d)-1
DEC	(*IY+d)	4	*p.cnst1 1 1 1 1 1 1 0 1 0 0 1 1 0 1 0 1 d<7:0>	FD 3 5	* * * V 1 -	8	8	互: 使用できません 拡: (*p:IY+d) (*p:IY+d)-1
MUL	HL	2	1 1 1 0 1 1 0 1 0 1 1 1 0 1 1 0	ED 7 6	- - - - -	11	11	HL H×L (unsigned)
MULS	HL	2	1 1 1 0 1 1 0 1 0 1 1 1 1 1 1 0	ED 7 E	- - - - -	11	11	HL H×L (signed)
DIV	HL, A	2	1 1 1 0 1 1 0 1 0 1 1 1 0 1 0 0	ED 7 4	- - - V - -	12	12	HL÷A, L 商, H 剰余 (unsigned)
DIVS	HL, A	2	1 1 1 0 1 1 0 1 0 1 1 1 1 1 0 0	ED 7 C	- - - V - -	12	12	HL÷A, L 商, H 剰余 (signed)

16 bit Arithmetical Group

Mnemonic	Byte	Opcode		Hex	Flags							Clock		Operation
		7 6 5 4 3 2 1 0			S	Z	H	PV	N	C		odd	even	
ADD HL, ss	1	0 0 s s 1 0 0 1	* 9		-	-	?	-	0	*		1	1	HL HL+ss
ADD IX, ss	2	1 1 0 1 1 1 0 1 0 0 s s 1 0 0 1	DD * 9		-	-	?	-	0	*		2	2	IX IX+ss (ss HL に限定)
ADD IX, IX	2	1 1 0 1 1 1 0 1 0 0 1 0 1 0 0 1	DD 2 9		-	-	?	-	0	*		2	2	IX IX+IX
ADD IY, ss	2	1 1 1 1 1 1 0 1 0 0 s s 1 0 0 1	FD * 9		-	-	?	-	0	*		2	2	IY IY+ss (ss HL に限定)
ADD IY, IY	2	1 1 1 1 1 1 0 1 0 0 1 0 1 0 0 1	FD 2 9		-	-	?	-	0	*		2	2	IY IY+IY
ADC HL, ss	2	1 1 1 0 1 1 0 1 0 1 s s 1 0 1 0	ED * A		*	*	?	V	0	*		2	2	HL HL+ss+cf
SBC HL, ss	2	1 1 1 0 1 1 0 1 0 1 s s 0 0 1 0	ED * 2		*	*	?	V	1	*		2	2	HL HL-ss-cf
INC ss	1	0 0 s s 0 0 1 1	* 3		-	-	-	-	-	-		1	1	ss ss+1
INC IX	2	1 1 0 1 1 1 0 1 0 0 1 0 0 0 1 1	DD 2 3		-	-	-	-	-	-		2	2	IX IX+1
INC IY	2	1 1 1 1 1 1 0 1 0 0 1 0 0 0 1 1	FD 2 3		-	-	-	-	-	-		2	2	IY IY+1
DEC ss	1	0 0 s s 1 0 1 1	* B		-	-	-	-	-	-		1	1	ss ss-1
DEC IX	2	1 1 0 1 1 1 0 1 0 0 1 0 1 0 1 1	DD 2 B		-	-	-	-	-	-		2	2	IX IX-1
DEC IY	2	1 1 1 1 1 1 0 1 0 0 1 0 1 0 1 1	FD 2 B		-	-	-	-	-	-		2	2	IY IY-1
MUL DE, HL	2	1 1 1 0 1 1 0 1 0 1 1 1 0 1 1 1	ED 7 7		-	-	-	-	-	-		19	19	DEHL DE × HL (unsigned)
MULS DE, HL	2	1 1 1 0 1 1 0 1 0 1 1 1 1 1 1 1	ED 7 F		-	-	-	-	-	-		19	19	DEHL DE × HL (signed)
DIV DEHL, BC	2	1 1 1 0 1 1 0 1 0 1 1 1 0 1 0 1	ED 7 5		-	-	-	V	-	-		21	21	DEHL ÷ BC, HL 商、DE 剰余 (unsigned)
DIVS DEHL, BC	2	1 1 1 0 1 1 0 1 0 1 1 1 1 1 0 1	ED 7 D		-	-	-	V	-	-		21	21	DEHL ÷ BC, HL 商、DE 剰余 (signed)

24 bit Arithmetical Group

Mnemonic	Byte	Opcode		Hex	Flags							Clock		Operation
		7 6 5 4 3 2 1 0			S	Z	H	PV	N	C		odd	even	
ADD *HL, ss	2	*p.cnst2 0 0 s s 1 0 0 1	* 9		-	-	?	-	0	*		2	2	互: 使用できません 拡: *HL *HL+ss ss は 24bit に符号拡張
ADD *IX, ss	3	*p.cnst2 1 1 0 1 1 1 0 1 0 0 s s 1 0 0 1	DD * 9		-	-	?	-	0	*		3	3	互: 使用できません 拡: *IX *IX+ss (ss HL に限定) ss は 24bit に符号拡張
ADD *IX, IX	3	*p.cnst2 1 1 0 1 1 1 0 1 0 0 1 0 1 0 0 1	DD 2 9		-	-	?	-	0	*		3	3	互: 使用できません 拡: *IX *IX+IX IX は 24bit に符号拡張
ADD *IY, ss	3	*p.cnst2 1 1 1 1 1 1 0 1 0 0 s s 1 0 0 1	FD * 9		-	-	?	-	0	*		3	3	互: 使用できません 拡: *IY *IY+ss (ss HL に限定) ss は 24bit に符号拡張
ADD *IY, IY	3	*p.cnst2 1 1 1 1 1 1 0 1 0 0 1 0 1 0 0 1	FD 2 9		-	-	?	-	0	*		3	3	互: 使用できません 拡: *IY *IY+IY IY は 24bit に符号拡張
ADC *HL, ss	3	*p.cnst2 1 1 1 0 1 1 0 1 0 1 s s 1 0 1 0	ED * A		*	*	?	V	0	*		3	3	互: 使用できません 拡: *HL *HL+ss+cf ss は 24bit に符号拡張
SBC *HL, ss	3	*p.cnst2 1 1 1 0 1 1 0 1 0 1 s s 0 0 1 0	ED * 2		*	*	?	V	1	*		3	3	互: 使用できません 拡: *HL *HL-ss-cf ss は 24bit に符号拡張
INC *ss	2	*p.cnst2 0 0 s s 0 0 1 1	* 3		-	-	-	-	-	-		2	2	互: 使用できません 拡: *ss *ss+1
INC *IX	3	*p.cnst2 1 1 0 1 1 1 0 1 0 0 1 0 0 0 1 1	DD 2 3		-	-	-	-	-	-		3	3	互: 使用できません 拡: *IX *IX+1
INC *IY	3	*p.cnst2 1 1 1 1 1 1 0 1 0 0 1 0 0 0 1 1	FD 2 3		-	-	-	-	-	-		3	3	互: 使用できません 拡: *IY *IY+1

24 bit Arithmetical Group (Continued)

Mnemonic	Byte	Opcode		Hex	Flags							Clock		Operation
		7 6 5 4 3 2 1 0			S	Z	H	PV	N	C		odd	even	
DEC *ss	2	*p.cnst2 00ss1011	* B		-	-	-	-	-	-		2	2	互: 使用できません 拡: *ss *ss-1
DEC *IX	3	*p.cnst2 11011101 00101011	DD 2 B		-	-	-	-	-	-		3	3	互: 使用できません 拡: *IX *IX-1
DEC *IY	3	*p.cnst2 11111101 00101011	FD 2 B		-	-	-	-	-	-		3	3	互: 使用できません 拡: *IY *IY-1

8 bit Logical Group

Mnemonic	Byte	Opcode		Hex	Flags							Clock		Operation
		7 6 5 4 3 2 1 0			S	Z	H	PV	N	C		odd	even	
AND r	1	10100rrr	A *		*	*	1	P	0	0		1	1	A A.and. r
AND nn	2	11100110 nn<7:0>	E 6		*	*	1	P	0	0		1	1	A A.and. nn
AND (HL)	1	10100110	A 6		*	*	1	P	0	0		3	3	互: A A.and. (00:HL) 拡: A A.and. (ZP:HL)
AND (IX+d)	3	11011101 10100110 d<7:0>	DD A 6		*	*	1	P	0	0		5	5	互: A A.and. (00:IX+d) 拡: A A.and. (ZP:IX+d)
AND (IY+d)	3	11111101 10100110 d<7:0>	FD A 6		*	*	1	P	0	0		5	5	互: A A.and. (00:IY+d) 拡: A A.and. (YP:IY+d)
AND (*HL)	2	*p.cnst1 10100110	A 6		*	*	1	P	0	0		4	4	互: 使用できません 拡: A A.and. (*p:HL)
AND (*IX+d)	4	*p.cnst1 11011101 10100110 d<7:0>	DD A 6		*	*	1	P	0	0		6	6	互: 使用できません 拡: A A.and. (*p:IX+d)
AND (*IY+d)	4	*p.cnst1 11111101 10100110 d<7:0>	FD A 6		*	*	1	P	0	0		6	6	互: 使用できません 拡: A A.and. (*p:IY+d)
OR r	1	10110rrr	B *		*	*	0	P	0	0		1	1	A A.or. r
OR nn	2	11110110 nn<7:0>	F 6		*	*	0	P	0	0		1	1	A A.or. nn
OR (HL)	1	10110110	B 6		*	*	0	P	0	0		3	3	互: A A.or. (00:HL) 拡: A A.or. (ZP:HL)
OR (IX+d)	3	11011101 10110110 d<7:0>	DD B 6		*	*	0	P	0	0		5	5	互: A A.or. (00:IX+d) 拡: A A.or. (ZP:IX+d)
OR (IY+d)	3	11111101 10110110 d<7:0>	FD B 6		*	*	0	P	0	0		5	5	互: A A.or. (00:IY+d) 拡: A A.or. (YP:IY+d)
OR (*HL)	2	*p.cnst1 10110110	B 6		*	*	0	P	0	0		4	4	互: 使用できません 拡: A A.or. (*p:HL)
OR (*IX+d)	4	*p.cnst1 11011101 10110110 d<7:0>	DD B 6		*	*	0	P	0	0		6	6	互: 使用できません 拡: A A.or. (*p:IX+d)
OR (*IY+d)	4	*p.cnst1 11111101 10110110 d<7:0>	FD B 6		*	*	0	P	0	0		6	6	互: 使用できません 拡: A A.or. (*p:IY+d)
XOR r	1	10101rrr	A *		*	*	0	P	0	0		1	1	A A.xor. r
XOR nn	2	11101110 nn<7:0>	E E		*	*	0	P	0	0		1	1	A A.xor. nn
XOR (HL)	1	10101110	A E		*	*	0	P	0	0		3	3	互: A A.xor. (00:HL) 拡: A A.xor. (ZP:HL)
XOR (IX+d)	3	11011101 10101110 d<7:0>	DD A E		*	*	0	P	0	0		5	5	互: A A.xor. (00:IX+d) 拡: A A.xor. (ZP:IX+d)

8 bit Logical Group (Continued)

Mnemonic	Byte	Opcode		Hex	Flags								Clock		Operation
		7 6 5 4 3 2 1 0			S	Z	H	PV	N	C	odd	even			
XOR (IY+d)	3	1 1 1 1 1 1 0 1	FD	*	*	0	P	0	0	0	5	5	互: A A.xor. (00:IY+d) 拡: A A.xor. (YP:IY+d)		
		1 0 1 0 1 1 1 0	AE												
		d<7:0>													
XOR (*HL)	2	*p.cnst1		*	*	0	P	0	0	0	4	4	互: 使用できません 拡: A A.xor. (*p:HL)		
		1 0 1 0 1 1 1 0	AE												
XOR (*IX+d)	4	*p.cnst1		*	*	0	P	0	0	0	6	6	互: 使用できません 拡: A A.xor. (*p:IX+d)		
		1 1 0 1 1 1 0 1	DD												
		1 0 1 0 1 1 1 0	AE												
		d<7:0>													
XOR (*IY+d)	4	*p.cnst1		*	*	0	P	0	0	0	6	6	互: 使用できません 拡: A A.xor. (*p:IY+d)		
		1 1 1 1 1 1 0 1	FD												
		1 0 1 0 1 1 1 0	AE												
		d<7:0>													

Bit Manipulation Group

Mnemonic		Byte	Opcode 7 6 5 4 3 2 1 0	Hex	Flags S Z H PV N C	Clock odd even		Operation
BIT	bn, r	2	1 1 0 0 1 0 1 1 0 1 b b b r r r	CB	? 注 1 ? 0 -	2	2	zf .not. r<bbb> bbb でビット番号 bn を指定
BIT	bn, (HL)	2	1 1 0 0 1 0 1 1 0 1 b b b 1 1 0	CB	? 注 1 ? 0 -	4	4	互: zf .not. (00:HL)<bbb> bbb でビット番号 bn を指定 拡: zf .not. (ZP:HL)<bbb> bbb でビット番号 bn を指定
BIT	bn, (IX+d)	4	1 1 0 1 1 1 0 1 1 1 0 0 1 0 1 1 d<7:0> 0 1 b b b 1 1 0	DD CB	? 注 1 ? 0 -	5	5	互: zf .not. (00:IX+d)<bbb> bbb でビット番号 bn を指定 拡: zf .not. (ZP:IX+d)<bbb> bbb でビット番号 bn を指定
BIT	bn, (IY+d)	4	1 1 1 1 1 1 0 1 1 1 0 0 1 0 1 1 d<7:0> 0 1 b b b 1 1 0	FD CB	? 注 1 ? 0 -	5	5	互: zf .not. (00:IY+d)<bbb> bbb でビット番号 bn を指定 拡: zf .not. (YP:IY+d)<bbb> bbb でビット番号 bn を指定
BIT	bn, (*HL)	3	*p.cnst1 1 1 0 0 1 0 1 1 0 1 b b b 1 1 0	CB	? 注 1 ? 0 -	5	5	互: 使用できません 拡: zf .not. (*p:HL)<bbb> bbb でビット番号 bn を指定
BIT	bn, (*IX+d)	5	*p.cnst1 1 1 0 1 1 1 0 1 1 1 0 0 1 0 1 1 d<7:0> 0 1 b b b 1 1 0	DD CB	? 注 1 ? 0 -	6	6	互: 使用できません 拡: zf .not. (*p:IX+d)<bbb> bbb でビット番号 bn を指定
BIT	bn, (*IY+d)	5	*p.cnst1 1 1 1 1 1 1 0 1 1 1 0 0 1 0 1 1 d<7:0> 0 1 b b b 1 1 0	FD CB	? 注 1 ? 0 -	6	6	互: 使用できません 拡: zf .not. (*p:IY+d)<bbb> bbb でビット番号 bn を指定
SET	bn, r	2	1 1 0 0 1 0 1 1 1 1 b b b r r r	CB	- - - - -	2	2	r<bbb> 1 bbb でビット番号 bn を指定
SET	bn, (HL)	2	1 1 0 0 1 0 1 1 1 1 b b b 1 1 0	CB	- - - - -	6	6	互: (00:HL)<bbb> 1 bbb でビット番号 bn を指定 拡: (ZP:HL)<bbb> 1 bbb でビット番号 bn を指定
SET	bn, (IX+d)	4	1 1 0 1 1 1 0 1 1 1 0 0 1 0 1 1 d<7:0> 1 1 b b b 1 1 0	DD CB	- - - - -	7	7	互: (00:IX+d)<bbb> 1 bbb でビット番号 bn を指定 拡: (ZP:IX+d)<bbb> 1 bbb でビット番号 bn を指定
SET	bn, (IY+d)	4	1 1 1 1 1 1 0 1 1 1 0 0 1 0 1 1 d<7:0> 1 1 b b b 1 1 0	FD CB	- - - - -	7	7	互: (00:IY+d)<bbb> 1 bbb でビット番号 bn を指定 拡: (YP:IY+d)<bbb> 1 bbb でビット番号 bn を指定
SET	bn, (*HL)	3	*p.cnst1 1 1 0 0 1 0 1 1 1 1 b b b 1 1 0	CB	- - - - -	7	7	互: 使用できません 拡: (*p:HL)<bbb> 1 bbb でビット番号 bn を指定

Bit Manipulation Group (Continued)

Mnemonic	Byte	Opcode				Hex	Flags						Clock		Operation	
		7	6	5	4		3	2	1	0	S	Z	H	PV		N
SET bn, (*IX+d)	5	*p.cnst1 1 1 0 1 1 1 0 1 1 1 0 0 1 0 1 1 d<7:0> 1 1 b b b 1 1 0				DD CB	-	-	-	-	-	-	8	8	互: 使用できません 拡: (*p:IX+d)<bbb> 1 bbb でビット番号 bn を指定	
SET bn, (*IY+d)	5	*p.cnst1 1 1 1 1 1 1 0 1 1 1 0 0 1 0 1 1 d<7:0> 1 1 b b b 1 1 0				FD CB	-	-	-	-	-	-	8	8	互: 使用できません 拡: (*p:IY+d)<bbb> 1 bbb でビット番号 bn を指定	
RES bn, r	2	1 1 0 0 1 0 1 1 1 0 b b b r r r				CB	-	-	-	-	-	-	2	2	r<bbb> 0 bbb でビット番号 bn を指定	
RES bn, (HL)	2	1 1 0 0 1 0 1 1 1 0 b b b 1 1 0				CB	-	-	-	-	-	-	6	6	互: (00:HL)<bbb> 0 bbb でビット番号 bn を指定 拡: (ZP:HL)<bbb> 0 bbb でビット番号 bn を指定	
RES bn, (IX+d)	4	1 1 0 1 1 1 0 1 1 1 0 0 1 0 1 1 d<7:0> 1 0 b b b 1 1 0				DD CB	-	-	-	-	-	-	7	7	互: (00:IX+d)<bbb> 0 bbb でビット番号 bn を指定 拡: (ZP:IX+d)<bbb> 0 bbb でビット番号 bn を指定	
RES bn, (IY+d)	4	1 1 1 1 1 1 0 1 1 1 0 0 1 0 1 1 d<7:0> 1 0 b b b 1 1 0				FD CB	-	-	-	-	-	-	7	7	互: (00:IY+d)<bbb> 0 bbb でビット番号 bn を指定 拡: (YP:IY+d)<bbb> 0 bbb でビット番号 bn を指定	
RES bn, (*HL)	3	*p.cnst1 1 1 0 0 1 0 1 1 1 0 b b b 1 1 0				CB	-	-	-	-	-	-	7	7	互: 使用できません 拡: (*p:HL)<bbb> 0 bbb でビット番号 bn を指定	
RES bn, (*IX+d)	5	*p.cnst1 1 1 0 1 1 1 0 1 1 1 0 0 1 0 1 1 d<7:0> 1 0 b b b 1 1 0				DD CB	-	-	-	-	-	-	8	8	互: 使用できません 拡: (*p:IX+d)<bbb> 0 bbb でビット番号 bn を指定	
RES bn, (*IY+d)	5	*p.cnst1 1 1 1 1 1 1 0 1 1 1 0 0 1 0 1 1 d<7:0> 1 0 b b b 1 1 0				FD CB	-	-	-	-	-	-	8	8	互: 使用できません 拡: (*p:IY+d)<bbb> 0 bbb でビット番号 bn を指定	

Shift/Rotate Group

Mnemonic	Byte	Opcode				Hex	Flags						Clock		Operation						
		7	6	5	4		3	2	1	0	S	Z	H	PV		N	C	odd	even		
RLCA	1	0	0	0	0	0	1	1	1	1	0	7	-	-	0	-	0	注	1	1	cf,A<7:0> A<7:0>,A<7>
RRCA	1	0	0	0	0	1	1	1	1	1	0	F	-	-	0	-	0	注	1	1	A<7:0>,cf A<0>,A<7:0>
RLA	1	0	0	0	1	0	1	1	1	1	1	7	-	-	0	-	0	注	1	1	cf,A<7:0> A<7:0>,cf
RRA	1	0	0	0	1	1	1	1	1	1	1	F	-	-	0	-	0	注	1	1	A<7:0>,cf cf,A<7:0>
RLC r	2	1	1	0	0	1	0	1	1	1	1	CB	*	*	0	P	0	注	2	2	cf,r<7:0> r<7:0>,r<7>
		0	0	0	0	0	r	r	r	r	0	*									
RLC (HL)	2	1	1	0	0	1	0	1	1	1	1	CB	*	*	0	P	0	注	6	6	互: cf,M<7:0> M<7:0>,M<7> M は (00:HL) の内容 拡: cf,M<7:0> M<7:0>,M<7> M は (ZP:HL) の内容
		0	0	0	0	0	1	1	0			06									
RLC (IX+d)	4	1	1	0	1	1	1	0	1	1	1	DD	*	*	0	P	0	注	7	7	互: cf,M<7:0> M<7:0>,M<7> M は (00:IX+d) の内容 拡: cf,M<7:0> M<7:0>,M<7> M は (ZP:IX+d) の内容
		1	1	0	0	1	0	1	1	1	1	CB									
		d	<	7	:	0	>														
		0	0	0	0	0	1	1	0			06									
RLC (IY+d)	4	1	1	1	1	1	1	0	1	1	1	FD	*	*	0	P	0	注	7	7	互: cf,M<7:0> M<7:0>,M<7> M は (00:IY+d) の内容 拡: cf,M<7:0> M<7:0>,M<7> M は (YP:IY+d) の内容
		1	1	0	0	1	0	1	1	1	1	CB									
		d	<	7	:	0	>														
		0	0	0	0	0	1	1	0			06									
RLC (*HL)	3	*p.cnst1											*	*	0	P	0	注	7	7	互: 使用できません 拡: cf,M<7:0> M<7:0>,M<7> M は (*p:HL) の内容
		1	1	0	0	1	0	1	1	1	1	CB									
		0	0	0	0	0	1	1	0			06									

Shift/Rotate Group (Continued)

Mnemonic	Byte	Opcode 7 6 5 4 3 2 1 0	Hex	Flags S Z H PV N C	Clock odd even	Operation
RLC (*IX+d)	5	*p.cnst1 11011101 11001011 d<7:0> 00000110	DD CB 06	* * 0 P 0 注	8 8	互: 使用できません 拡: cf,M<7:0> M<7:0>,M<7> M は (*p:IX+d) の内容
RLC (*IY+d)	5	*p.cnst1 11111101 11001011 d<7:0> 00000110	FD CB 06	* * 0 P 0 注	8 8	互: 使用できません 拡: cf,M<7:0> M<7:0>,M<7> M は (*p:IY+d) の内容
RRC r	2	11001011 00001rrrr	CB 0*	* * 0 P 0 注	2 2	r<7:0>,cf r<0>,r<7:0>
RRC (HL)	2	11001011 00001110	CB 0E	* * 0 P 0 注	6 6	互: M<7:0>,cf M<0>,M<7:0> M は (00:HL) の内容 拡: M<7:0>,cf M<0>,M<7:0> M は (ZP:HL) の内容
RRC (IX+d)	4	11011101 11001011 d<7:0> 00001110	DD CB 0E	* * 0 P 0 注	7 7	互: M<7:0>,cf M<0>,M<7:0> M は (00:IX+d) の内容 拡: M<7:0>,cf M<0>,M<7:0> M は (ZP:IX+d) の内容
RRC (IY+d)	4	11111101 11001011 d<7:0> 00001110	FD CB 0E	* * 0 P 0 注	7 7	互: M<7:0>,cf M<0>,M<7:0> M は (00:IY+d) の内容 拡: M<7:0>,cf M<0>,M<7:0> M は (YP:IY+d) の内容
RRC (*HL)	3	*p.cnst1 11001011 00001110	CB 0E	* * 0 P 0 注	7 7	互: 使用できません 拡: M<7:0>,cf M<0>,M<7:0> M は (*p:HL) の内容
RRC (*IX+d)	5	*p.cnst1 11011101 11001011 d<7:0> 00001110	DD CB 0E	* * 0 P 0 注	8 8	互: 使用できません 拡: M<7:0>,cf M<0>,M<7:0> M は (*p:IX+d) の内容
RRC (*IY+d)	5	*p.cnst1 11111101 11001011 d<7:0> 00001110	FD CB 0E	* * 0 P 0 注	8 8	互: 使用できません 拡: M<7:0>,cf M<0>,M<7:0> M は (*p:IY+d) の内容
RL r	2	11001011 00010rrrr	CB 1*	* * 0 P 0 注	2 2	cf,r<7:0> r<7:0>,cf
RL (HL)	2	11001011 00010110	CB 16	* * 0 P 0 注	6 6	互: cf,M<7:0> M<7:0>,cf M は (00:HL) の内容 拡: cf,M<7:0> M<7:0>,cf M は (ZP:HL) の内容
RL (IX+d)	4	11011101 11001011 d<7:0> 00010110	DD CB 16	* * 0 P 0 注	7 7	互: cf,M<7:0> M<7:0>,cf M は (00:IX+d) の内容 拡: cf,M<7:0> M<7:0>,cf M は (ZP:IX+d) の内容
RL (IY+d)	4	11111101 11001011 d<7:0> 00010110	FD CB 16	* * 0 P 0 注	7 7	互: cf,M<7:0> M<7:0>,cf M は (00:IY+d) の内容 拡: cf,M<7:0> M<7:0>,cf M は (YP:IY+d) の内容
RL (*HL)	3	*p.cnst1 11001011 00010110	CB 16	* * 0 P 0 注	7 7	互: 使用できません 拡: cf,M<7:0> M<7:0>,cf M は (*p:HL) の内容
RL (*IX+d)	5	*p.cnst1 11011101 11001011 d<7:0> 00010110	DD CB 16	* * 0 P 0 注	8 8	互: 使用できません 拡: cf,M<7:0> M<7:0>,cf M は (*p:IX+d) の内容
RL (*IY+d)	5	*p.cnst1 11111101 11001011 d<7:0> 00010110	FD CB 16	* * 0 P 0 注	8 8	互: 使用できません 拡: cf,M<7:0> M<7:0>,cf M は (*p:IY+d) の内容

Shift/Rotate Group (Continued)

Mnemonic		Byte	Opcode				Hex	Flags								Clock		Operation		
			7	6	5	4		3	2	1	0	S	Z	H	P	V	N		C	odd
RR	r	2	1	1	0	0	1	0	1	1	1	1	1	1	1	1	1	2	2	r<7:0>,cf cf,r<7:0>
RR	(HL)	2	1	1	0	0	1	0	1	1	1	1	1	1	1	1	1	6	6	互: M<7:0>,cf cf,M<7:0> M は (00:HL) の内容 拡: M<7:0>,cf cf,M<7:0> M は (ZP:HL) の内容
RR	(IX+d)	4	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1	7	7	互: M<7:0>,cf cf,M<7:0> M は (00:IX+d) の内容 拡: M<7:0>,cf cf,M<7:0> M は (ZP:IX+d) の内容
RR	(IY+d)	4	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	7	7	互: M<7:0>,cf cf,M<7:0> M は (00:IY+d) の内容 拡: M<7:0>,cf cf,M<7:0> M は (YP:IY+d) の内容
RR	(*HL)	3	*p.cnst1	1	1	0	0	1	0	1	1	1	1	1	1	1	1	7	7	互: 使用できません 拡: M<7:0>,cf cf,M<7:0> M は (*p:HL) の内容
RR	(*IX+d)	5	*p.cnst1	1	1	0	1	1	0	1	1	1	1	1	1	1	1	8	8	互: 使用できません 拡: M<7:0>,cf cf,M<7:0> M は (*p:IX+d) の内容
RR	(*IY+d)	5	*p.cnst1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	8	8	互: 使用できません 拡: M<7:0>,cf cf,M<7:0> M は (*p:IY+d) の内容
SLA	r	2	1	1	0	0	1	0	1	1	1	1	1	1	1	1	1	2	2	cf,r<7:0> r<7:0>,0
SLA	(HL)	2	1	1	0	0	1	0	1	1	1	1	1	1	1	1	1	6	6	互: cf,M<7:0> M<7:0>,0 M は (00:HL) の内容 拡: cf,M<7:0> M<7:0>,0 M は (ZP:HL) の内容
SLA	(IX+d)	4	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1	7	7	互: cf,M<7:0> M<7:0>,0 M は (00:IX+d) の内容 拡: cf,M<7:0> M<7:0>,0 M は (ZP:IX+d) の内容
SLA	(IY+d)	4	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	7	7	互: cf,M<7:0> M<7:0>,0 M は (00:IY+d) の内容 拡: cf,M<7:0> M<7:0>,0 M は (YP:IY+d) の内容
SLA	(*HL)	3	*p.cnst1	1	1	0	0	1	0	1	1	1	1	1	1	1	1	7	7	互: 使用できません 拡: cf,M<7:0> M<7:0>,0 M は (*p:HL) の内容
SLA	(*IX+d)	5	*p.cnst1	1	1	0	1	1	0	1	1	1	1	1	1	1	1	8	8	互: 使用できません 拡: cf,M<7:0> M<7:0>,0 M は (*p:IX+d) の内容
SLA	(*IY+d)	5	*p.cnst1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	8	8	互: 使用できません 拡: cf,M<7:0> M<7:0>,0 M は (*p:IY+d) の内容
SRA	r	2	1	1	0	0	1	0	1	1	1	1	1	1	1	1	1	2	2	r<7:0>,cf r<7>,r<7:0>
SRA	(HL)	2	1	1	0	0	1	0	1	1	1	1	1	1	1	1	1	6	6	互: M<7:0>,cf M<7>,M<7:0> M は (00:HL) の内容 拡: M<7:0>,cf M<7>,M<7:0> M は (ZP:HL) の内容
SRA	(IX+d)	4	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1	7	7	互: M<7:0>,cf M<7>,M<7:0> M は (00:IX+d) の内容 拡: M<7:0>,cf M<7>,M<7:0> M は (ZP:IX+d) の内容

Shift/Rotate Group (Continued)

Mnemonic	Byte	Opcode			Hex	Flags							Clock		Operation
		7	6	5		S	Z	H	PV	N	C		odd	even	
SRA (IY+d)	4	11111101	FD			*	*	0	P	0	注		7	7	互: M<7:0>,cf M<7>,M<7:0> M は (00:IY+d) の内容 拡: M<7:0>,cf M<7>,M<7:0> M は (YP:IY+d) の内容
		11001011	CB												
		d<7:0>													
		00101110	2E												
SRA (*HL)	3	*p.cnst1				*	*	0	P	0	注		7	7	互: 使用できません 拡: M<7:0>,cf M<7>,M<7:0> M は (*p:HL) の内容
		11001011	CB												
		00101110	2E												
SRA (*IX+d)	5	*p.cnst1				*	*	0	P	0	注		8	8	互: 使用できません 拡: M<7:0>,cf M<7>,M<7:0> M は (*p:IX+d) の内容
		11011101	DD												
		11001011	CB												
		d<7:0>													
		00101110	2E												
SRA (*IY+d)	5	*p.cnst1				*	*	0	P	0	注		8	8	互: 使用できません 拡: M<7:0>,cf M<7>,M<7:0> M は (*p:IY+d) の内容
		11111101	FD												
		11001011	CB												
		d<7:0>													
		00101110	2E												
SRL r	2	11001011	CB			*	*	0	P	0	注		2	2	r<7:0>,cf 0,r<7:0>
		00111rrr	3*												
SRL (HL)	2	11001011	CB			*	*	0	P	0	注		6	6	互: M<7:0>,cf 0,M<7:0> M は (00:HL) の内容 拡: M<7:0>,cf 0,M<7:0> M は (ZP:HL) の内容
		00111110	3E												
SRL (IX+d)	4	11011101	DD			*	*	0	P	0	注		7	7	互: M<7:0>,cf 0,M<7:0> M は (00:IX+d) の内容 拡: M<7:0>,cf 0,M<7:0> M は (ZP:IX+d) の内容
		11001011	CB												
		d<7:0>													
		00111110	3E												
SRL (IY+d)	4	11111101	FD			*	*	0	P	0	注		7	7	互: M<7:0>,cf 0,M<7:0> M は (00:IY+d) の内容 拡: M<7:0>,cf 0,M<7:0> M は (YP:IY+d) の内容
		11001011	CB												
		d<7:0>													
		00111110	3E												
SRL (*HL)	3	*p.cnst1				*	*	0	P	0	注		7	7	互: 使用できません 拡: M<7:0>,cf 0,M<7:0> M は (*p:HL) の内容
		11001011	CB												
		00111110	3E												
SRL (*IX+d)	5	*p.cnst1				*	*	0	P	0	注		8	8	互: 使用できません 拡: M<7:0>,cf 0,M<7:0> M は (*p:IX+d) の内容
		11011101	DD												
		11001011	CB												
		d<7:0>													
		00111110	3E												
SRL (*IY+d)	5	*p.cnst1				*	*	0	P	0	注		8	8	互: 使用できません 拡: M<7:0>,cf 0,M<7:0> M は (*p:IY+d) の内容
		11111101	FD												
		11001011	CB												
		d<7:0>													
		00111110	3E												
RLD	2	11101101	ED			*	*	0	P	0	-		7	7	互: A<3:0>,M<7:0> M<7:0>,A<3:0> M は (00:HL) の内容 拡: A<3:0>,M<7:0> M<7:0>,A<3:0> M は (ZP:HL) の内容
		01101111	6F												
RLD (*HL)	3	*p.cnst1				*	*	0	P	0	-		8	8	互: 使用できません 拡: A<3:0>,M<7:0> M<7:0>,A<3:0> M は (*p:HL) の内容
		11101101	ED												
		01101111	6F												
RRD	2	11101101	ED			*	*	0	P	0	-		7	7	互: M<7:0>,A<3:0> A<3:0>,M<7:0> M は (00:HL) の内容 拡: M<7:0>,A<3:0> A<3:0>,M<7:0> M は (ZP:HL) の内容
		01100111	67												
RRD (*HL)	3	*p.cnst1				*	*	0	P	0	-		8	8	互: 使用できません 拡: M<7:0>,A<3:0> A<3:0>,M<7:0> M は (*p:HL) の内容
		11101101	ED												
		01100111	67												

Jump Group

Mnemonic		Byte	Opcode 7 6 5 4 3 2 1 0	Hex	Flags S Z H P V N C						Clock odd even		Operation
JP	nnnn	3	1 1 0 0 0 0 1 1 nn<7:0> nn<15:8>	C 3	-	-	-	-	-	-	3	3	PC nnnn (PPIは不変)
JP	NZ, nnnn	3	1 1 0 0 0 0 1 0 nn<7:0> nn<15:8>	C 2	-	-	-	-	-	-	T=3 F=2	T=3 F=2	if zf = 0 then PC nnnn (PPは不変)
JP	Z, nnnn	3	1 1 0 0 1 0 1 0 nn<7:0> nn<15:8>	C A	-	-	-	-	-	-	T=3 F=2	T=3 F=2	if zf = 1 then PC nnnn (PPは不変)
JP	NC, nnnn	3	1 1 0 1 0 0 1 0 nn<7:0> nn<15:8>	D 2	-	-	-	-	-	-	T=3 F=2	T=3 F=2	if cf = 0 then PC nnnn (PPは不変)
JP	C, nnnn	3	1 1 0 1 1 0 1 0 nn<7:0> nn<15:8>	D A	-	-	-	-	-	-	T=3 F=2	T=3 F=2	if cf = 1 then PC nnnn (PPは不変)
JP	PO, nnnn	3	1 1 1 0 0 0 1 0 nn<7:0> nn<15:8>	E 2	-	-	-	-	-	-	T=3 F=2	T=3 F=2	if pv = 0 then PC nnnn (PPは不変)
JP	PE, nnnn	3	1 1 1 0 1 0 1 0 nn<7:0> nn<15:8>	E A	-	-	-	-	-	-	T=3 F=2	T=3 F=2	if pv = 1 then PC nnnn (PPは不変)
JP	P, nnnn	3	1 1 1 1 0 0 1 0 nn<7:0> nn<15:8>	F 2	-	-	-	-	-	-	T=3 F=2	T=3 F=2	if sf = 0 then PC nnnn (PPは不変)
JP	M, nnnn	3	1 1 1 1 1 0 1 0 nn<7:0> nn<15:8>	F A	-	-	-	-	-	-	T=3 F=2	T=3 F=2	if sf = 1 then PC nnnn (PPは不変)
JP	(HL)	1	1 1 1 0 1 0 0 1	E 9	-	-	-	-	-	-	2	2	PC HL (PPIは不変)
JP	(IX)	2	1 1 0 1 1 1 0 1 1 1 1 0 1 0 0 1	D D E 9	-	-	-	-	-	-	3	3	PC IX (PPは不変)
JP	(IY)	2	1 1 1 1 1 1 0 1 1 1 1 0 1 0 0 1	F D E 9	-	-	-	-	-	-	3	3	PC IY (PPは不変)
JP	(*HL)	2	*p.cnst1 1 1 1 0 1 0 0 1	E 9	-	-	-	-	-	-	3	3	互: 使用できません 拡: PPC *HL
JP	(*IX)	3	*p.cnst1 1 1 0 1 1 1 0 1 1 1 1 0 1 0 0 1	D D E 9	-	-	-	-	-	-	4	4	互: 使用できません 拡: PPC *IX
JP	(*IY)	3	*p.cnst1 1 1 1 1 1 1 0 1 1 1 1 0 1 0 0 1	F D E 9	-	-	-	-	-	-	4	4	互: 使用できません 拡: PPC *IY
JR	e	2	0 0 0 1 1 0 0 0 e<7:0>	1 8	-	-	-	-	-	-	3	3	互: PC PC+e+2 (PPIは不変) 拡: PPC PPC+e+2
JR	NZ, e	2	0 0 1 0 0 0 0 0 e<7:0>	2 0	-	-	-	-	-	-	T=3 F=2	T=3 F=2	互: if zf = 0 then PC PC+e+2 (PPは不変) 拡: if zf = 0 then PPC PPC+e+2
JR	Z, e	2	0 0 1 0 1 0 0 0 e<7:0>	2 8	-	-	-	-	-	-	T=3 F=2	T=3 F=2	互: if zf = 1 then PC PC+e+2 (PPは不変) 拡: if zf = 1 then PPC PPC+e+2
JR	NC, e	2	0 0 1 1 0 0 0 0 e<7:0>	3 0	-	-	-	-	-	-	T=3 F=2	T=3 F=2	互: if cf = 0 then PC PC+e+2 (PPは不変) 拡: if cf = 0 then PPC PPC+e+2
JR	C, e	2	0 0 1 1 1 0 0 0 e<7:0>	3 8	-	-	-	-	-	-	T=3 F=2	T=3 F=2	互: if cf = 1 then PC PC+e+2 (PPは不変) 拡: if cf = 1 then PPC PPC+e+2
DJNZ	e	2	0 0 0 1 0 0 0 0 e<7:0>	1 0	-	-	-	-	-	-	T=4 F=3	T=4 F=3	互: B B-1、 if B 0 then PC PC+e+2 (PPIは不変) 拡: B B-1、if B 0 then PPC PPC+e+2
JP3	nnnnnn	5	1 1 1 0 1 1 0 1 1 1 0 0 0 0 1 1 nn<7:0> nn<15:8> nn<23:16>	E D C 3	-	-	-	-	-	-	5	5	PPC nnnnnn
JP3	NZ, nnnnnn	5	1 1 1 0 1 1 0 1 1 1 0 0 0 0 1 0 nn<7:0> nn<15:8> nn<23:16>	E D C 2	-	-	-	-	-	-	T=5 F=4	T=5 F=4	if zf = 0 then PPC nnnnnn

Jump Group (Continued)

Mnemonic	Byte	Opcode	Hex	Flags						Clock		Operation
		7 6 5 4 3 2 1 0		S	Z	H	PV	N	C	odd	even	
JP3 Z, nnnnnn	5	1 1 1 0 1 1 0 1 1 1 0 0 1 0 1 0 nn<7:0> nn<15:8> nn<23:16>	E D C A	-	-	-	-	-	-	T=5 F=4	T=5 F=4	if zf = 1 then PPC nnnnnn
JP3 NC, nnnnnn	5	1 1 1 0 1 1 0 1 1 1 0 1 0 0 1 0 nn<7:0> nn<15:8> nn<23:16>	E D D 2	-	-	-	-	-	-	T=5 F=4	T=5 F=4	if cf = 0 then PPC nnnnnn
JP3 C, nnnnnn	5	1 1 1 0 1 1 0 1 1 1 0 1 1 0 1 0 nn<7:0> nn<15:8> nn<23:16>	E D D A	-	-	-	-	-	-	T=5 F=4	T=5 F=4	if cf = 1 then PPC nnnnnn

Subroutine Group

Mnemonic	Byte	Opcode	Hex	Flags						Clock		Operation
		7 6 5 4 3 2 1 0		S	Z	H	PV	N	C	odd	even	
CALL nnnn	3	1 1 0 0 1 1 0 1 nn<7:0> nn<15:8>	C D	-	-	-	-	-	-	5	5	互: SP SP-2, (00:SP~) PC, PC nnnn (PPIは不変) 拡: SP SP-2, (ZP:SP~) PC, PC nnnn (PPIは不変)
CALL NZ, nnnn	3	1 1 0 0 0 1 0 0 nn<7:0> nn<15:8>	C 4	-	-	-	-	-	-	T=6 F=3	T=6 F=3	互: if zf = 0 then SP SP-2, (00:SP~) PC, PC nnnn (PPIは不変) 拡: if zf = 0 then SP SP-2, (ZP:SP~) PC, PC nnnn (PPIは不変)
CALL Z, nnnn	3	1 1 0 0 1 1 0 0 nn<7:0> nn<15:8>	C C	-	-	-	-	-	-	T=6 F=3	T=6 F=3	互: if zf = 1 then SP SP-2, (00:SP~) PC, PC nnnn (PPIは不変) 拡: if zf = 1 then SP SP-2, (ZP:SP~) PC, PC nnnn (PPIは不変)
CALL NC, nnnn	3	1 1 0 1 0 1 0 0 nn<7:0> nn<15:8>	D 4	-	-	-	-	-	-	T=6 F=3	T=6 F=3	互: if cf = 0 then SP SP-2, (00:SP~) PC, PC nnnn (PPIは不変) 拡: if cf = 0 then SP SP-2, (ZP:SP~) PC, PC nnnn (PPIは不変)
CALL C, nnnn	3	1 1 0 1 1 1 0 0 nn<7:0> nn<15:8>	D C	-	-	-	-	-	-	T=6 F=3	T=6 F=3	互: if cf = 1 then SP SP-2, (00:SP~) PC, PC nnnn (PPIは不変) 拡: if cf = 1 then SP SP-2, (ZP:SP~) PC, PC nnnn (PPIは不変)
CALL PO, nnnn	3	1 1 1 0 0 1 0 0 nn<7:0> nn<15:8>	E 4	-	-	-	-	-	-	T=6 F=3	T=6 F=3	互: if pv = 0 then SP SP-2, (00:SP~) PC, PC nnnn (PPIは不変) 拡: if pv = 0 then SP SP-2, (ZP:SP~) PC, PC nnnn (PPIは不変)
CALL PE, nnnn	3	1 1 1 0 1 1 0 0 nn<7:0> nn<15:8>	E C	-	-	-	-	-	-	T=6 F=3	T=6 F=3	互: if pv = 1 then SP SP-2, (00:SP~) PC, PC nnnn (PPIは不変) 拡: if pv = 1 then SP SP-2, (ZP:SP~) PC, PC nnnn (PPIは不変)

Subroutine Group (Continued)

Mnemonic	Byte	Opcode	Hex	Flags	Clock		Operation
		7 6 5 4 3 2 1 0		S Z H P V N C	odd	even	
CALL P, nnnn	3	1 1 1 1 0 1 0 0 nn<7:0> nn<15:8>	F 4	- - - - -	T=6 F=3	T=6 F=3	互: if sf = 0 then SP SP-2, (00:SP ~) PC、 PC nnnn (PPは不変) 拡: if sf = 0 then SP SP-2, (ZP:SP ~) PC、 PC nnnn (PPは不変)
CALL M, nnnn	3	1 1 1 1 1 1 0 0 nn<7:0> nn<15:8>	F C	- - - - -	T=6 F=3	T=6 F=3	互: if sf = 1 then SP SP-2, (00:SP ~) PC、 PC nnnn (PPは不変) 拡: if sf = 1 then SP SP-2, (ZP:SP ~) PC、 PC nnnn (PPは不変)
CALL3 nnnnnn	5	1 1 1 0 1 1 0 1 0 1 0 0 1 1 0 0 nn<7:0> nn<15:8> nn<23:16>	E D 4 C	- - - - -	9	9	SP SP-3, (ZP:SP ~) PPC、 PPC nnnnnn
RET	1	1 1 0 0 1 0 0 1	C 9	- - - - -	4	4	互: PC (00:SP ~)、SP SP+2 (PPは不変) 拡: PC (ZP:SP ~)、SP SP+2 (PPは不変)
RET NZ	1	1 1 0 0 0 0 0 0	C 0	- - - - -	T=5 F=2	T=5 F=2	互: if zf = 0 then PC (00:SP ~)、 SP SP+2 (PPは不変) 拡: if zf = 0 then PC (ZP:SP ~)、 SP SP+2 (PPは不変)
RET Z	1	1 1 0 0 1 0 0 0	C 8	- - - - -	T=5 F=2	T=5 F=2	互: if zf = 1 then PC (00:SP ~)、 SP SP+2 (PPは不変) 拡: if zf = 1 then PC (ZP:SP ~)、 SP SP+2 (PPは不変)
RET NC	1	1 1 0 1 0 0 0 0	D 0	- - - - -	T=5 F=2	T=5 F=2	互: if cf = 0 then PC (00:SP ~)、 SP SP+2 (PPは不変) 拡: if cf = 0 then PC (ZP:SP ~)、 SP SP+2 (PPは不変)
RET C	1	1 1 0 1 1 0 0 0	D 8	- - - - -	T=5 F=2	T=5 F=2	互: if cf = 1 then PC (00:SP ~)、 SP SP+2 (PPは不変) 拡: if cf = 1 then PC (ZP:SP ~)、 SP SP+2 (PPは不変)
RET PO	1	1 1 1 0 0 0 0 0	E 0	- - - - -	T=5 F=2	T=5 F=2	互: if pv = 0 then PC (00:SP ~)、 SP SP+2 (PPは不変) 拡: if pv = 0 then PC (ZP:SP ~)、 SP SP+2 (PPは不変)
RET PE	1	1 1 1 0 1 0 0 0	E 8	- - - - -	T=5 F=2	T=5 F=2	互: if pv = 1 then PC (00:SP ~)、 SP SP+2 (PPは不変) 拡: if pv = 1 then PC (ZP:SP ~)、 SP SP+2 (PPは不変)
RET P	1	1 1 1 1 0 0 0 0	F 0	- - - - -	T=5 F=2	T=5 F=2	互: if sf = 0 then PC (00:SP ~)、 SP SP+2 (PPは不変) 拡: if sf = 0 then PC (ZP:SP ~)、 SP SP+2 (PPは不変)
RET M	1	1 1 1 1 1 0 0 0	F 8	- - - - -	T=5 F=2	T=5 F=2	互: if sf = 1 then PC (00:SP ~)、 SP SP+2 (PPは不変) 拡: if sf = 1 then PC (ZP:SP ~)、 SP SP+2 (PPは不変)
RET3	2	1 1 1 0 1 1 0 1 0 1 0 1 1 1 0 0	E D 5 C	- - - - -	7	7	PPC (ZP:SP ~)、SP SP+3
RST 00H	1	1 1 0 0 0 1 1 1	C 7	- - - - -	7	7	互: SP SP-2, (00:SP ~) PC、 PPC 000000 拡: SP SP-2, (ZP:SP ~) PC、 PPC 000000
RST 08H	1	1 1 0 0 1 1 1 1	C F	- - - - -	7	7	互: SP SP-2, (00:SP ~) PC、 PPC 000008 拡: SP SP-2, (ZP:SP ~) PC、 PPC 000008

Subroutine Group (Continued)

Mnemonic		Byte	Opcode						Hex	Flags						Clock		Operation		
			7	6	5	4	3	2	1	0		S	Z	H	PV	N	C	odd	even	
RST	10H	1	1	1	0	1	0	1	1	1	D7	-	-	-	-	-	-	7	7	互: SP SP-2、(00:SP ~) PC、 PPC 000010 拡: SP SP-2、(ZP:SP ~) PC、 PPC 000010
RST	18H	1	1	1	0	1	1	1	1	1	DF	-	-	-	-	-	-	7	7	互: SP SP-2、(00:SP ~) PC、 PPC 000018 拡: SP SP-2、(ZP:SP ~) PC、 PPC 000018
RST	20H	1	1	1	1	0	0	1	1	1	E7	-	-	-	-	-	-	7	7	互: SP SP-2、(00:SP ~) PC、 PPC 000020 拡: SP SP-2、(ZP:SP ~) PC、 PPC 000020
RST	28H	1	1	1	1	0	1	1	1	1	EF	-	-	-	-	-	-	7	7	互: SP SP-2、(00:SP ~) PC、 PPC 000028 拡: SP SP-2、(ZP:SP ~) PC、 PPC 000028
RST	30H	1	1	1	1	1	0	1	1	1	F7	-	-	-	-	-	-	7	7	互: SP SP-2、(00:SP ~) PC、 PPC 000030 拡: SP SP-2、(ZP:SP ~) PC、 PPC 000030
RST	38H	1	1	1	1	1	1	1	1	1	FF	-	-	-	-	-	-	7	7	互: SP SP-2、(00:SP ~) PC、 PPC 000038 拡: SP SP-2、(ZP:SP ~) PC、 PPC 000038
TRA		2	1	1	1	0	1	1	0	1	ED 54	-	-	-	-	-	-	4	4	INT / NMI / RST xx の直後に実行した場合 SP SP-1、(ZP:SP ~) 直前の PPC それ以外 no operation

Interrupt Handling Group

Mnemonic	Byte	Opcode								Hex	Flags								Clock		Operation
		7	6	5	4	3	2	1	0		S	Z	H	PV	N	C	odd	even			
RETI	2	1	1	1	0	1	1	0	1	E D	-	-	-	-	-	-	8	8	互: PC (00:SP ~)、SP SP+2 (PPIは不変) 拡: PC (ZP:SP ~)、SP SP+2 (PPIは不変)		
		0	1	0	0	1	1	0	1	4 D											
RETN	2	1	1	1	0	1	1	0	1	E D	-	-	-	-	-	-	5	5	互: PC (00:SP ~)、SP SP+2 (PPIは不変) 注: IFF1 IFF2 を伴う 拡: PC (ZP:SP ~)、SP SP+2 (PPIは不変) 注: IFF1 IFF2 を伴う		
		0	1	0	0	0	1	0	1	4 5											
RETN3	2	1	1	1	0	1	1	0	1	E D	-	-	-	-	-	-	7	7	PPC (ZP:SP ~)、SP SP+3 注: IFF1 IFF2 を伴う		
		0	1	0	1	0	1	0	1	5 5											
DI	1	1	1	1	1	0	0	1	1	F 3	-	-	-	-	-	-	1	1	IFF1 0、IFF2 0		
EI	1	1	1	1	1	0	1	1	1	F B	-	-	-	-	-	-	1	1	IFF1 1、IFF2 1		
IM 0	2	1	1	1	0	1	1	0	1	E D	-	-	-	-	-	-	2	2	割込モードを モード0 に設定		
		0	1	0	0	0	1	1	0	4 6											
IM 1	2	1	1	1	0	1	1	0	1	E D	-	-	-	-	-	-	2	2	割込モードを モード1 に設定		
		0	1	0	1	0	1	1	0	5 6											
IM 2	2	1	1	1	0	1	1	0	1	E D	-	-	-	-	-	-	2	2	割込モードを モード2 に設定		
		0	1	0	1	1	1	1	0	5 E											
IM 3	2	1	1	1	0	1	1	0	1	E D	-	-	-	-	-	-	2	2	割込モードを モード3 に設定		
		0	1	0	0	1	1	1	0	4 E											

Others Group

Mnemonic	Byte	Opcode								Hex	Flags					Clock		Operation	
		7	6	5	4	3	2	1	0		S	Z	H	PV	N	C	odd		even
DAA	1	0	0	1	0	0	1	1	1	27	*	*	*	P	-	*	1	1	decimal adjust A
CPL	1	0	0	1	0	1	1	1	1	2F	-	-	1	-	1	-	1	1	A .not. A
NEG	2	1	1	1	0	1	1	0	1	ED	*	*	*	V	1	*	2	2	A 0-A
		0	1	0	0	0	1	0	0	44									
CCF	1	0	0	1	1	1	1	1	1	3F	-	-	?	-	0 注		1	1	cf .not. cf

Others Group (Continued)

Mnemonic	Byte	Opcode				Hex	Flags						Clock		Operation					
		7	6	5	4		3	2	1	0	S	Z	H	P		V	N	C	odd	even
SCF	1	0	0	1	1	0	1	1	1	3	7	-	-	0	-	0	1	1	1	cf 1
NOP	1	0	0	0	0	0	0	0	0	0	0	-	-	-	-	-	-	1	1	no operation
HALT	1	0	1	1	1	0	1	1	0	7	6	-	-	-	-	-	-	2	2	halt