

16 ビット高速マイクロコントローラ

***KL5C16030 CFP***

***KL5C16005 CFP***

**アプリケーションノート**

- 1 : メモリ上のデータ配置
- 2 : メモリ接続例
- 3 : メモリに関する AC 特性
- 4 : I/O アクセス
- 5 : 割り込みコントローラ
- 6 : パラレルポート
- 7 : プログラム例

2000.5 Ver. 1.0  
川崎製鉄株式会社  
LSI 事業部

## はじめに

KL5C16030 と KL5C16005 は機能に関して共通部分が多いため、今回アプリケーションノートとして 1 冊にまとめて記載しました。また、CPU コア以外の周辺 I/O 部に関しては、弊社 8 ビットマイコン KL5C80A16 と同様の機能が搭載されていますので、KL5C80A16 アプリケーションノートも充分ご参考にして頂けると幸いです。

本文中で記載されております接続例等の回路図は、あくまでもデバイス間の端子接続を示す例としての位置付けのもとに記載しております。よって、それらの図の通りの回路設計をした場合、正常に動作しない場合がありますのでご注意ください。

もし、基板上における端子の処理、またその他の記載内容等ご不明な点がございましたら弊社までご相談ください。

## 輸出時の対応について（旧ココム等）

弊社マイコン製品を海外に輸出する場合、旧ココム等の外国貿易管理法上の手続きが必要になる場合があります。その場合、通関手続き時に弊社が発行するパラメータシート（輸出貿易管理令非該当通知文書）を提出することになります。パラメータシートについては、弊社製品を購入した代理店にご請求ください。

### 1. メモリ上のデータ配置

#### 1.1 メモリアドレスとデータバス上位・下位バイトの関係

KL5C16030/05 でのメモリアドレスとデータバスの関係は以下の通りです。

データバス上位バイト側 D<15:8>	データバス下位バイト側 D<7:0>
000001H 番地	000000H 番地
000003H 番地	000002H 番地
000005H 番地	000004H 番地
⋮	⋮
⋮	⋮
⋮	⋮
FFFFFDH 番地	FFFFFCH 番地
FFFFFFH 番地	FFFFFEH 番地

#### 1.2 2 バイト (以上) のデータのメモリ上での配置

メモリ上に置かれた 16 ビットデータ・24 ビットデータを扱う場合、指定したアドレスはデータの最下位バイトを示します。メモリアドレスとの関係を以下に示します。

##### 16 ビットデータ・アクセス

##### 1 ) 偶数番地指定時 .. 例: 123456H 番地指定

	データバス D<15:8>	データバス D<7:0>
123456H	データの上位バイト ( 123457H 番地のデータ )	データの下位バイト ( 123456H 番地のデータ )

##### 【命令実行例】 LD HL, (123456H)

L レジスタに 123456H 番地のデータを格納  
H レジスタに 123457H 番地のデータを格納

##### 2 ) 奇数番地指定時 .. 例: 123457H 番地指定

	データバス D<15:8>	データバス D<7:0>
123456H	データの下位バイト ( 123457H 番地のデータ )	
123458H		データの上位バイト ( 123458H 番地のデータ )

##### 【命令実行例】 LD HL, (123457H)

L レジスタに 123457H 番地のデータを格納  
H レジスタに 123458H 番地のデータを格納

### 24 ビットデータ・アクセス

#### 1 )偶数番地指定時 ...例:123456H 番地指定

	データバス D<15:8>	データバス D<7:0>
123456H	データの中位バイト ( 123457H 番地のデータ )	データの最下位バイト ( 123456H 番地のデータ )
123458H		データの最上位バイト ( 123458H 番地のデータ )

#### 【命令実行例】 LDF AHL, (123456H)

L レジスタに 123456H 番地のデータを格納  
H レジスタに 123457H 番地のデータを格納  
A レジスタに 123458H 番地のデータを格納

#### 2 )奇数番地指定時 ...例:123457H 番地指定

	データバス D<15:8>	データバス D<7:0>
123456H	データの最下位バイト ( 123457H 番地のデータ )	
123458H	データの最上位バイト ( 123459H 番地のデータ )	データの中位バイト ( 123458H 番地のデータ )

#### 【命令実行例】 LDF AHL, (123457H)

L レジスタに 123457H 番地のデータを格納  
H レジスタに 123458H 番地のデータを格納  
A レジスタに 123459H 番地のデータを格納

## 2 . メモリ接続例

### 2.1 SRAM、DRAM 併用の接続例

KL5C16030 を使用し、SRAM、DRAM を両方使用したシステム構成をする場合には、接続モード C の設定を行い、ROM 領域 (000000H ~ 7FFFFFFH) に ROM 及び SRAM を配置します。このとき、ROM、SRAM の各チップセレクト信号用に外部デコード回路が必要となります。SRAM のデータバス上位・下位バイトの区別は、UBE<sub>0</sub> 信号及びアドレス A<0> 信号によって行います。互換ボックス内 RAM 領域は、RAM 領域の一部がイメージとして見える構造となっており、DRAM アクセスとなります。ハードウェアマニュアルの 5-1 ページを参照ください。接続例を図 2-1、2-2 に示します。

図 2-1 においては、ROM 領域内の SRAM に対して、通常のデータアクセスのみ可能となっており、命令フェッチは禁止です。

図 2-2 においては、ROM 領域内の SRAM に対して、通常のデータアクセスだけでなく命令フェッチも可能です。但し、デコード回路の遅延により、データライト時のホールド時間が確保できないことがあるため、システム構成を行う上で十分な検討をして頂く必要があります。

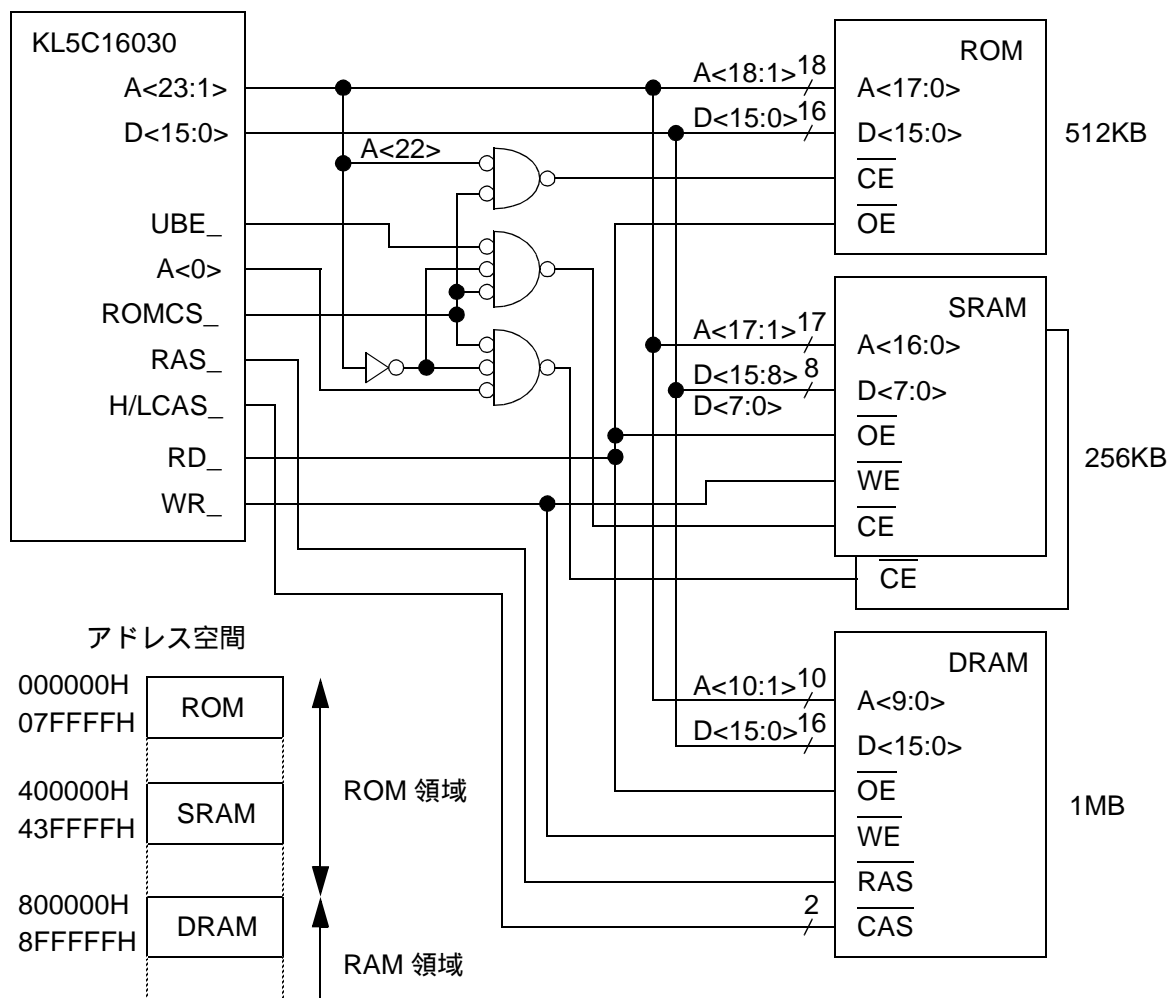


図 2-1 メモリ接続例 1 (接続モード C、SRAM はデータアクセスのみ可能)

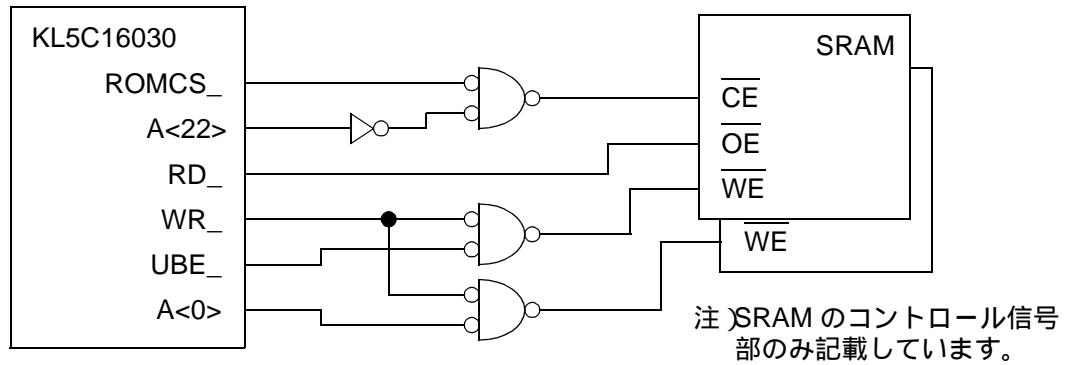


図 2-2 メモリ接続例 2( 接続モード C、SRAM 上での命令フェッチも可能 )

### 3 . メモリに関する AC 特性

#### 3.1 メモリのアクセス時間と動作周波数の関係

KL5C16030/05 と接続するメモリのアクセス時間の計算法を説明します。図 3-1 に命令フェッチサイクルタイミングを示します。命令フェッチ時のメモリのアクセス時間は以下の式で表すことができます。

$$T_{AC} < (1 + N) \times T_{CKW} - T_{AD1} - T_{DS}$$

$$T_{OE} < (1/2 + N) \times T_{CKW} - T_{RD1} - T_{DS}$$

ここで、

$T_{AC}$  : メモリのアドレス確定からデータ出力確定までのアクセス時間

$T_{OE}$  : メモリの  $\overline{OE}$  からデータ出力確定までの遅延時間

$T_{CKW}$  : KL5C16030/05 のシステムクロック周期

$N$  : ウェイト数

$T_{AD1}$  : KL5C16030/05 のアドレス遅延時間

$T_{RD1}$  : KL5C16030/05 のクロック立ち上がりから  $RD\_L$  出力遅延時間

$T_{DS}$  : KL5C16030/05 のデータ入力セットアップ時間

この式を解くことで、与えられたメモリでの上限のシステムクロック周波数、あるいはあるシステムクロック周波数に必要なメモリのアクセス時間を算出することができます。

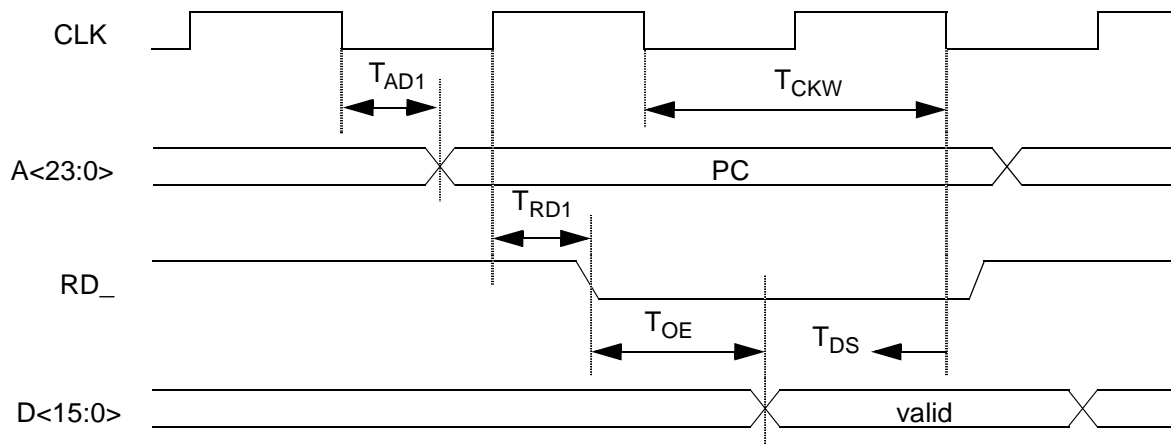


図 3-1 命令フェッチサイクルタイミング(1ウェイト時)

例として、10MHz 動作で 0 ウェイト及び 1 ウェイト時に必要なメモリのアクセス時間を算出してみると、

$$T_{CKW} = 100\text{ns}, T_{AD1} = 34\text{ns}, T_{DS} = 3\text{ns}$$

となるので (ハードウェアマニュアル参照)

$$N = 0 \text{ のとき} : T_{AC} < 63\text{ns}$$

$$N = 1 \text{ のとき} : T_{AC} < 163\text{ns}$$

となります。よって、アクセス時間についてのみ考えると、0 ウェイトの設定をしたときには 60ns 程度、1 ウェイトの設定をしたときには 160ns 程度のアクセス時間のメモリであれば使用可能となります。

また、メモリのデータ出力確定までの遅延時間について計算してみると、

$$T_{CKW} = 100\text{ns}, T_{RD1} = 30\text{ns}, T_{DS} = 3\text{ns}$$

となるので (ハードウェアマニュアル参照)

$$N = 0 \text{ のとき} : T_{OE} < 17\text{ns}$$

$$N = 1 \text{ のとき} : T_{OE} < 117\text{ns}$$

となります。

更に、20MHz 動作で 0 ウェイト及び 1 ウェイト時に必要なメモリのアクセス時間を算出してみると、

$$T_{CKW} = 50\text{ns}, T_{AD1} = 34\text{ns}, T_{DS} = 3\text{ns}$$

となるので (ハードウェアマニュアル参照)

$$N = 0 \text{ のとき} : T_{AC} < 13\text{ns}$$

$$N = 1 \text{ のとき} : T_{AC} < 63\text{ns}$$

となります。よって、アクセス時間についてのみ考えると、0 ウェイトの設定をしたときには 10ns 程度、1 ウェイトの設定をしたときには 60ns 程度のアクセス時間のメモリであれば使用可能となります。

但し、メモリのデータ出力確定までの遅延時間について計算してみると、

$$T_{CKW} = 50\text{ns}, T_{RD1} = 30\text{ns}, T_{DS} = 3\text{ns}$$

となるので (ハードウェアマニュアル参照)

$$N = 0 \text{ のとき} : T_{OE} < 8\text{ns}$$

$$N = 1 \text{ のとき} : T_{OE} < 42\text{ns}$$

となります。よって、20MHz 動作時には、ROM 等を使用した通常の命令フェッチに関して 1 ウェイト以上の設定が必要となります。もし、0 ウェイトでの命令フェッチを行う場合には、接続モード D を選択し、EDO-DRAM 上で命令フェッチの実行を行ってください。



### 3.2 AC 特性の最大値・最小値及びデータホールド時間について

IC の AC 特性は、電圧変動、温度変動、プロセスばらつきから最大値、最小値が規定されます。この場合、出力負荷条件はすべての出力端子に対して同一の値 (70pF) を仮定しています。よって、WR<sub>1</sub> 出力遅延時間の最大値 ( $T_{WR2}(\text{MAX}) = 26\text{ns}$ ) とデータ出力 off 遅延時間の最小値 ( $T_{DZ}(\text{MIN}) = 7.5\text{ns}$ ) が同時に起こることはありません。

以上より、データホールド時間 (図 3-2 の《T》) の最小値は以下のように考えることができます。

$$\langle T \rangle (\text{MIN}) = T_{DZ}(\text{MIN}) - T_{WR2}(\text{MIN}) = 0.5\text{ns}$$

つまり、データホールド時間は 0.5ns 以上となり、現行市販されているメモリで問題ありません。

データバス D<15:0> はハイインピーダンス状態への変化ですから、データバス上の負荷 (浮遊容量を含む) により、短時間ですがデータが保持されます。これは、データホールド時間の余裕を増す方向です。

一方、WR<sub>1</sub> 信号と D<15:0> とでは実使用状態での負荷条件が異なることが考えられます。特に、WR<sub>1</sub> 信号に付加される負荷容量が大きい場合に、WR<sub>1</sub> 信号の遅延時間が増大し、データホールド時間の余裕を減らす方向に作用します。

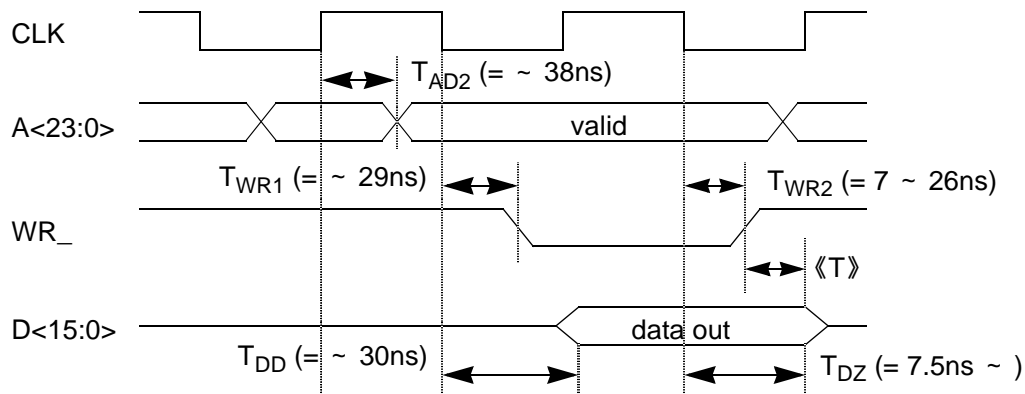


図 3-2 メモリに対するデータホールド時間 (KL5C16030 の場合)

### 4 . I/O アクセス

#### 4.1 内部 I/O アクセス時の外部信号端子の状態

KL5C16030/05 の内部 I/O アクセス時、アドレス・データバス及び各制御信号は以下の状態を示します。

##### 内部 I/O リード時

アドレスバス A<23:16>	: 00H を出力
アドレスバス A<15:8>	: B レジスタ値 or ( 命令実行直前の ) A レジスタ値を出力
アドレスバス A<7:0>	: アクセス対象の内部 I/O アドレスを出力
データバス D<15:8>	: 内部 I/O からの読み出しデータを出力
データバス D<7:0>	: 不定値を出力
IORQ_ 信号	: アクティブ状態 ( "L" レベル出力 )
RD_ 信号	: アクティブ状態 ( "L" レベル出力 )
WR_ 信号	: インアクティブ状態 ( "H" レベル出力 )

##### 内部 I/O ライト時

アドレスバス A<23:16>	: 00H を出力
アドレスバス A<15:8>	: B レジスタ値 or A レジスタ値を出力
アドレスバス A<7:0>	: アクセス対象の内部 I/O アドレスを出力
データバス D<15:8>	: 内部 I/O への書き込みデータを出力
データバス D<7:0>	: D<15:8> の値を出力
IORQ_ 信号	: アクティブ状態 ( "L" レベル出力 )
RD_ 信号	: インアクティブ状態 ( "H" レベル出力 )
WR_ 信号	: アクティブ状態 ( "L" レベル出力 )

アドレスバス A<15:8> については、IN r, (C) 命令や OUT (C), r 命令等の実行時に B レジスタ値が出力され、また IN A, (nn) 命令や OUT (nn), A 命令の実行時に命令実行直前の A レジスタ値が出力されます。

タイミング波形については、ハードウェアマニュアル 6.3 項を参照してください。

### 4.2 内部・外部 I/O アドレスの配置

KL5C16030/05 の I/O アドレスは以下の通り定義されています。

KL5C16030 : 内部 I/O 00H ~ 5FH、外部 I/O 60H ~ FFH

KL5C16005 : 内部 I/O 00H ~ 3FH、外部 I/O 40H ~ FFH

ハードウェアマニュアル 5.3 項に記載されている通り、C レジスタを用いた I/O アクセスでは 16 ビットアドレス指定が可能です。アドレスバス A<7:0> が上記内部 I/O アドレスに定義された値を示した場合、必ず内部 I/O をアクセスし、外部 I/O はアクセスしません。つまり、KL5C16030 の場合、I/O アドレスが 0000H ~ 005FH、0100H ~ 015FH、0200H ~ 025FH、0300H ~ 035FH ... FF00H ~ FF5FH においては内部 I/O アクセス、I/O アドレスが 0060H ~ 00FFH、0160H ~ 01FFH、0260H ~ 02FFH、0360H ~ 03FFH ... FF60H ~ FFFFH においては外部 I/O アクセスとなります。I/O アドレスの配置関係を図 4-1 に示します。

尚、アドレスバス A<23:16> は、内部・外部 I/O 共に I/O アクセス時には 00H を出力します。

0000H	内部 I/O
005FH	
0060H	外部 I/O
00FFH	
0100H	内部 I/O (イメージ)
015FH	
0160H	外部 I/O
01FFH	
0200H	内部 I/O (イメージ)
025FH	
0260H	外部 I/O
02FFH	
FF00H	内部 I/O (イメージ)
FF5FH	
FF60H	外部 I/O
FFFFH	

(a) KL5C16030 の I/O アドレス

0000H	内部 I/O
003FH	
0040H	外部 I/O
00FFH	
0100H	内部 I/O (イメージ)
013FH	
0140H	外部 I/O
01FFH	
0200H	内部 I/O (イメージ)
023FH	
0240H	外部 I/O
02FFH	
FF00H	内部 I/O (イメージ)
FF3FH	
FF40H	外部 I/O
FFFFH	

(b) KL5C16005 の I/O アドレス

図 4-1 内部・外部 I/O アドレスの配置

### 5．割り込みコントローラ

#### 5.1 モード3 割り込み

KL5C16030/05 に搭載されている割り込みコントローラ KP69 は、KC160 の割り込みモード2 及び割り込みモード3 に対応しています。

割り込みモード2 設定時には、プログラムカウンタの内容が下位2 バイト分だけスタックに退避されますので、全てのプログラムが互換ボックス内 (000000H ~ 00FFFFH の 64K バイト内) に収まっている場合に限り使用できます。

64K バイトを越えるアドレス空間に対応するためには、割り込みモード3 を指定してください。割り込みスタートテーブルは、割り込みモード2 の場合と同様、互換ボックス内の領域に配置します。

互換ボックス外の拡張領域に割り込み処理ルーチンを配置する場合、まず互換ボックス内の割り込み処理ルーチンへ制御を移し、そのルーチン内で JP3 命令等を実行することにより、互換ボックス外の拡張領域に配置された割り込み処理ルーチン本体に飛び、実際の割り込み処理を行います。

割り込みモード3 設定時には、プログラムカウンタの内容が3 バイト分全てスタックに退避されますので、割り込み処理ルーチンの最後で3 バイト RETI 命令に相当する処理を実行する必要があります。具体的には、割り込みルーチンの最後で以下の処理を行います。

```
OUT (1DH), A    : 内部 I/O (1DH) にライト動作を行い EOI を発行、データ値は任意
EI              :
RET3            :
```

内部 I/O アドレス 1DH 番地は、書き込みが行われると、内蔵の割り込みコントローラ KP69 に EOI を発行する I/O レジスタです。この場合、書き込むデータは任意です。

拡張領域に割り込み処理ルーチンを配置する場合を図 5-1 で説明します。

要求のあった割り込み要因に対応する割り込みスタートテーブルを参照し、互換ボックス内の割り込みルーチンに飛び、

互換ボックス内の割り込みルーチンの JP3 命令により、互換ボックス外の拡張領域に配置された割り込み処理ルーチン本体に飛び、実際の割り込み処理を行う。

割り込み処理ルーチンの最後で3 バイト RETI 命令に相当する処理を実行し、割り込み処理を終了する。

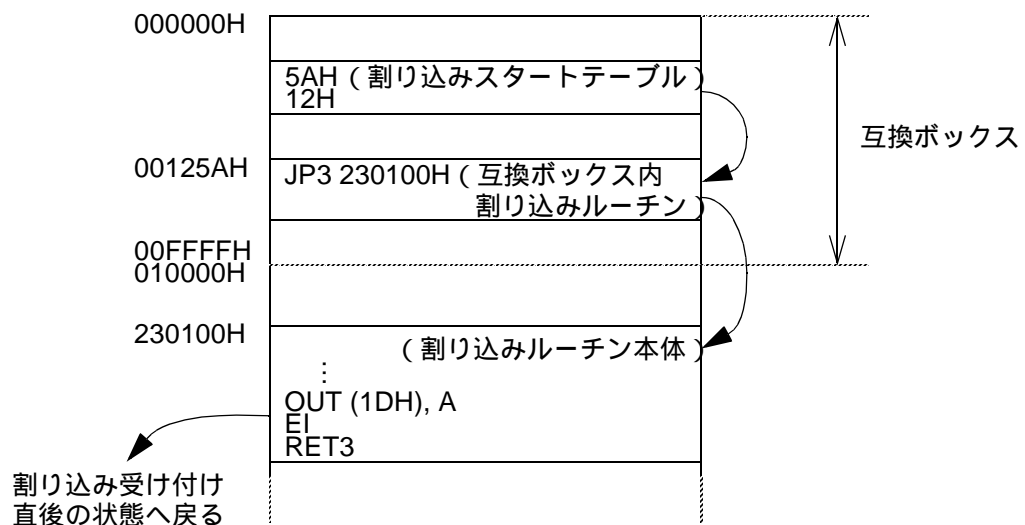


図 5-1 モード3 割り込み

### 5.2 多重割り込み処理（割り込みモード 2 指定時）

割り込み処理ルーチン内に配置する EI 命令の位置により、多重割り込みの禁止・許可を設定することができます。

各割り込みルーチンの最後で割り込み処理ルーチンの終了を規定する RETI 命令の直前に EI 命令を配置すると、多重割り込み処理は禁止となります。割り込み処理開始時には自動的に割り込みディセーブル (DI) 状態となっており、EI 命令を受け付けて割り込みイネーブル (EI) 状態となるまで新たな割り込み要求を受け付けないためです。EI 命令はその直後の命令実行後に有効となります。

多重割り込み禁止の場合の処理フローの例を図 5-2 に示します。割り込みの優先順位は、INT1 > INT2 とします。

INT1 を受け付け、割り込みルーチン 1 を実行。

INT2 の要求が発生するが、優先順位が低く且つ DI 状態でもあり、割り込みルーチン 1 の処理をそのまま実行。

割り込みルーチン 1 の処理が終了するが、メインルーチンに戻らず、割り込みルーチン 1 の処理中に要求のあった INT2 を受け付け、割り込みルーチン 2 を実行。

割り込みルーチン 2 の処理が終了し、メインルーチンに戻る。

INT2 を受け付け、割り込みルーチン 2 を実行。

優先順位の高い INT1 の要求が発生するが、DI 状態であるため、割り込みルーチン 2 の処理をそのまま実行。

割り込みルーチン 2 の処理が終了するが、メインルーチンに戻らず、割り込みルーチン 2 の処理中に要求のあった INT1 を受け付け、割り込みルーチン 1 を実行。

割り込みルーチン 1 の処理が終了し、メインルーチンに戻る。

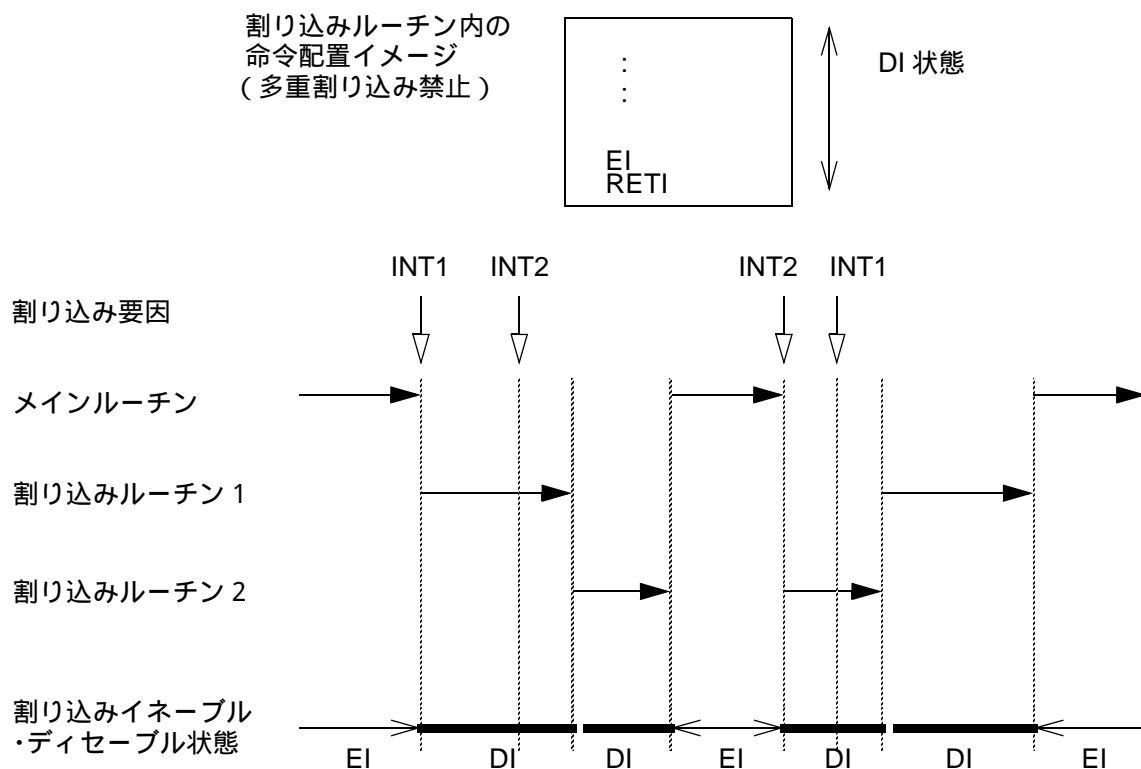


図 5-2 多重割り込み禁止

割り込み処理ルーチンの適当な場所に EI 命令を配置することで、多重割り込みが可能になります。このとき、現在処理中の割り込み要因よりも高い優先順位の割り込み要求があった場合に、その割り込み要求を受け付けて処理を行います。

多重割り込み許可の場合の処理フローの例を図 5-3 に示します。割り込みの優先順位は、INT1 > INT2 とします。

INT1 を受け付け、割り込みルーチン 1 を実行。

INT2 の要求が発生し EI 状態であるが、INT2 は優先順位が低いため KC160 に割り込み要求が伝わらない。よって、優先順位が高い割り込みルーチン 1 の処理をそのまま実行。

割り込みルーチン 1 の処理が終了するが、メインルーチンに戻らず、割り込みルーチン 1 の処理中に要求のあった INT2 を受け付け、割り込みルーチン 2 を実行。

割り込みルーチン 2 の処理が終了し、メインルーチンに戻る。

INT2 を受け付け、割り込みルーチン 2 を実行。

優先順位の高い INT1 の要求が発生し EI 状態であるため、割り込みルーチン 2 の処理を一時中断し割り込みルーチン 1 を実行。

割り込みルーチン 1 の処理が終了し、一時中断していた割り込みルーチン 2 の処理を再開。

割り込みルーチン 2 の処理が終了し、メインルーチンに戻る。

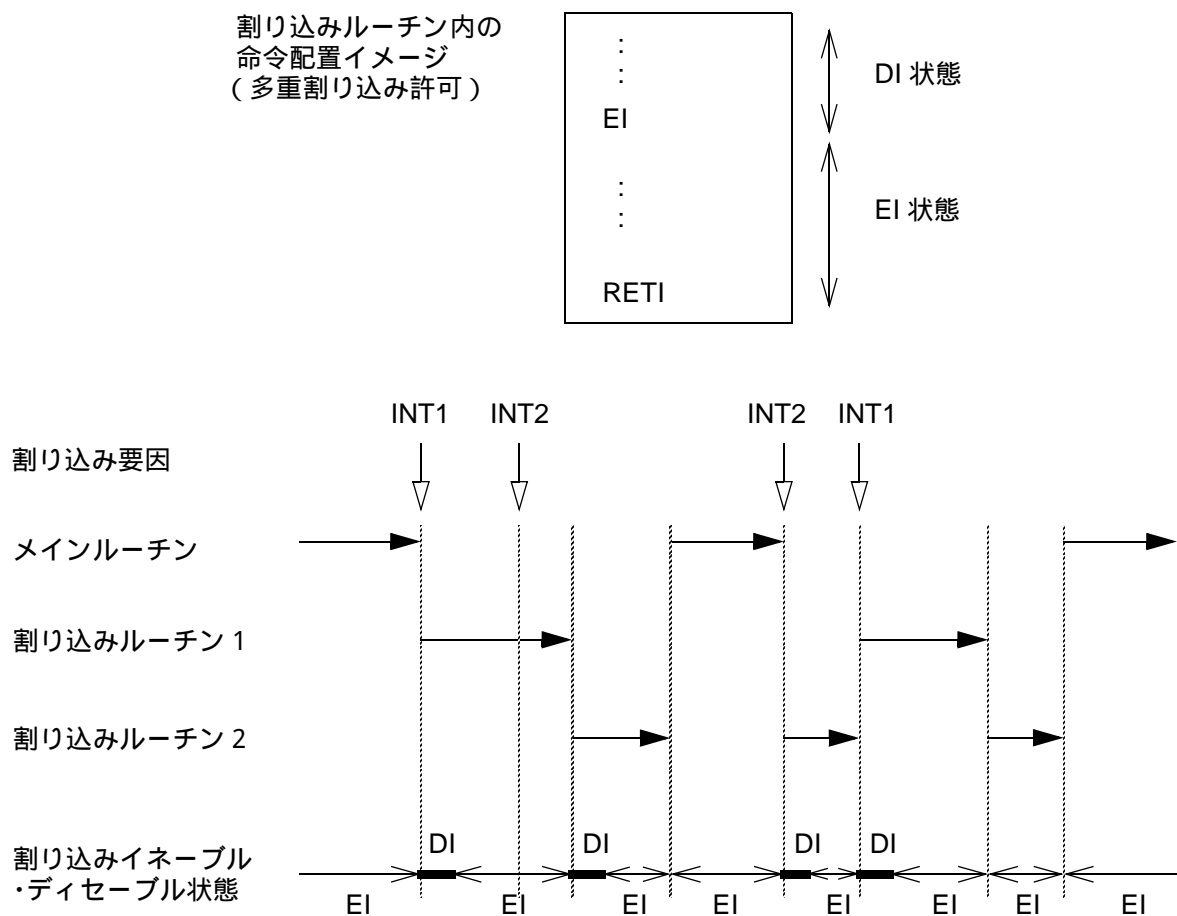


図 5-3 多重割り込み許可

### 5.3 多重割り込み処理（割り込みモード3 指定時）

割り込みモード3では、割り込みモード2で使用した RETI 命令の代わりに、5.1 項で示した通り、3 バイト RETI 命令に相当する処理を行います。

OUT (1DH), A

EI

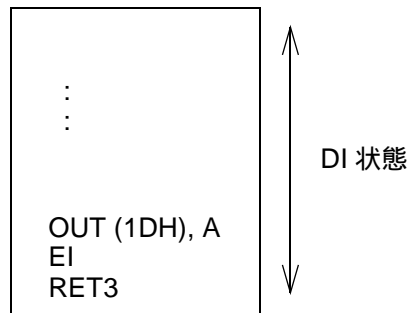
RET3

この処理を割り込みルーチンの最後で行うことで、多重割り込みが禁止となります。

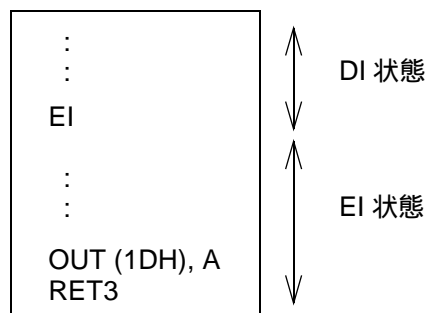
多重割り込みを許可したい場合には、割り込み処理ルーチンの適当な場所に EI 命令を配置し、割り込みルーチンの最後で上記 OUT 命令 RET3 命令という処理を行うことで多重割り込みを許可することが可能となります。

その他に関しては、5.2 項の割り込みモード2 指定時と同様です。

割り込みルーチン内の  
命令配置イメージ  
( 多重割り込み禁止 )



割り込みルーチン内の  
命令配置イメージ  
( 多重割り込み許可 )



### 6 . パラレルポート

#### 6.1 パラレルポート P4x について

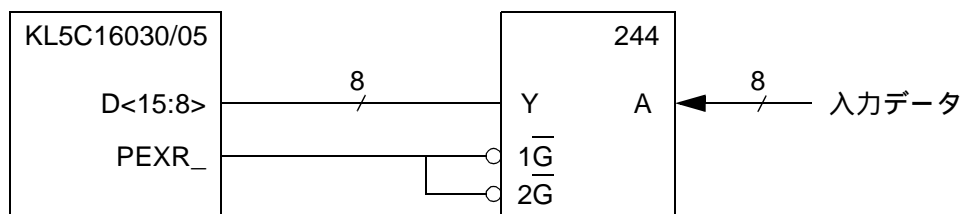
KL5C16030 のパラレルポートのうち、データバス D<7:0> と兼用となっている P47 ~ P40 ( 端子 4 ~ 11 ) については、接続モード D の設定を選択した場合にのみ使用可能となります。接続モード A・B・C 選択時には、データバス D<7:0> として動作します。接続モード D 選択時のデータバス D<7:0> は、端子 40 ~ 47 に割り当てられます。これについては、ハードウェアマニュアル第 4 章を参照してください。

また、パラレルポート P47 ~ P40 は I/O リードのみ可能で ( I/O ライト不可 ) I/O アドレスは 1FH です。ハードウェアマニュアル 5.3 項を参照してください。

尚、接続モード A・B・C 選択時に I/O アドレス 1FH をアクセス ( I/O リード ) した場合には、不定値が読み込まれます。

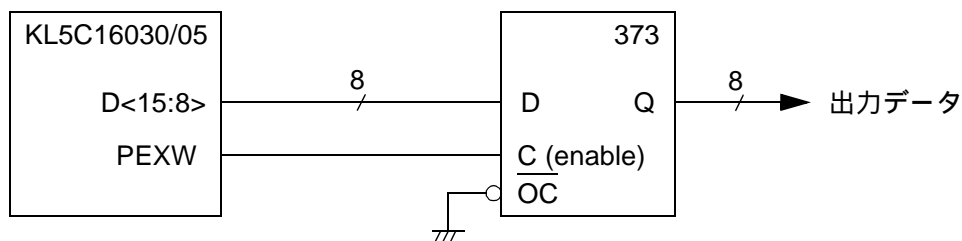
#### 6.2 外部拡張入力・出力ポート ( PEXR\_, PEXW ) 使用例

KL5C16030/05 は、パラレルポートを各種信号と共有端子として使用しているため、設定によっては使用できるパラレルポートが制限されてしまいます。そこで、PEXR\_, PEXW 信号を用いて、外部に 3 ステートバッファ回路、データラッチ回路を接続することにより、パラレルポートの拡張が可能となっています。図 6-1 に拡張入力ポート接続例を、図 6-2 に拡張出力ポート接続例を示します。動作タイミングについては、図 6-3 に示します。



I/O アドレス 1EH が 8 ビットの入力ポートになります。

図 6-1 外部拡張入力ポート接続例



I/O アドレス 1EH が 8 ビットの出力ポートになります。

図 6-2 外部拡張出力ポート接続例



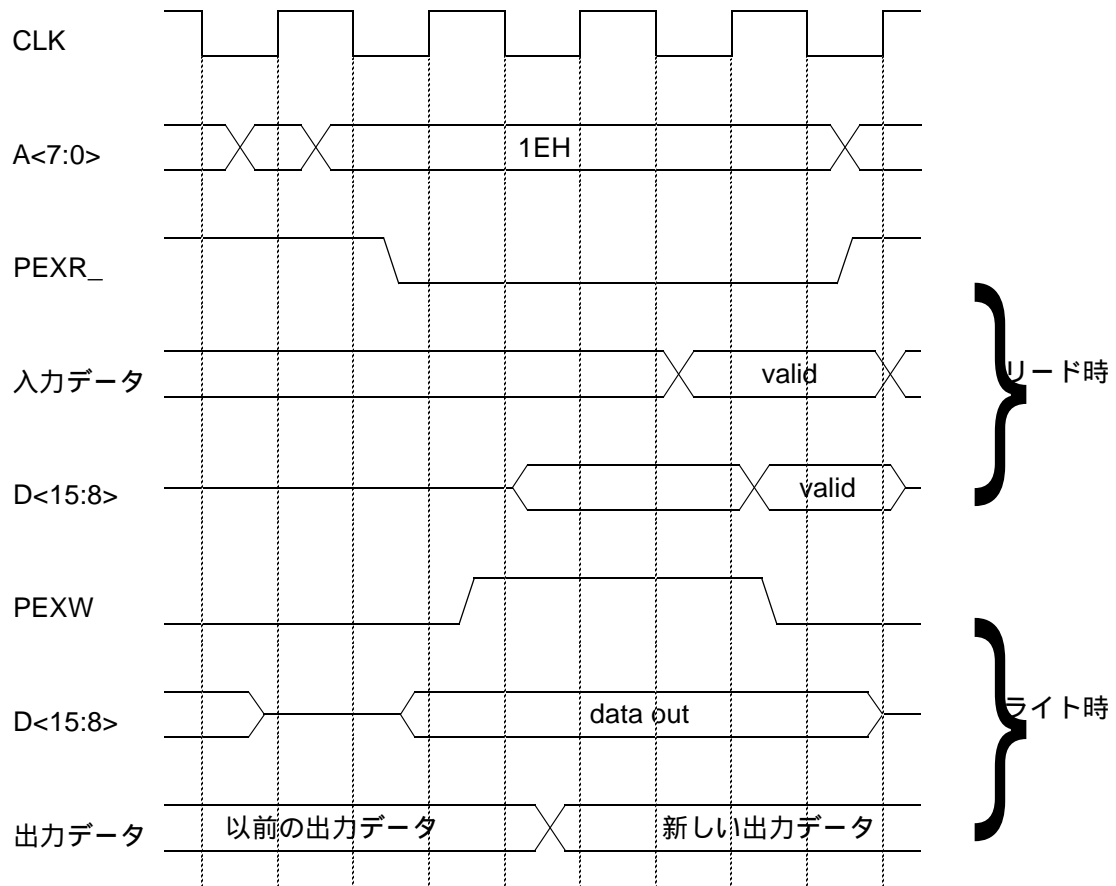


図 6-3 外部拡張入力・出力ポートの動作タイミング( 1 ウェイト )

### 7. プログラム例

#### 7.1 初期設定プログラム例 1 (KL5C16030)

KL5C16030 のモード 3 割り込み使用時の処理例について、アセンブラプログラムの例を以下に示します。

タイマ割り込み IR14 に関して、互換ボックス外の拡張領域 (010000H ~ FFFFFFFH) にてメインの割り込み処理を行う場合の処理例となっています。

割り込み要求が発生すると、まず割り込みスタートテーブルの指定するアドレス 000160H 番地 (互換ボックス内) の処理を実行します。ここに記述された JP3 命令により、互換ボックス外拡張領域の 021000H 番地に飛び、割り込みルーチン本体の処理を実行します。

尚、このプログラム例はあくまでも参考例として掲載したものです。引用される場合などには、充分にご注意ください。

```

000000 : ; *****
000000 : ; KL5C16030 モード 3 割り込み処理 設定例
000000 : ;
000000 : ; ( 外部割り込みによりポート出力 "H"、
000000 : ; 1.5 秒間のタイマカウント終了時ポート出力 "L" )
000000 : ; *****
000000 : ;
000000 : ; I/O address
000000 : 000018 SCR equ 18h ; システムコントロールレジスタ
000000 : 000020 KP63A equ 20h ; 汎用タイマ
000000 : 000034 KP69 equ 34h ; 割り込みコントローラ
000000 : 000038 KP67 equ 38h ; パラレルポート
000000 : ;
000000 : ; *****
000000 : ; スタートアップ
000000 : ; *****
000000 : org 000000h
000000 : 31 FF FF ld sp, 0ffffh ;
000003 : 3E 80 ld a, 80h ;
000005 : ED F4 ld zp, a ; スタックポインタ ZSP の初期化 ( 80FFFFH ~ )
000007 :
000007 : C3 6B 01 jp SETUP ; さまざまな初期化ルーチンへ
00000A :
00000A : ; *****
00000A : ; NMI 処理 ( 本体は 互換ボックス外 に配置 )
00000A : ; *****
000066 : org 000066h
000066 :
000066 : ED 54 NMI: tra ; PPC の内容を 3 バイト分スタックに退避
000068 : ED C3 0B 10 02 jp3 MNMI ; NMI 処理本体ルーチンへ
00006D :
00006D : ; *****
00006D : ; 割り込みスタートテーブル
00006D : ; *****

```

```

00006D : ; 割込み処理ルーチンを 互換ボックス外 に置く場合
00006D : ;   o 必ず 互換ボックス内 から処理を始める
00006D : ;           割込みスタートテーブル には 互換ボックス内 の
00006D : ;           実行開始番地しか登録できない
00006D : ;   o JP3 命令 により 互換ボックス外 へ飛ば
00006D : ; *****
000140 :          org      000140h
000140 :
000140 : 65 01          dw      INTERR      ; IR0   不使用
000142 : 65 01          dw      INTERR      ; IR1   不使用
000144 : 65 01          dw      INTERR      ; IR2   不使用
000146 : 65 01          dw      INTERR      ; IR3   不使用
000148 : 65 01          dw      INTERR      ; IR4   不使用
00014A : 65 01          dw      INTERR      ; IR5   不使用
00014C : 65 01          dw      INTERR      ; IR6   不使用
00014E : 80 7F          dw      INT7       ; IR7 ( 外部割込み )
000150 : 65 01          dw      INTERR      ; IR8   不使用
000152 : 65 01          dw      INTERR      ; IR9   不使用
000154 : 65 01          dw      INTERR      ; IR10  不使用
000156 : 65 01          dw      INTERR      ; IR11  不使用
000158 : 65 01          dw      INTERR      ; IR12  不使用
00015A : 65 01          dw      INTERR      ; IR13  不使用
00015C : 60 01          dw      INT14      ; IR14 ( タイマ割込み )
00015E : 65 01          dw      INTERR      ; IR15  不使用
000160 :
000160 : ED C3 00 10 02  INT14:  jp3      MINT14      ; IR14 ( タイマ割り込み ) 処理本体ルーチンへ
000165 :
000165 : ; *****
000165 : ; 不使用チャネルの割込み処理ルーチン ( 暴走を回避 )
000165 : ; *****
000165 :
000165 : 3E 3F          INTERR: ld      a, 00111111b ; ビット操作コマンド
000167 : D3 39          out      (KP67+1), a ; P37 を high にセット
000169 :
000169 : 18 FE          SELF:  jr      SELF      ; ここで無限ループ = 処理の停止
00016B :
00016B : ; *****
00016B : ;  さまざまな初期化ルーチン
00016B : ; *****
00016B :
00016B : ; System Control Register (SCR)
00016B : 3E 09          SETUP: ld      a, 00001001b ; SCR0
00016D : D3 18          out      (SCR+0), a ; ウェイト設定
00016F : ; ( フェッチ 3clk、メモリデータ 3clk、I/O 6clk )
00016F : 3E 01          ld      a, 00000001b ; SCR4
000171 : D3 1C          out      (SCR+4), a ; 接続モード A、互換 BOX 内 RAM 領域 32K バイト
000173 :
000173 : ED 4E          im      3          ; モード 3 割り込み
000175 : 3E 01          ld      a, 01h      ; I レジスタ
000177 : ED 47          ld      i, a      ; 0001xxH に割り込みアドレステーブル
000179 :

```

```

000179 : ; Timer/Counter (KP63A)
000179 : 3E 00          ld      a, 00000000b ; ch.0
00017B : D3 21          out     (KP63A+1), a ; 単発カウント、256 分周 (GATE 機能無)
00017D :
00017D : ; Parallel Port (KP67)
00017D : 3E 00          ld      a, 00000000b ; P3x
00017F : D3 3E          out     (KP67+6), a ; P37,P33 に '0' を設定
000181 : 3E 88          ld      a, 10001000b ;
000183 : D3 3F          out     (KP67+7), a ; P37,P33 を出力方向に設定
000185 :
000185 : ; Interrupt Controller (KP69)
000185 : 3E 40          ld      a, 01000000b ; LERH
000187 : D3 35          out     (KP69+1), a ; IR14 をエッジモード
000189 : 3E 80          ld      a, 10000000b ; LERL
00018B : D3 34          out     (KP69+0), a ; IR7 をエッジモード
00018D : 3E 40          ld      a, 01000000b ; IVR
00018F : D3 37          out     (KP69+3), a ; 割り込みベクタに 40H ~ 5FH を使用
000191 : 3E BF          ld      a, 10111111b ; IMRH
000193 : D3 37          out     (KP69+3), a ; IR14 をマスク解除
000195 : 3E 7F          ld      a, 01111111b ; LERL
000197 : D3 36          out     (KP69+2), a ; IR7 をマスク解除
000199 :
000199 : FB            ei            ; 割り込み許可
00019A :
00019A : 00            nop            ; %%%%%%%%%%%
00019B : 00            nop            ; % 適宜 メインルーチン を記述する %
00019C : 00            nop            ; %%%%%%%%%%%

00019D : ; *****
00019D : ; 割り込みルーチン を 互換ボックス内 に配置した例
00019D : ; *****
00019D : ; IR7 処理ルーチン ( 外部割り込み )
00019D : ;
00019D : ; ..... P33 を high にする
00019D : ; ..... 1.5 秒のタイマ割り込み を起動する
00019D : ; *****
007F80 :          org      007F80h
007F80 :
007F80 : E5          INT7:  push  hl            ; レジスタの退避
007F81 : F5          push  af
007F82 :
007F82 : 3E 37          ld      a, 00110111b ; パラレルポート・ビット操作コマンド
007F84 : D3 39          out     (KP67+1), a ; P33 を high にセット
007F86 :
007F86 : 21 E2 E4      ld      hl, 58594      ; 1.5s/256 分周 ( 10MHz 動作時 )
007F89 : 7D          ld      a, 1            ;
007F8A : D3 20          out     (KP63A+0), a ; カウント初期値 ( 下位側 )
007F8C : 7C          ld      a, h            ;
007F8D : D3 20          out     (KP63A+0), a ; カウント初期値 ( 上位側 )   カウント動作開始
007F8F :
007F8F : F1          pop  af            ; レジスタの復帰
007F90 : E1          pop  hl
007F91 :

```

```

007F91 : D3 1D          out    (1dh), a      ; 3 バイト RETI 命令相当の処理
007F93 : FB            ei                    ;
007F94 : ED 5C          ret3                  ;
007F96 :
007F96 :                ; *****
007F96 :                ; 割込みルーチン を 互換ボックス外 に配置した例
007F96 :                ; *****
007F96 :                ; IR14 処理ルーチン ( タイマ割込み )
007F96 :                ; ..... P33 を low にする
007F96 :                ; *****
021000 :                org    021000h
021000 :
021000 : F5          MINT14: push  af              ; レジスタの退避
021001 :
021001 : 3E 36          ld      a, 00110110b      ; パラレルポート・ビット操作コマンド
021003 : D3 39          out     (KP67+1), a      ; P33 を low にリセット
021005 :
021005 : F1            pop     af                ; レジスタの復帰
021006 :
021006 : D3 1D          out     (1dh), a      ; 3 バイト RETI 命令相当の処理
021008 : FB            ei                    ;
021009 : ED 5C          ret3                  ;
02100B :
02100B :                ; *****
02100B :                ; NMI ルーチン を 互換ボックス外 に配置した例
02100B :                ; *****
02100B :
02100B : 00          MNMI:  nop                  ; この例では 特に何もしない
02100C : 00            nop                    ; 適宜 必要な処理を記述する
02100D :
02100D : ED 55          retn3
02100F :

```

### 7.2 初期設定プログラム例 2 (KL5C16030)

KL5C16030 の接続モード D 使用時の処理例について、アセンブラプログラムの例を以下に示します。

接続モード D では、ROM 上に配置されているプログラムコードを RAM 領域の DARM 上に転送し、DRAM ページモードによる命令フェッチの高速動作を実現させることが可能です。

000094H 番地からのコピー・ルーチンにより DRAM 上にプログラムコードがコピーされ、その後 DRAM 上に移動して設定を変更した後 (000080H 番地) ROM 領域に戻ってプログラムの実行を開始します (0000B0H 番地)。このとき、ROM 領域に置かれていた ROM は見えなくなり、代わりに DRAM が ROM 領域・DRAM 領域の両方に見える設定となります。すなわち、元々 ROM 上に置かれていたプログラムは、DRAM 上にコピーされた後も元と同じ ROM 領域上で実行することができるため、プログラムを DRAM 領域用に作り直す必要はありません。

ハードウェアマニュアル 4-7 ページ (4.1.4 接続モード D) も合わせて参照ください。

尚、このプログラム例はあくまでも参考例として掲載したものです。引用される場合などには、充分にご注意ください。

```

000000 : ; *****
000000 : ; KL5C16030 mode-D ( DRAM boot )
000000 : ; ROM 上のプログラムを DRAM 上に転送し、実行
000000 : ; *****
000000 :
000000 : 800000          RAMTOP equ 800000h ; DRAM 領域
000000 : 000018          SCR      equ 18h      ; システムコントロールレジスタ
000000 : 000003          CPPAGE   equ 3        ; 転送プログラムページ数 ( 64KB/page )
000000 :
000000 : ; *****
000000 : ; スタートアップ
000000 : ; *****
000000 :          org      000000h
000000 :
000000 : 31 FF FF          ld      sp, 0ffffh ;
000003 : 3E 80             ld      a, 80h      ;
000005 : ED F4             ld      zp, a      ; スタックポインタ ZSP の初期化 ( 80FFFFH ~ )
000007 :
000007 : C3 88 00          jp      COPY1      ; さまざまな初期化ルーチンへ
00000A :
00000A : ; *****
00000A : ; DRAM のイメージ化 設定処理
00000A : ; ( この命令列は コピーされた DRAM 上 で実行される )
00000A : ; *****
000080 :          org      000080h
000080 :
000080 : DB 1C             SWITCH: in      a, (SCR+4)
000082 : F6 08             or      00001000b ; DRAM イメージ化 設定
000084 : D3 1C             out      (SCR+4), a ; 注意！ この命令は DRAM 上で行うこと
000086 :
000086 : ED 5C             ret3
000088 :

```

```

000088 : ; *****
000088 : ; プログラムを DRAM 上へコピー
000088 : ; *****
000088 :
000088 : 3E 21      COPY1: ld      a, 00100001b ; リフレッシュタイミング 32 クロック、
00008A : D3 1C      out     (SCR+4), a ; 互換ボックス内 RAM 32KB
00008C : 06 40      ld      b, 40h
00008E : 10 FE      WAIT1: djnz   WAIT1 ; DRAM の初期化 (リフレッシュ 8 回分を
000090 :           ; 短時間に行う 誤動作防止対策)
000090 : 3E A1      ld      a, 10100001b ; リフレッシュタイミング 128 クロック、
000092 : D3 1C      out     (SCR+4), a ; 互換ボックス内 RAM 32KB
000094 :
000094 :           ; (00xxxxh 80xxxxh, 01xxxxh 81xxxxh, 02xxxxh 82xxxxh ...)
000094 : AF          xor     a
000095 : ED D5      ld      xp, a ; xp に 転送元ページ番号
000097 : 3E 80      ld      a, 80h
000099 : ED EC      ld      yp, a ; yp に 転送先ページ番号
00009B : 21 00 00   ld      hl, 0000h
00009E : 11 00 00   ld      de, 0000h
0000A1 : 01 00 00   ld      bc, 0000h ; 1 回に 64K バイト ずつ転送
0000A4 : 3E 03      ld      a, CPPAGE
0000A6 :
0000A6 : ED F0      CPLOOP: ldir   xy ; DRAM 上にコピー
0000A8 : 3D          dec     a ; 64K バイト / ループ
0000A9 : 20 FB      jr      nz, CPLOOP
0000AB :
0000AB : ED 4C 80 00 80 call3  SWITCH + RAMTOP
0000B0 :           ; DRAM のイメージ化設定
0000B0 :           ; コピーされた DRAM 上で実行する
0000B0 :
0000B0 : 00          nop ; %%%%%%%%%%%
0000B1 : 00          nop ; % 適宜 メインルーチンを記述する %
0000B2 : 00          nop ; %%%%%%%%%%%

```

本製品、および本書に記載された、情報・回路の使用に対して、当社は第三者の工業所有権、知的財産権、およびその他の権利に対する保証または実施権の許諾を行うものではありません。  
本製品は、外国為替および外国貿易管理法に定める戦略物資に該当しませんが、本製品を輸出する際には同法に基づく輸出許可が必要な場合があります。  
本製品を極めて高い信頼性が要求される用途にご使用の場合は、事前に当社営業までご連絡下さい。



LSI 事業部 営業部  
〒261-8501 千葉県美浜区中瀬 1-3-B11  
TEL(043) 296-7555(ダイヤルイン)  
FAX(043) 296-7419  
<http://www.kawatetsu-lsi.co.jp>

お問い合わせ先