四川大学计算机学院数字逻辑实验

实 验 报 告

学号：2020xxxxx 姓名：abc 专业：计算机 班级：x班 第 x 周

|  |  |  |  |
| --- | --- | --- | --- |
| 实验项目 | 实现布尔表达式 | 实验时间 | 2020.11.15 13:00-16:30 |
| 实验目的 | 通过实验，使学生学会根据布尔表达式实现与其对应的数字电路。 | | |
| 实验环境 | 硬件环境：华硕A555L、Basys 3实验板；  软件环境：Windows 10、Vivado 2014.2。 | | |
| 实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏）  （接上）  实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏）  （接上）  实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏）  （接上）  实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | **3.2.1 设计示例**  **一、实验内容：**使用第一部分介绍的基本门电路IP核，利用Vivado设计一个组合逻辑电路，实现布尔表达式Y = AB + AC + B’的逻辑功能。  **二、实验步骤：（先给出大体框架，每个条目下有详细过程）**  **1.分析表达式，A、B、C作为电路的输入信号。Y是电路的输出信号。根据表达式画卡诺图，观察是否可以化简，得到化简后的方程进行电路设计。**  **2.化简后Y = A + B’，由此画出电路原理图（如下）。**  **B**  **Y**  **A**  3.2.1的电路原理图  **3.根据方程与上面的逻辑电路图可知，仅需要IP核中的or\_gate（或门）和not\_gate（非门）。**  **4.创建新的工程，加载IP核。**  **5.创建原理图，进行原理设计。**  a)在Project Navigator下的IP Integrator目录下，点击Create Block Design，创建原理图。  b)保持默认，点击OK完成创建。  c)在Diagram中通过添加IP来添加逻辑门电路，添加一个或门和一个非门，按照上面的方程和手绘逻辑电路图连线（最终设计图如下）。  IMG_256  3.2.1的BD设计图（截屏）  **6.右击Block\_Designs中的design\_1，先点击“Generate Output Products”，然后点击“Create HDL Wrapper”。**  **7.打开Elaborated Design，配置管脚约束（I/O PLANNING）。**  IMG_256  本次实验中的管脚分配情况如下：  3.2.1的管脚分配情况（截屏）  （在Site栏，三个引脚A、B、Y分别设置为R3、R2、U14，分别与拨码开关SW11、SW15，和LED灯LD7相连。）  **8.综合、实现、生成bitstream，连接实验板至电脑，并将bit文件下载到实验板上。**  **9.完成板级验证。**  拨动拨码开关SW11和SW15，观察LED灯LD7的亮、灭情况，将所有情况一一拍照记录，并绘制记录表（真值表）。  （实验结果照片、真值表、结论和分析见“实验结果分析”中3.2.1部分）。   1. **成功完成实验目标，填写实验报告。**   **3.2.2 设计电路实现布尔表达式**  **一、实验内容：**根据表达式Y = (A’+ C’)(B +C’)(B + D)进行化简。根据化简的结果，并利用第一部分介绍的基本门电路IP核，仅使用**与非门**，利用Vivado设计一个组合逻辑电路实现4变量的布尔表达式。  **二、实验步骤：（先给出大体框架，每个条目下有详细过程）**  **1.分析表达式，A、B、C、D作为电路的输入信号。Y是电路的输出信号。根据表达式直接代数化简或者结合卡诺图化简（以下采用代数化简），得到化简后的方程进行电路设计。**  **2.化简过程如下：**  **Y = (A’+ C’)(B +C’)(B + D) = (A’+ C’)(B +C’D) = A’B + A’C’D +BC’+C’D = A’B + BC’+ C’D.**  **又因为要求仅使用与非门实现这个布尔表达式，那么又将上面的表达式化为** **由此画出逻辑电路图（如下）。**  **A**  **B**  **Y**  **C**  **D**  3.2.2的电路原理图（手绘）  **3.根据方程和上图可知，仅需要IP核中的nand\_gate（两输入与非门）和three\_input\_nand\_gate（三输入与非门）。**  **4.创建新的工程，加载IP核。**  **5.创建原理图，进行原理设计。**  a)在Project Navigator下的IP Integrator目录下，点击Create Block Design，创建原理图。  b)保持默认，点击OK完成创建。  c)在Diagram中通过添加IP来添加逻辑门电路。（添加5个两输入与非门和一个三输入与非门，按照上面的表达式和手绘逻辑电路图连线，得到如下图所示的最终结果。）  IMG_256  3.2.2的BD设计图（截屏）  **6.右击Block\_Designs中的design\_1，先点击“Generate Output Products”，然后点击“Create HDL Wrapper”。**  **7.打开Elaborated Design，配置管脚约束（I/O PLANNING）。**  本次实验中的管脚分配情况如下：  IMG_256  3.2.1的管脚分配情况（截屏）  （在Site栏，五个引脚A、B、C、D、Y分别设置为W17、W16、V16、V17和E19，分别与拨码开关SW3、SW2、SW1、SW0，和LED灯LD1相连。）  **8.综合、实现、生成bitstream，连接实验板至电脑，并将bit文件下载到实验板上。**  **9.完成板级验证。**  拨动拨码开关SW3、SW2、SW1、SW0，观察LED灯LD1的亮、灭情况，将所有情况一一拍照记录，并绘制记录表（真值表）。  （实验结果照片、真值表、结论和分析见“实验结果分析”中3.2.2部分）。  **10.成功完成实验目标，填写实验报告。** | | |
| 实验结果分析  （接上）  实验结果分析  （接上）  实验结果分析  （接上）  实验结果分析  （接上）  实验结果分析  （接上）  实验结果分析  （接上）  实验结果分析 | **3.2.1的实验结果分析**  **以下是本次实验（3.2.1）的实验结果照片（共计四种情况）。**其中拨码开关拨在上表示输入1（高电平），拨在下表示输入0（低电平）；LED灯亮，表示输出1（高电平），灭，表示输出0（低电平）。  A0_B0_Y1  （图一）  图一结论与分析：当输入A与B都为0（低电平）时，输出Y为1（高电平），符合本题要求的布尔表达式。  A0_B1_Y1  （图二）  图二结论与分析：当输入A为0（低电平），B为1（高电平）时，输出Y为0（低电平），符合本题要求的布尔表达式。  A1_B0_Y0  （图三）  图三结论与分析：当输入A为1（高电平），B为0（低电平）时，输出Y为1（高电平），符合本题要求的布尔表达式。  A1_B1_Y1  （图四）  图四结论与分析：当输入A为1（高电平），B为1（高电平）时，输出Y为1（高电平），符合本题要求的布尔表达式。  **本次实验结论与分析：**  记录实验结果，并作出其真值表得：  **根据实验3.2.1的结果绘制的真值表**   |  |  |  | | --- | --- | --- | | **A(SW11)** | **B(SW15)** | **Y(LD7)** | | 0 | 0 | 1 | | 0 | 1 | 0 | | 1 | 0 | 1 | | 1 | 1 | 1 |   不难发现，由该实验结果所绘制的真值表与布尔表达式Y = AB + AC + B’ = A + B’对应的真值表完全相同，可知本实验设计的组合逻辑电路成功实现了布尔表达式Y = AB + AC + B’的逻辑功能。实验目的已达成。  **3.2.2的实验结果分析**  **以下是本次实验（3.2.2）的实验结果照片（共计十六种情况）。**其中拨码开关拨在上表示输入1（高电平），拨在下表示输入0（低电平）；LED灯亮，表示输出1（高电平），灭，表示输出0（低电平）。  **IMG_20201115_154959**  （图一）A0,B0,C0,D0 Y0  IMG_20201115_155019  （图二）A0,B0,C0,D1 Y1  IMG_20201115_155015  （图三）A0,B0,C1,D0  IMG_20201115_155044  （图四）A0,B0,C1,D1  IMG_20201115_155011  （图五）A0,B1,C0,D0  IMG_20201115_155041  （图六）A0,B1,C0,D1  IMG_20201115_155038  （图七）A0,B1,C1,D0  IMG_20201115_160513  （图八）A0,B1,C1,D1  IMG_20201115_155005  （图九）A1,B0,C0,D0  IMG_20201115_155032  （图十）A1,B0,C0,D1  IMG_20201115_155027  （图十一）A1,B0,C1,D0  （图十二）【漏了做这个】  IMG_20201115_155024  （图十三）A1,B1,C0,D0  （图十四）【漏了做这个】  IMG_20201115_160507  （图十五）A1,B1,C1,D0  IMG_20201115_160519  （图十六）A1,B1,C1,D1  **本实验结论与分析：**  不难发现，由该实验结果所绘制的真值表与布尔表达式Y = (A’+ C’)(B +C’)(B + D)对应的真值表完全相同，可知本实验**仅用与非门**设计的组合逻辑电路成功实现了布尔表达式Y = (A’+ C’)(B +C’)(B + D)的逻辑功能。实验结果的显示与数字逻辑的设计完全吻合，实验目的已达成。  **根据实验3.2.2结果绘制的真值表**   |  |  |  |  |  | | --- | --- | --- | --- | --- | | **A(SW3)** | **B(SW2)** | **C(SW1)** | **D(SW0)** | **Y(LED:LD1)** | | 0 | 0 | 0 | 0 | 0 | | 0 | 0 | 0 | 1 | 1 | | 0 | 0 | 1 | 0 | 0 | | 0 | 0 | 1 | 1 | 0 | | 0 | 1 | 0 | 0 | 1 | | 0 | 1 | 0 | 1 | 1 | | 0 | 1 | 1 | 0 | 1 | | 0 | 1 | 1 | 1 | 1 | | 1 | 0 | 0 | 0 | 0 | | 1 | 0 | 0 | 1 | 1 | | 1 | 0 | 1 | 0 | 0 | | 1 | 0 | 1 | 1 | 0 | | 1 | 1 | 0 | 0 | 1 | | 1 | 1 | 0 | 1 | 1 | | 1 | 1 | 1 | 0 | 0 | | 1 | 1 | 1 | 1 | 0 | | **化简结果** | ***Y = A’B + BC’+ C’D*** | | | | | | |
| 实验方案的缺陷及改进意见 | 无 | | |
| 心得体会、问题讨论 | 实践是检验真理的唯一标准，这是我们都相信的真理。通过这次亲手实验，我成功巩固了《数字逻辑》课堂上“布尔表达式”的相关内容，还学会了利用Vivado进行硬件编程的方法，更学会了独立分析、解决问题的能力。 | | |
| 指导老师评 议 | 成绩评定： 指导教师签名： | | |