四川大学计算机学院数字逻辑实验

实 验 报 告

学号：2020xxxx 姓名：xxx 专业：计算机类 班级：x班 第 14 周

|  |  |  |  |
| --- | --- | --- | --- |
| 实验项目 | 利用多路复用器实现逻辑函数 | 实验时间 | 2020.12.3 20:00-22:30 |
| 实验目的 | 使用一个四选一多路复用器实现Y=abc+ab’+a’bc。 | | |
| 实验环境 | 硬件环境：华硕A55L、Basys 3实验板；  软件环境：Windows 10、Vivado 2014.2。 | | |
| 实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏）  （接上）  实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | 实验6.2.2  下图 是多路选择器的电路图。我们将依据此图来进行设计。    1）分析输入、输出；根据方程和 IP 核库判断需要使用的门电路以及个数。  2）创建新的工程，加载需要使用的 IP 核。  3）创建 BD 设计文件，添加你所需要的 IP 核，进行端口设置和连线操作。  4）完成原理图设计后，生成顶层文件（Generate Output Products）和 HDL 代码文  件（Create HDL Wrapper）。   1. 配置管脚约束（I/O PLANNING），为输入指定相应的拨码开关，为输出指定相应的 led 灯显示。     6）综合、实现、生成 bitstream。  7）仿真验证    IMG_20201207_233206  D0=0，D1=c，D2=1，D3=c | | |
| 实验结果分析  （接上）  实验结果分析 | IMG_20201207_221846  A=0,b=1,y=1  C=1  IMG_20201207_221856  A=1,b=0,y=1  C=0  IMG_20201207_221905  A=1,b=0,y=1  C=1  IMG_20201207_221929  A=1,b=1,y=1 | | |
| 实验方案的缺陷及改进意见 | 1要关注好引脚的设置，避免错看引脚导致实验分析失败。  引脚设置要更加明显才能便于观察出结果，对引脚对应要多加观察。 | | |
| 心得体会 | 对多路选择器的了解更多了，明白了基本逻辑流程，在vivado使用过程中遇到了许多困难，但大多通过自己搜索解决了。电路图的变化有很多种，在这次实验中我收获了许多，vivado软件操作更加熟练了。 | | |
| 指导老师评 议 | 成绩评定： 指导教师签名： | | |