四川大学计算机学院数字逻辑实验

实 验 报 告

学号：2020xxxx 姓名：xxx 专业：计算机类 班级：x班 第 15 周

|  |  |  |  |
| --- | --- | --- | --- |
| 实验项目 | 设计实验4 位循环移位寄存器 | 实验时间 | 2020.12.8 20:00-22:30 |
| 实验目的 | 通过实验，学会设计寄存器，设计一个 4 位循环移位寄存器（IP 核 D\_FF  （带低有效置位复位的下降沿 D 触发器）和 lab\_clk（时钟分频））。 | | |
| 实验环境 | 硬件环境：华硕A55L、Basys 3实验板；  软件环境：Windows 10、Vivado 2014.2。 | | |
| 实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏）  （接上）  实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | 8.2.2 4 位循环移位寄存器  图 7-4 是 4 位循环移位寄存器的原理图。我们将依据此图来进行设计。    实验步骤：   1. 分析输入、输出；根据原理图和 IP 核库判断需要使用的门电路以及个数。 2. （2） 按照第二章模块化设计流程，新建工程，并且导入正确的 IP 核，准备新建   BlockDesign 文件。  （3） 参考图 7-5，在导入的 IP 核中选择 D 触发器进行 BlockDesign 设计，并且加  入清零和置位功能接口，清零端和置位端都是低有效，将上一个寄存器的输  出接到下一个寄存器的输出端，最后一个寄存器的输出接到第一个寄存器的  输入，实现循环移位。  IMG_256  BD设计图  （4） BD 文件设计好之后，点击 Generate Output Products 和 Create HDL Wrapper，  之后进入 RTL 分析，进行引脚分配如图 7-6。  （5） 把寄存器输入，清零端和置位端接到开关引脚上面，把输出接到 LED 灯引脚  上面，把 CLK 接到时钟 W5 引脚上。  （6） 引脚分配完成之后进行综合，分析，生成比特流，最后下载到实验板上面进  行验证实验结果：当清零端为低电平时，四个 LED 灯都不亮代表寄存器输出  为 0，当置位端为低电平时四个 LED 灯全部亮，代表寄存器输出为 1，当清  零和置位端为高电平时，LED 会根据存储在寄存器中的内容进行循环位移。  实际操作时应注意先使用CLR开关清零，然后使用PRE开关置位（如0100），  然后将 5 个开关都同时置为高电平，这样才能观察到开始循环移位。  0F$JUPRD2V$SLSHD}]QKCL5  注意事项：  （1） 实验板 W5 引脚的时钟频率为 100MHz。  （2） IP 核中 lab\_clk 为分频器输入频率为 100MHz，输出频率为 2Hz。  （3） 正沿触发 D 触发器的清零端 clr 和置位端 pre 低电平有效，不能留有空脚，否则  无法实现清零和置位功能。  （4） 本实验引脚分配较多，在引脚分配时要注意，最好按照开关，LED 灯对应分配，  方便观察实验现象。  （5） 在设计 4 位并行输入并行输出寄存器时 CLK 直接接到 W5 引脚，因为时钟频率很  快，在输入和输出之间几乎没有时间差；若输入后输出无变化，检查清零端是否  有效。  （6） 在设计 4 位循环移位寄存器时，CLK 经过 lab\_clk 分频器频率降为 2Hz，在实验板  上验证实验时，首先将置位端和清零端都设置为高电平，既开关处于闭合状态，  然后置位端开始进行置数，但是要注意置位时间，时钟频率为 2Hz，每隔 0.5 秒  就进行  一  次位移，如果置位时间过长 LED 灯被全部点亮就无法观察到循环过程。  实验问题分析：  （1） 在并行输入输出寄存器中 LED 灯一直亮，检查输入端口引脚是否为空，若输入端 口引脚为空，则输入和输出都为高电位 LED 灯会一直亮，应将输入引脚接到开关 引脚上。  （2） 若置位端和清零端失效，检查对应端口引脚是否为空，置位端和清零端都是低电  平有效，空脚输入为高电平，置位和清零功能失效。  （3） 若循环右移寄存器观察不到循环位移，检测时钟是否进行分频，若未进行分频，  时钟频率过高循环过快，无法观察到 LED 灯闪烁，对时钟频率分频降低频率，方  便观查现象 | | |
| 实验结果分析 | IMG_20201214_222118  IMG_20201214_223022  IMG_20201214_222955  VID_20201214_215121 00_00_00-00_00_30  （这是个GIF，但是在word看不了，另外发一张）  右边第二个是CLR  图片最左边的灯是多余的Qn输出  后面尝试了1010的输入方式  IMG_20201214_221119  IMG_20201214_221232 | | |
| 实验方案的缺陷及改进意见 | 要关注好引脚的设置，避免错看引脚导致实验分析失败。  引脚设置要更加明显才能便于观察出结果，对引脚对应要多加观察。 | | |
| 心得体会 | 对寄存器的了解更多了，明白了基本逻辑流程，在vivado使用过程中遇到了许多困难，但大多通过自己搜索解决了。电路图的变化有很多种，在这次实验中我收获了许多，vivado软件操作更加熟练了。 | | |
| 指导老师评 议 | 成绩评定： 指导教师签名： | | |