四川大学计算机学院数字逻辑实验

实 验 报 告

学号：2020xxx 姓名：xx 专业：计算机类 班级：x班 第 16 周

|  |  |  |  |
| --- | --- | --- | --- |
| 实验项目 | 设计一个模 8 异步计数器和一个模 5 计数器。 | 实验时间 | 2020.12.20 20:00-22:30 |
| 实验目的 | 通过实验，使学生深入理解计数器的工作原理，学会设计和使用计数器。设计一个模 8 异步计数器和一个模 5 计数器。可使用的 IP 核包括：JK\_FF（带低  有效置位复位的下降沿触发 JK 触发器）和 lab\_clk（时钟分频模块）。 | | |
| 实验环境 | 硬件环境：华硕A55L、Basys 3实验板；  软件环境：Windows 10、Vivado 2014.2。 | | |
| 实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏）  （接上）  实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | 8.2.1 模 8 异步计数器  下图是模 8 异步计数器的原理图。我们将依据此图来进行设计。    实验步骤：  （1） 分析输入、输出；根据方程和 IP 核库判断需要使用的门电路以及个数。  （2） 按照第二章模块化设计流程新建工程，并且导入正确的 IP 核，准备新建  BlockDesign 文件。为了方便观察结果，使用时钟分频模块对时钟进行分频。   1. 参考图 7-2，在导入的 IP 核中选择 JK\_FF 和 lab\_clk 进行 BlockDesign 设计。   IMG_256     1. BD 文件设计好之后，点击 GenerateOutputProducts 和 CreateHDLWrapper，之 后进入 RTL 分析，进行引脚分配如下图   IMG_256  （12）把寄存器输入，清零端和置位端接到开关引脚上面，把输出接到 LED 灯引脚  上面，把 CLK 接到时钟 W5 引脚上。   1. 引脚分配完成之后进行综合，分析，生成比特流。   （14）最后下载到实验板上面进行验证实验结果：将 K 端接入高电平后应观察到Q2Q1Q0 呈现 000-001-010-011-100-101-110-111-000 的循环。 8.2.2 模 5 计数器 在101时接和与非门连接 | | |
| 实验结果分析 | IMG_20201222_090519  IMG_20201222_090518  实验成功，并拍摄了部分过程图  IMG_20201222_090517 | | |
| 实验方案的缺陷及改进意见 | 要关注好引脚的设置，避免错看引脚导致实验分析失败。  引脚设置要更加明显才能便于观察出结果，对引脚对应要多加观察。  Reset端和set端要记得设计引脚，并记住低电平有效 | | |
| 心得体会 | 对计数器的了解更多了，明白了基本逻辑流程，在vivado使用过程中遇到了许多困难，但大多通过自己搜索解决了。电路图的变化有很多种，在这次实验中我收获了许多，vivado软件操作更加熟练了。 | | |
| 指导老师评 议 | 成绩评定： 指导教师签名： | | |