四川大学计算机学院数字逻辑实验

实 验 报 告

学号：2020xxxx 姓名：xxx 专业：计算机类 班级：x班 第 18 周

|  |  |  |  |
| --- | --- | --- | --- |
| 实验项目 | 使用尽可能少的 D 触发器设计一个 4 位流水灯 | 实验时间 | 2021.1.1 20:00-22:30 |
| 实验目的 | 通过实验，使学生学会简单的时序逻辑设计。要求：4 盏灯一字排列，从右到  左，灯依次点亮熄灭，前一盏灯熄灭后，后一盏灯点亮。用 1 表示点亮，0 表示熄灭的  话，那么 LED 灯呈现 0001->0010->0100->1000->0001 的循环。该电路还应该有一个使  能开关，当开关闭合时，电路开始工作，否则电路保持在 0000。 | | |
| 实验环境 | 硬件环境：华硕A55L、Basys 3实验板；  软件环境：Windows 10、Vivado 2014.2。 | | |
| 实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏）  （接上）  实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | 9.2 实验步骤  1） 分析输入、输出；列出状态图、状态表、状态方程。设状态 Q1Q2Q3，转换表如下  IMG_20210103_172553  图 转换表示例   1. 输出方程和状态方程：   IMG_20210103_173056  3） 根据方程和已有 IP 核判断需要使用的门电路以及个数。  4） 新建工程，并且导入正确的 IP 核，准备新建 BlockDesign 文件，根据原理图连线。    5） 完成原理图设计后，生成顶层文件（Generate Output Products）和 HDL 代码文件  （Create HDL Wrapper）。   1. 配置管脚约束（I/O PLANNING）。      1. 综合、实现、生成 bitstream。   8） 下载程序到实验板，进行板级功能验证。 | | |
| 实验结果分析 | IMG_20210103_180624  IMG_20210103_180530  IMG_20210103_180521  IMG_20210103_180527  上述图片依次为0001,0010,0100,1000  三个开关全部为高位 | | |
| 实验方案的缺陷及改进意见 | 因为没有四输入与门，需要用四输入与非门以及非门进行组合  不能让set以及reset悬空  Set和reset不能同时接同一个开关  要关注好引脚的设置，避免错看引脚导致实验分析失败。  引脚设置要更加明显才能便于观察出结果，对引脚对应要多加观察。 | | |
| 心得体会 | 对时序逻辑的了解更多，明白了基本逻辑流程，明白了流水灯的基本操作步骤，在vivado使用过程中遇到了许多困难，但大多通过自己搜索解决了。电路图的变化有很多种，在这次实验中我收获了许多，vivado软件操作更加熟练了。 | | |
| 指导老师评 议 | 成绩评定： 指导教师签名： | | |