

# 嵌入式 SoC 第三次实验

## 一、概述

本次实验将通过高层次综合（High-Level-Synthesis, HLS）的方法，在 Zynq 的 PL 中实现一个 kNN 算法的加速单元。

## 二、文件清单

在 Lab3.zip 中，相比 Lab2B **添加或更新**了如下文件：

- digitrec.cpp 添加 dut (design under test)函数用于高层次综合
- digitrec.h 添加 dut (design under test)函数用于高层次综合
- host.cpp 主函数，新增调用 xillybus 读写的接口
- digitrec-test.cpp 在 Vivado HLS 中用于测试

## 三、实验任务

1. 在 Vivado HLS 中新建工程，依次进行 C 仿真，高层次综合和 C-RTL 联合仿真，验证设计的正确性，最终生成 IP。以上过程可以参考 Vivado HLS User Guide (见网络学堂-课程文件)。
2. 在 Xillybus-demo 工程中添加上述 IP，重新生成 bitstream 并复制到 Zedboard 的 SD 卡上。该过程可以参考 Xillybus Block Design Flow (见网络学堂-课程文件)。
3. 编译并运行 host.cpp，观察运行结果。
4. 优化运行速度和资源开销（选做），可能的方法包括：
  - a) 优化 kNN 的 C++实现方式，可参考 Vivado HLS User Guide Chapter 3.
  - b) 为 HLS 添加优化，可参考 Vivado HLS User Guide Chapter 1 – Optimizing the design.
  - c) 使用自定义数据类型，可参考 Vivado HLS User Guide Chapter 2 – C++ Arbitrary Precision Integer Types.

## 四、提交方式

代码和实验报告打包提交到网络学堂。实验报告两页以内，包括算法执行结果（运行时间、错误率、与上次实验软件实现方式的比较）、HLS 的结果（资源开销）和优化后结果（选做）。

## 五、致谢

本实验源自 High-Level Digital Design Automation (Cornell University ECE 5775)