

## 基于 USB 2.0 接口的高速数据采集系统

### 摘 要

针对现有的高速数据采集处理卡一般采用高性能数字信号处理器（DSP）和高速总线技术框架结构的不足，提出基于 USB 2.0 协议、最高采样速度达 24MPS（每秒样点数 Mega-samples Per Second）的高速同步数据采集系统新思路。在该系统中，USB 接口控制及通信芯片采用 Cypress 公司 FX2 系列中的新产品 CY7C68013A-100AXC（100 脚 TQFP 封装），片内集成有工作在 48MHz 的 8051 单片机内核以及大小为 16k 的 RAM。整个系统的模拟输入部分核心是 Analog Device（AD）公司生产的 8 位 24Msps 的低能耗 A/D 转换器 AD775，基准源采用 AD780 产生的 3.0V 电压，在模拟输入前端采取了缓冲保护措施——运放+三极管，数字输出端采取了三态隔离措施——74HC541 三态门电路。在 A/D 采集部分与 USB 接口控制及通信芯片部分之间设置了一个 16Kbyte 的高速 FIFO 以便在高速采集的过程中起到缓冲稳定的功效。另外，为了尽可能的抑制外部干扰，采用了许多抗干扰措施。由于 CY7C68013 配置有串口，所以系统还装有两个 RS-232 串行通信接口（MAX3232 完成 TTL/CMOS 电平——RS-232 电平转换）以便调试过程中使用，配置一片 64Kbyte 的 EEPROM 用于存放固件程序，上电后自动装载入 CY7C68013 的 8051 内核中开始执行，为了便于更换和烧写，这一片 MICRO 公司 EEPROM 是整个系统中唯一一片双列直插式芯片。在系统分步调试集成完毕后，通过对 USB 接口芯片 CY7C68013A-100AXC 的可编程接口控制逻辑的合理设计和芯片内部 FIFO 的有效运用，实现了数据的高速连续采样。最后由片内的“USB 引擎”打包为 USB 数据帧传送至 PC 机，由用户程序保存并进一步处理。这个高速同步数据采集系统具有使用便捷，数据传递迅速，成本低廉等特点。

**关键词：**USB 2.0 协议，高速数据采集，CY7C68013，可编程控制接口，FIFO

## High Speed Data Acquisition System based on USB 2.0 Interface

### Abstract

In order to improve performance of existing data logging systems, a high speed data acquisition system has been investigated based on the USB 2.0 protocol with the sampling rate up to 24 Msps (Mega-Samples per Second). The core of this device is CY7C68013 which belongs to a family of FX2. Cypress's EZ-USB FX2<sup>TM</sup> was the first USB 2.0 integrated microcontroller in the world. A USB 2.0 transceiver, SIE, the enhanced 8051 microcontroller, and a programmable peripheral interface are integrated into a single chip. The A/D converter employs AD775, which is a CMOS, low power, 8-bit, 20 MSPS sampling analog-digital converter (ADC). The AD775 has a built-in sampling function and a reference-bias-resistor to provide a complete 8-bit ADC solution. The AD775 utilizes a pipelined/ping pong two step flash architecture to provide high sampling rates (up to 35 MHz) while maintaining very low power consumption (60 mW). An input buffer is used between the analog signal and the AD775. Also, an output buffer 74HC541 is connected to the digital output of AD775. Considering the high speed data transfer between AD775 and CY7C68013, a 16 Kbytes FIFO is put between them. Additional, many anti-interference measures were adopted. In order to enable online debugging, two RS-232 serial ports are configured with the MAX3232. The 64 Kbytes EEPROM is used to store the firmware program which will be automatically downloaded into 8051 core at the beginning of the system initialization. This EEPROM, which is produced by MICRO Co. Ltd., is the only DIP package chip in the system. For it can easily be unplugged. After the assembly and debug, the system could perform high speed sampling and transfer with a well-designed the GPIF and control logic. The data will be packed into USB frames and transferred to PC where the GUI will display and store them. The system is easy to use, low in cost. Data logging and transfer is swift as well.

**Keywords:** USB2.0, protocol high speed, DAQ CY7C68013, GPIF FIFO

## 目 录

摘 要.....	- I -
Abstract.....	- II -
1 选题背景.....	- 6 -
1.1 发展现状 .....	- 6 -
1.2 设计构想 .....	- 8 -
1.3 设计目标 .....	- 9 -
2 实施方案论证.....	- 10 -
2.1 方案一 .....	- 10 -
2.2 方案二 .....	- 10 -
2.3 方案三 .....	- 11 -
2.4 方案四 .....	- 12 -
2.5 方案比较 .....	- 12 -
2.6 结论 .....	- 14 -
3 模块设计及实验过程.....	- 15 -
3.1 直流电源部分 .....	- 15 -
3.1.1 电源的选择.....	- 15 -
3.1.2 稳压电源设计.....	- 15 -
3.1.3 电源滤波.....	- 16 -
3.1.4 电源滤波电路及仿真.....	- 18 -
3.2 模/数转换部分 .....	- 23 -
3.2.1 试验用 ADC 设计（万用板） .....	- 23 -
3.2.2 试验用 ADC 设计（PCB 板） .....	- 27 -
3.2.3 ADC 芯片的选择与定型 .....	- 31 -
3.2.4 ADC 芯片及其外围电路 .....	- 31 -

3.2.5 接地问题.....	37 -
3.2.6 输入缓冲电路及仿真.....	41 -
3.3 USB 接口部分.....	42 -
3.3.1 CY7C68013 介绍 .....	42 -
3.3.2 CY7C68013 扩展板 Version No. 1 .....	49 -
3.3.2 CY7C68013 扩展板修改版 Version No. 2.....	52 -
3.3.3 CY7C4265 介绍 .....	54 -
3.3.4 CY7C4265 FIFO 扩展板 .....	54 -
3.3.5 EEPROM 的使用 .....	57 -
3.4 各部分连接及调试 .....	58 -
3.4.1 线路连接.....	58 -
3.4.1 系统调试.....	59 -
4 集成设计及实验过程 .....	60 -
4.1 硬件部分 .....	60 -
4.1.1 原理图设计.....	60 -
4.1.2 PCB 版图设计 .....	61 -
4.1.3 布局与布线设计.....	63 -
4.2 软件部分 .....	64 -
4.2.1 固件程序.....	64 -
4.2.2 USB 设备驱动程序 .....	65 -
4.2.3 用户应用程序 .....	66 -
4.3 集成调试 .....	67 -
5 总结与展望 .....	69 -
致谢.....	70 -
参考文献.....	71 -

## 图 表 目 录

图 1-1	设计构想之一 .....	- 8 -
图 1-2	设计构想之二 .....	- 8 -
图 1-3	设计思路确定 .....	- 9 -
图 2-1	设计方案一 .....	- 10 -
图 2-2	设计方案二 .....	- 11 -
图 2-3	设计方案三 .....	- 12 -
图 2-4	设计方案四 .....	- 12 -
图 3-1	稳压电源设计 .....	- 15 -
图 3-2	稳压电源模块 .....	- 16 -
图 3-3	稳压电源滤波定量分析 .....	- 16 -
图 3-4	电源滤波电路及仿真 (1) .....	- 19 -
图 3-5	电源滤波电路及仿真 (2) .....	- 19 -
图 3-6	电源滤波电路及仿真 (3) .....	- 20 -
图 3-7	电源滤波电路及仿真 (4) .....	- 21 -
图 3-8	电源滤波电路及仿真 (5) .....	- 21 -
图 3-9	电源滤波电路及仿真 (6) .....	- 22 -
图 3-10	电源滤波电路及仿真 (7) .....	- 22 -
图 3-11	电源滤波电路及仿真 (8) .....	- 23 -
图 3-12	简单的 A/D 电路 .....	- 23 -
图 3-13	简单的 A/D 电路实验板 .....	- 24 -
图 3-14	A/D 电路内部结构图.....	- 26 -
图 3-15	A/D 电路 PCB 图.....	- 27 -
图 3-16	A/D 电路原理图.....	- 28 -
图 3-17	A/D 电路 PCB 图.....	- 29 -

图 3-18 74LS161 逻辑电路图和引脚定义.....	- 30 -
图 3-19 74LS161 功能表.....	- 31 -
图 3-20 AD775 逻辑电路图和引脚定义.....	- 32 -
图 3-21 AD817 引脚图.....	- 33 -
图 3-22 AD780 功能图和引脚定义.....	- 33 -
图 3-23 AD780 功能图和引脚定义.....	- 34 -
图 3-24 74LS541 三态高速 CMOS 八进制缓冲/驱动器功能图.	- 35 -
图 3-25 A/D 外围电路图.....	- 36 -
图 3-26 A/D 偶合去噪示意图 (1) .....	- 38 -
图 3-27 A/D 偶合去噪示意图 (2) .....	- 39 -
图 3-28 AD775 输入缓冲电路.....	- 41 -
图 3-29 AD775 输入缓冲电路响应波形 (1) .....	- 41 -
图 3-30 AD775 输入缓冲电路响应波形 (2) .....	- 42 -
图 3-31 CY7C68013 微处理器结构图.....	- 43 -
图 3-32 CY7C68013 内部数据结构图.....	- 45 -
图 3-33 CY7C68013 FX2FIFO 在 Slave FIFO 模式.....	- 46 -
图 3-34 CY7C68013 FX2FIFO 在 GPIF Master 模式.....	- 47 -
图 3-35 CY7C68013 扩展板电路 .....	- 49 -
图 3-36 CY7C68013 扩展板 PCB 图 .....	- 50 -
图 3-37 CY7C68013 扩展板样品 .....	- 51 -
图 3- 38 CY7C68013 扩展板修改版布线图 .....	- 52 -
图 3-39 CY7C68013 扩展电路修改版 PCB 布线图 .....	- 53 -
图 3-40 CY7C68013 扩展电路修改版样品 .....	- 54 -
图 3-41 CY7C4265 FIFO 扩展板电路原理图.....	- 55 -
图 3- 42 CY7C4265 FIFO 扩展板电路 PCB 图.....	- 56 -

图 3-43 CY7C4265 FIFO 扩展板电路样品.....	- 57 -
图 3-44 系统连接实物照片 .....	- 58 -
图 3-45 系统接线示意图 .....	- 58 -
图 4-1 系统电路原理图.....	- 60 -
图 4-2 系统电路 PCB 图 (1) .....	- 61 -
图 4-3 系统电路 PCB 图 (2) .....	- 62 -
图 4-4 系统电路实物照片.....	- 63 -
图 4-5 系统程序框图.....	- 64 -
图 4-6 WDM 采用分层驱动程序模型.....	- 65 -
图 4-7 应用程序主流程图 .....	- 66 -
图 4-8 系统输出方向的数据流.....	- 67 -
图 4-9 系统输入方向的数据流.....	- 67 -
图 4-10 系统集成调试窗口.....	- 68 -
表 2-1 方案比较.....	- 13 -
表 3-1 74LS04 反相器状态.....	- 34 -
表 3-2 74LS541 状态表.....	- 35 -
表 3-3 FX2 中断资源.....	- 47 -

# 1 选题背景

## 1.1 发展现状

基于数字信号处理理论和计算机技术的不断发展,现代工业生产和科学技术研究都需要借助于数字处理方法。进行数字处理的先决条件是将所研究的对象进行数字化,因此数据采集与处理技术日益得到重视。在图像处理、瞬态信号检测、工业过程检测和监控等领域,更是要求高速度、高精度、高实时性的数据采集与处理技术。现在的高速数据采集处理卡一般采用高性能数字信号处理器(DSP)和高速总线技术的框架结构。DSP 用于完成计算量巨大的实时处理算法,高速总线技术则完成处理结果或者采样数据的快速传输。DSP 主要采用 TI 或者 ADI 公司的产品,高速总线可以采用 ISA、PCI、USB 等总线技术<sup>[1-8]</sup>。

目前常用的构成高速数据采集系统的方法有四种。(1) 基于 PCI 总线的数据采集系统。该系统虽然使用比较广泛,有很多优点,但是存在如下严重缺陷:第一,受计算机插槽数量的地址、中断资源的限制而不可能挂接很多设备;第二,它位于机箱内部,不便于拆卸,需要打开机箱外壳;第三,在机箱环境内部要考虑电磁屏蔽的问题,易受机箱内环境的影响;第四,它的安装尺寸受到机壳限制。这些问题遏制了基于 PCI 总线的数据采集系统的进一步开发和应用。(2) 基于 FPGA (Field Programmable Gate Array) 的高速数据采集系统。由于 FPGA 具有很高的工作速度,研究学者曾考虑使用 FPGA 控制采集和测量红外遥控码<sup>[8-12]</sup>。系统由 FPGA 的内部的计数器对红外遥控码的载波脉宽进行计数,并将每一个计数值交给单片机,由单片机将计数值存进 RAM,最后由单片机完成与 PC 机的数据通信。但此方案可能会在 FPGA 与单片机的接口出现“瓶颈”效应。即可能出现单片机还没有传送完上一个脉宽的计数值,就必须中断传送下一个脉宽的计数值,从而导致数据的流失。欲解决此问题,可采用 DMA 方式。即 FPGA 直接将采集到的红外遥控码的脉宽值写进外部 RAM,采集完后再从 RAM 读出数据送给单片机,由单片机完成和 PC 机通信。由于 FPGA 和 RAM 都是高速器件,所以不会在接口上产生“瓶颈”。(3) 基于 DSP 和 USB2.0 接口的高速数据采集系统。随着计算机技术的迅速发展,对外部总线速度的要求越来越高。通用串行总线(Universal Serial Bus, 即 USB 总线)凭借其即插即用、热插拔以及较高的传输



速率等优点，成为 PC 机与外设连接的普遍标准。USB 总线由于具有安装方便、高带宽、易扩展等优点，其中 USB2.0 标准有着高达 480Mbps 的传输速率，已经逐渐成为计算机接口的主流。刘宁艳等作者设计并实现了基于 TMS320C32 和 USB 芯片的一套高速、高精度数据采集分析系统<sup>[13-18]</sup>。该系统由 TMS320C32 微处理器芯片、USB 芯片 FX2、ADC 芯片 ADS8364、CPLD(Complex Programmable Logic Device)、FIFO 存储器及其外围电路组成。原始信号通过处理变成 A/D 可以采样的信号后送入 DSP 采集系统，DSP 系统通过高速、高精度 A/D 转换器 ADS8364 对输入电压信号进行单通道或多通道的采样，将 16 位采样结果存储在双 FIFO 存储器中。当其中一个 FIFO 存满，USB 系统将数据从该 FIFO 存储器中读出，由收发器通过数据线送至主机，同时另一个 FIFO 开始进行存储。该系统适用于多通道的高速采样，采样频率可以预置，以适应不同频率的输入信号。但是该系统结构非常复杂而且成本高。(4) 基于 USB 和串行 A/D 转换的数据采集系统。作者张雄希等利用 89C51 单片机设计了基于 USB 总线的数据采集设备，并可与 MAX485 结合起来实现数据的远程采集<sup>[19-26]</sup>。多路模拟输入信号经多路模拟开关控制将其中的一路接入串行 A/D 转换器，A/D 转换器经光电隔离后串行输出到移位寄存器，移位寄存器将此结果转为 8 位并行数据，89C51 系统通过 8 位的并行接口传送 A/D 转换器采集的数据，存储在 FIFO 存储器中；一旦 FIFO 存满，SIE 立刻对数据进行处理，然后 89C51 系统将数据从 FIFO 存储器中读出，由收发器通过数据线送至主机。该系统仍存在与单片机接口的“瓶颈”现象。

通过总结和对比现有构成高速数据采集系统的方法，作者希望综合上述诸方法的优点并且权衡它们的不足，以 Cypress 公司的 EZ-USB FX2 系列中的 CY7C68013 (128 pin) 芯片作为核心控制器件，设计和开发一套符合 USB2.0 标准的高速同步数据采集系统，具有使用便捷，数据传递迅速，成本低廉等特点。

## 1.2 设计构想

(1) 利用 FPGA 芯片的可在线配置、以硬线连接代替软件算法、高速大容量等特性，搭建一个高速数据采集系统。（这一阶段还未考虑与 PC 机的接口问题）如图 1-1 所示。

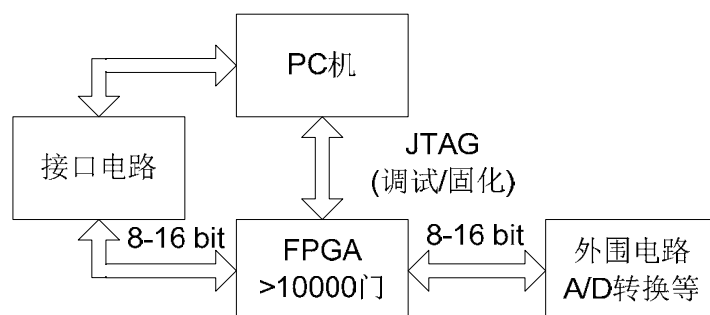


图 1-1 设计构想之一

(2) 考虑到 FPGA 为平行 I/O 的器件，其本身与电脑直接连接有困难（PC 机的并口已经被 JTAG 占用，且并行传输容易受到干扰），因此，将 FPGA 的作用局限于一个高速的 FIFO，并对数据进行一定的处理运算。由于 FPGA 以硬线连接代替软件算法，这种处理运算将是高速进行的。如图 1-2 所示。

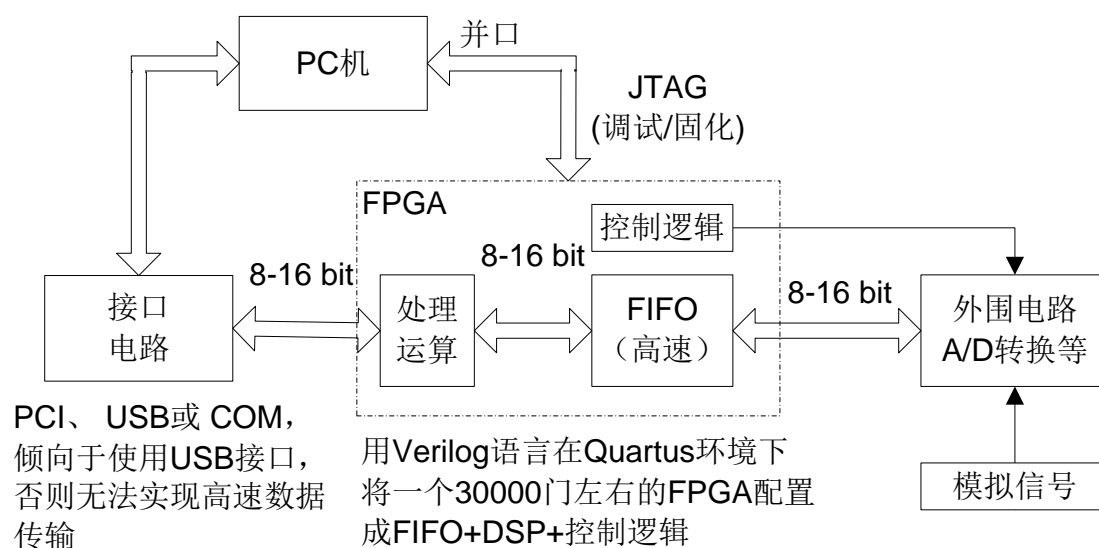


图 1-2 设计构想之二

### 1.3 设计目标

决定利用 USB 接口后,可供选择的 USB 接口控制芯片并不多,主要有下面两种 (Cypress 公司也有几款兼容 USB1.1 协议的芯片,但运用并不广泛):

(1) Philip 公司的 D12 芯片,兼容 USB1.1 协议,最高传输速度 12Mbps。

(2) Cypress 公司 FX2 系列中的 CY7C68013 芯片,支持 USB2.0 协议,其对 PC 机最高传输速度 480Mbps,对外围的 GPIF 接口可达 96Mbps。D12 比较成熟,相关资料、产品众多,但是过于简单低速,集成度不高。CY7C68013 是新产品,资料相对较少,但是支持 USB 2.0,集成度高。综合考虑,选择 CY7C68013 作为接口芯片。

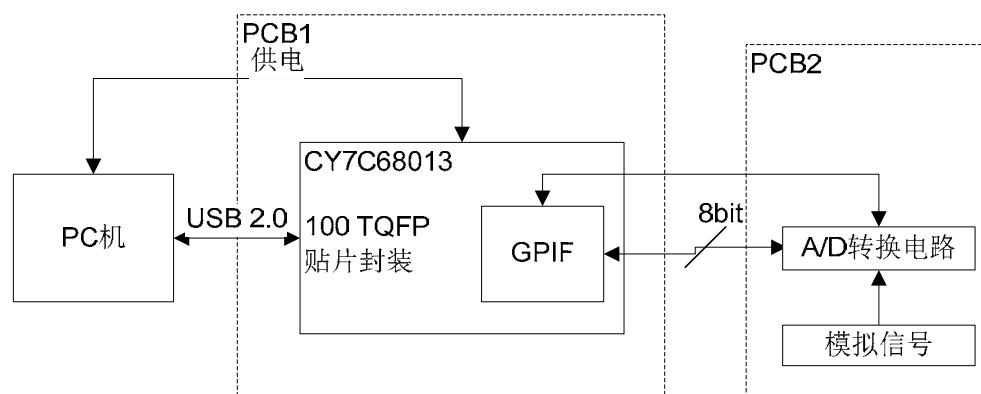


图 1-3 设计思路确定

综上所述,该项目的设计目标是:以 CY7C68013 为核心芯片,利用其 GPIF (General Programmable Interface) 接口读入 A/D 转换结果并控制 A/D 转换,考虑到这是一种新的设计思路,需要进行原理实验。因而初步决定使用 8 位 A/D 转换器。读入的 A/D 转换结果被打包为 USB 数据帧,通过 USB 接口传送至 PC 机。系统框图如图 1-3 所示。这样一来,通过利用 USB 2.0 的高速模式,以及 GPIF 接口的速度优势,从模拟信号的采集到数据传输至 PC 机的路径就完全打通,并且这其中没有任何瓶颈的限制,因为各个部分的速度是匹配的。

## 2 实施方案论证

### 2.1 方案一

为节约成本，设计  $6.2 \times 9$  cm 小块的 PCB 板，只放置主芯片 100 脚的 CY7C68013，主频设定为 48 兆赫和其最小化配置电路（12MHz 晶体振荡器，5V 转换 3.3V 电源电路、复位电路、上拉电阻和一些必要的电容），I/O 口为 IDC 双排插针，可用扁平电缆引出。再利用万用板搭载简单的（8 位）A/D 转换电路、I/O 口测试电路、电源滤波电路以及模拟信号处理电路。两块电路板共地，它们之间用扁平电缆连接。方案一的原理图如图 2-1 所示（PCB 板和万用板接线图详见第 3.2.1、第 3.2.2 节）

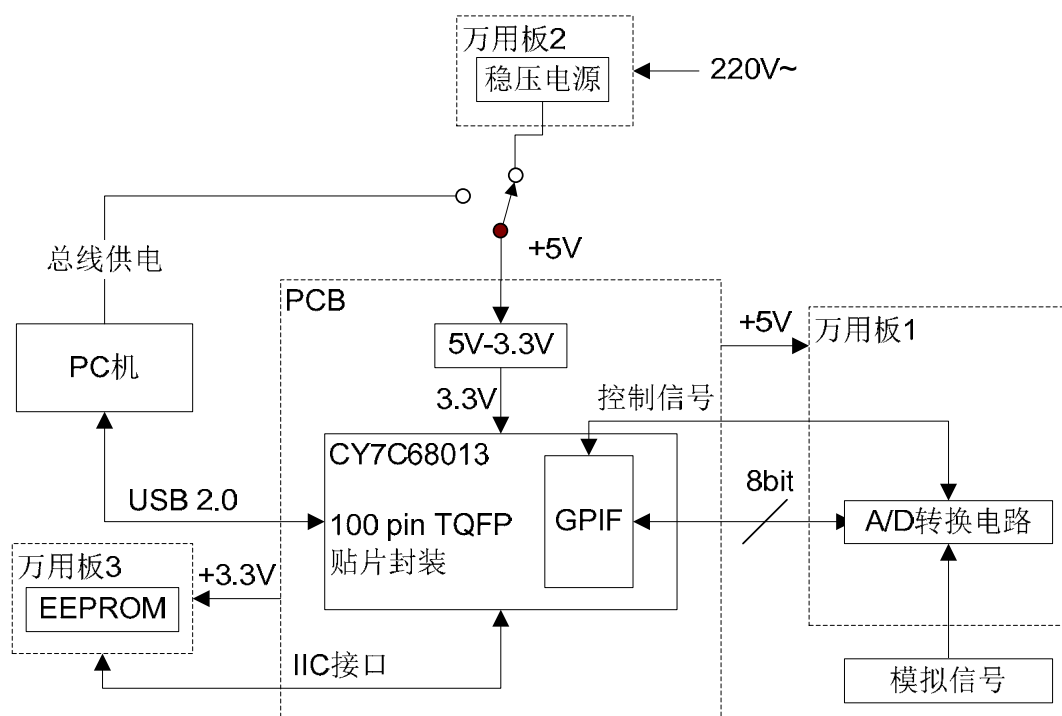


图 2-1 设计方案一

### 2.2 方案二

该方案是一个比较完整的系统。其基本思想是以模块化设计达到灵活性的特点。分为传输处理模块和数据采集模块，其中传输处理模块包括 CY7C68013 和一

块 FPGA 芯片，如前所述，FPGA 将被配置为 FIFO、运算处理和控制逻辑，传输处理模块最大的特点是可根据需要随意设置以适应成各种精度的数据采集，最高可达 16-bit，因此，数据采集模块可根据实际需要选取各种 A/D 转换芯片和其外围电路。（模块之间用扁平电缆连接）方案②的原理图如图 2-2 所示。

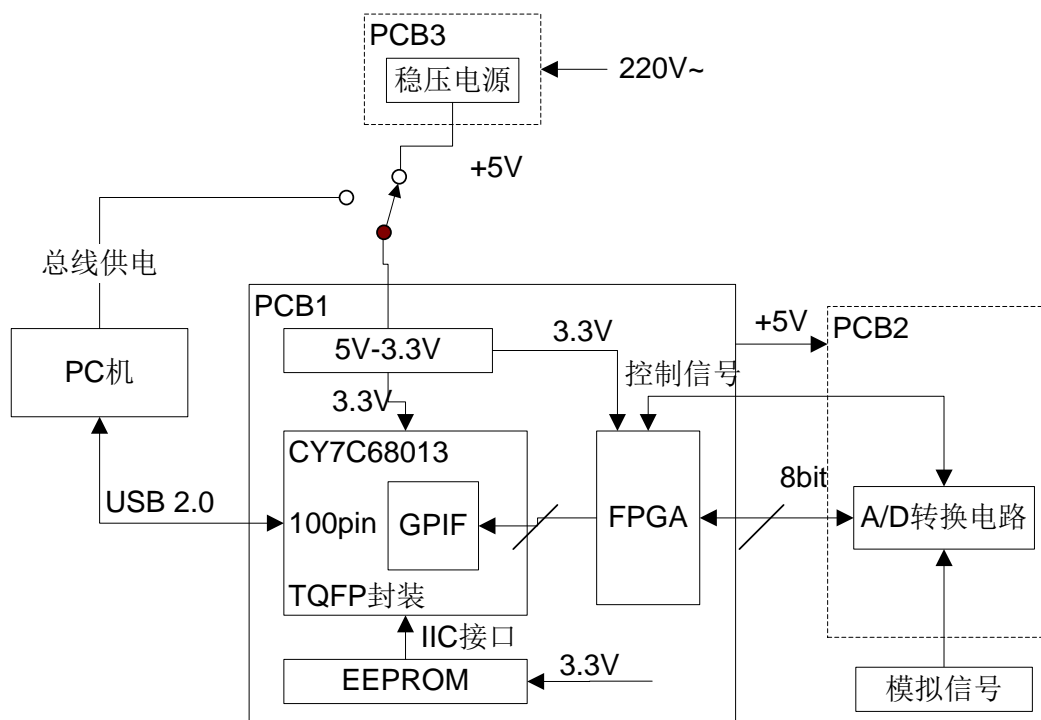


图 2-2 设计方案二

### 2.3 方案三

利用其他毕业设计小组使用的 DSP 模块，包括了模拟信号前期处理、A/D 转换、DSP 运算等，其运算结果将利用方案二中叙述的系统传送至 PC 机进行进一步处理。方案三原理图如图 2.3.1 所示。



表 2-1 方案比较

	芯片使用情况	电路板使用情况	预计成本	效能综述
方案一	CY7C68013×1 AMS1117×1 ADC0808×1 74LS245×3 TPS7333×1 24LC16×1 8038×1 7812×2 7805×2	需要一块定制的 PCB 电路板（9.5×6.5 cm）和三块万用板（7.5×11.9 cm、5×13 cm、18×12.5cm）	约 500-600 元人民币	硬件制作难度很低，但功能非常有限，ADC0808 是最简单的 A/D 转换芯片，采样速率极低，几乎没有实际用途
方案二	CY7C68013×1 EP1C3T144×1 LTI086×1 LTI587×1 24LC16×1 7812×2 7805×2 A/D 转换×1 8 传输门×1	需要三块定制的 PCB 电路板（电源模块、USB 接口模块、数据采集模块）	若不考虑数据采集模块则需要约 800-900 元人民币，若加入一质量较高的数据采集模块，则需要约 1200 元人民币以上	硬件制作难度较高，但功能十分强大，以 USB 接口模块为核心，外围搭配按需设计的数据采集模块，可形成实用产品系列
方案三	CY7C68013×1 EP1C3T144×1 LTI086×1 LTI587×1	需要两块定制的 PCB 电路板（电源模块、USB 接口模块、数据采集模块）	约 800-900 元人民币（不计 1200 元的 DSP 模块）	配合 DSP 模块，是方案 2 的一种扩展形势

	24LC16×1			
	7812×2			
	7805×2			
方案四	CY7C68013×1	需要一块定制的 PCB	约 600-700 元人	制作难度适中，
	AMS1117×1	电路板（9×12.5 cm）	民币	单板集成所有器
	CY7C4265×1	和一块万用板（8×11		件，因此将比较
	74LS541×1	cm）		稳定，A/D 转换
	24LC65×2			档次适中，
	MAX3232×1			24MSps 采样率
	7812×2			可以运用到实际
	7805×2			场合中
	AD775×1			
	AD780×1			
	AD817×1			
	74HC04×1			

## 2.6 结论

方案四的成本、所需的时间和制作难度均可以接受，配合 24MSps 采样率的 A/D 转换器，可以达到完成一定的功能。设有两个调试用 RS-232 串行通讯接口，方便了固件程序的在线调试。因此，选择方案四，另外方案一可以用于进行试验使用。



### 3 模块设计及实验过程

#### 3.1 直流电源部分

##### 3.1.1 电源的选择

根据系统需要，电源模块应提供+5V、不小于 500mA 的直流电。USB 总线供电已可以满足要求，但仍然设置一个+5V 外接电源接口以便备用。可以选择的有开关电源和集成稳压电源。但是，普通开关电源纹波过大，需要增加滤波电路。集成稳压电源制作简便且纹波较小，但由于它工作在线性放大区，因此在负载电流较大的时候，调整管的集电极损耗相当大，电源效率较低，一般为 40%~60%，需要配备散热装置，而开关电源无此问题，因为其调整管工作在饱和导通和截止两种状态。由于管子饱和导通时管压降和截止时管子的电流都很小，管耗主要发生在状态转换过程中，电源效率可提高到 80%~90%，所以体积小重量轻。针对第四套方案，由于 A/D 转换精度要求不高，且配备有基准源芯片，因此，开关电源，集成稳压电源都适用。

##### 3.1.2 稳压电源设计

主芯片采用 7812 和 7805，外购 18V，20W 的变压器，220V 降压后经整流桥全波整流，大电容滤波后输入 7812 得到 12V 直流，再输入 7805 得到 5V 直流。

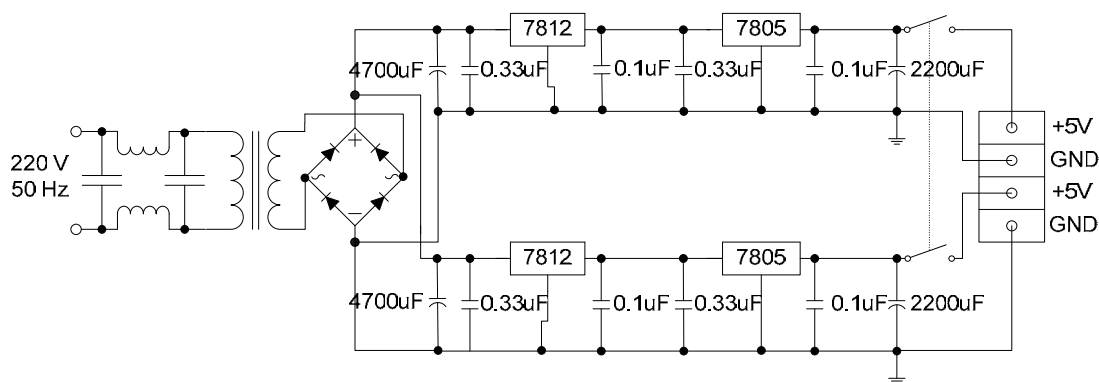


图 3-1 稳压电源设计

电路图如图 3-1 所示，焊接在万用板上，实物如图 3-2 所示。

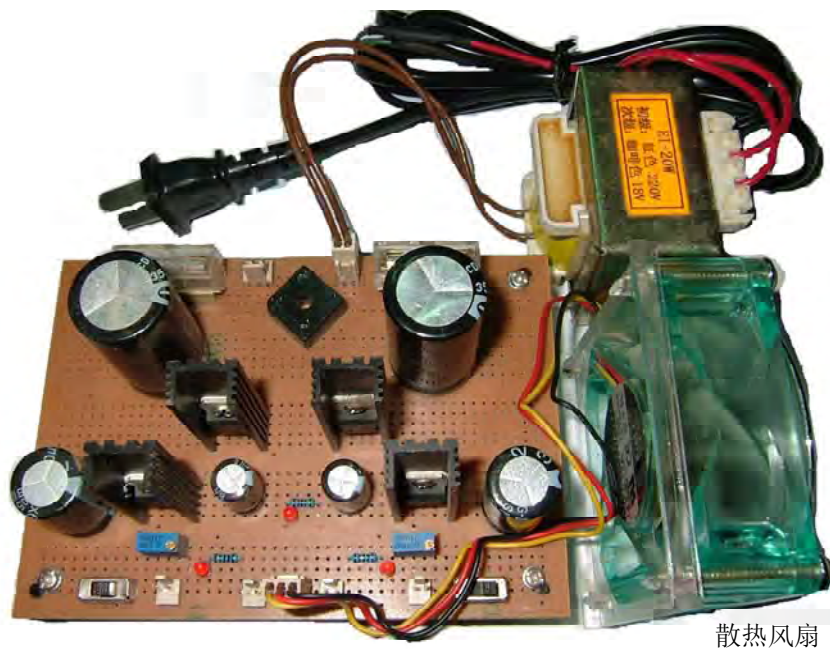


图 3-2 稳压电源模块

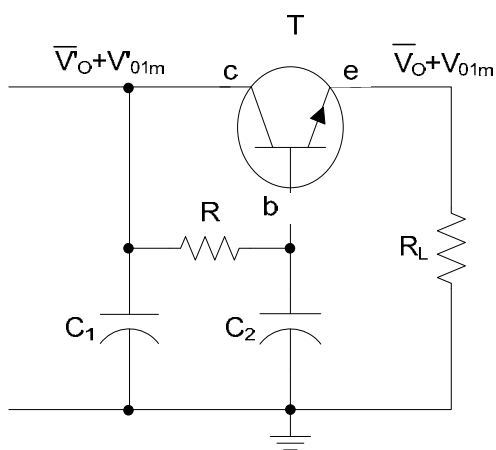


图 3-3 稳压电源滤波定量分析

### 3.1.3 电源滤波

#### (1) 基本分析

电子滤波器由于体积小、结构简单、效果好,在电源滤波领域中早已得到广泛运用。对于电源电子滤波电路中滤波电阻与滤波效果之间的关系,本文给出如下分析公式。

设电源电子滤波电路如图3-3所示。图中, $R$ 是滤波电阻, $C_1$ 、 $C_2$ 是滤波电容, $R_L$ 是负载电阻, $T$ 是NPN 型功率晶体三极管, $\bar{V}_o$ 、 $V_o$ 分别是电源电子滤波电路的输入输出直流电压, $\bar{V}_{o1m}$ 、 $V_{o1m}$ 分别是该滤波电路输入、输出电压中的基波电压最大值。根据图3-3所示电路,最终可推导出如下关系<sup>[32-33]</sup>:

$$R = \frac{(1+\beta)R_L + r_{BE}}{(1+\beta)} \cdot \frac{1}{\sqrt{\omega R_L C_2} - \frac{1}{1+\beta}} = \frac{(1+\beta)R_L + r_{BE}}{(1+\beta)\sqrt{\omega R_L C_2}} \quad (3-1)$$

利用微积分求极值得:

$$R_m = \frac{(1+\beta)R_L + r_{BE}}{(1+\beta)\sqrt{\omega R_L C_2}} = 0 \quad (3-2)$$

式(3-2)表明,只要 $R_L$ , $C_2$ , $r_{BE}$ , $\omega$ 都已知,滤波电阻大小可被确定。

### 实例说明

为符合输出直流电压大和脉动系数下的要求,设 $\bar{V}_o = 12\text{ V}$ , $\beta = 50$ , $R_L = 25\Omega$ , $r_{BE} = 0.7 \times (1 + 50) \times 212 = 5.95\text{ k}\Omega$ , $C_2 = 100\text{ }\mu\text{F}$ ,在电网频率为50 Hz 和全波整流情况下, $\omega = 628\text{ rad/s}$ ,则:

$$R_m = \frac{(1+50) \times 2000 + 5950}{(1+50)\sqrt{628 \times 100 \times 10^{-6} \times 2000}} = 189\text{ (}\Omega\text{)}$$

$$\begin{aligned}\frac{\bar{V}_o}{V_o} &= \frac{1}{1 + \frac{189 + 5950}{(1 + 50) \times 2000}} = 0.9432 \\ \frac{S}{S'} &= \frac{1}{189 \times 628 \times 100 \times 10^{-6} \times 51} = 0.0017 \\ \frac{\bar{V}_o}{V_o} - \frac{S}{S'} &= 0.9415\end{aligned}$$

将R从R<sub>m</sub>增大到289 Ω ,其它条件不变,则:

$$\begin{aligned}\frac{\bar{V}_o}{V_o} &= \frac{1}{1 + \frac{289 + 5950}{(1 + 50) \times 2000}} = 0.9424 \\ \frac{S}{S'} &= \frac{1}{289 \times 628 \times 100 \times 10^{-6} \times 51} = 0.0011 \\ \frac{\bar{V}_o}{V_o} - \frac{S}{S'} &= 0.9413\end{aligned}$$

将R从R<sub>m</sub>减小到89 Ω ,其它条件不变,则:

$$\begin{aligned}\frac{\bar{V}_o}{V_o} &= \frac{1}{1 + \frac{89 + 5950}{(1 + 50) \times 2000}} = 0.9441 \\ \frac{S}{S'} &= \frac{1}{89 \times 628 \times 100 \times 10^{-6} \times 51} = 0.0035 \\ \frac{\bar{V}_o}{V_o} - \frac{S}{S'} &= 0.9406\end{aligned}$$

由此可见,只有滤波电阻R取R<sub>m</sub>值时,才能同时兼顾到对直流传输系数和脉动系数等的要求。也就是说,滤波电阻存在着一个最佳值,大于或小于这个值,都不能得到最好的综合滤波效果。因此,电源电子滤波电阻应选定在这个最佳值上。

### 3.1.4 电源滤波电路及仿真

估算 PCB 板上所有芯片的能耗,得到总电流约为 300mA,输入电压为 5V,可得输入端等效阻抗约为 17 Ω。电路图如图 3-5 所示。R<sub>1</sub>=2.4k Ω, R<sub>2</sub>=100 Ω。时域仿真结果如图 3-6 所示。频域仿真结果如图 3-7 所示。

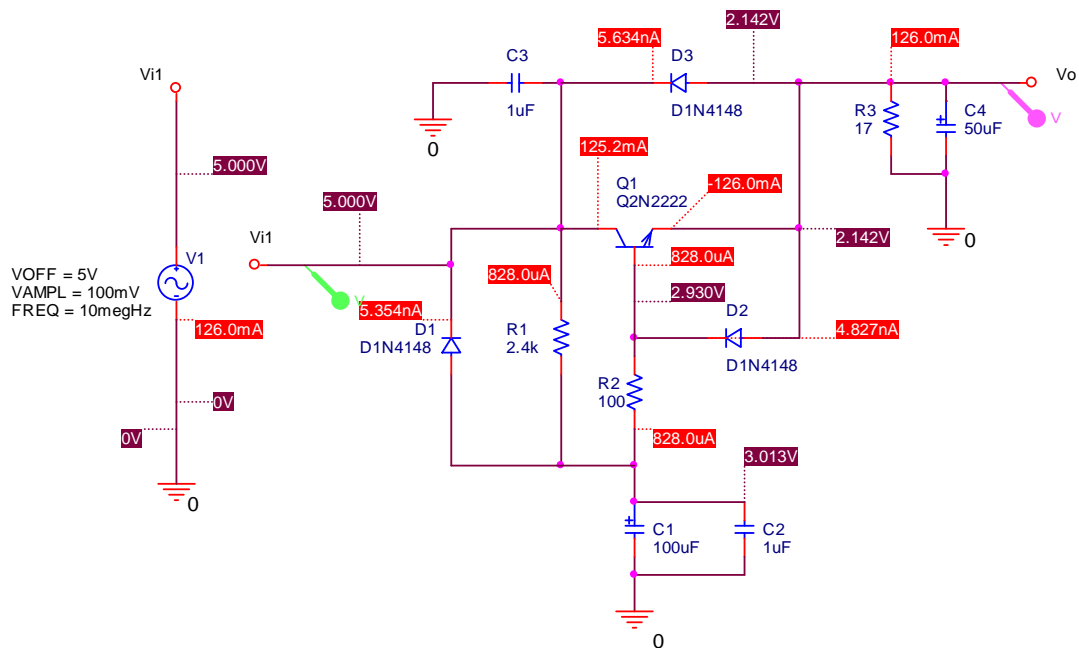


图 3-4 电源滤波电路及仿真（1）

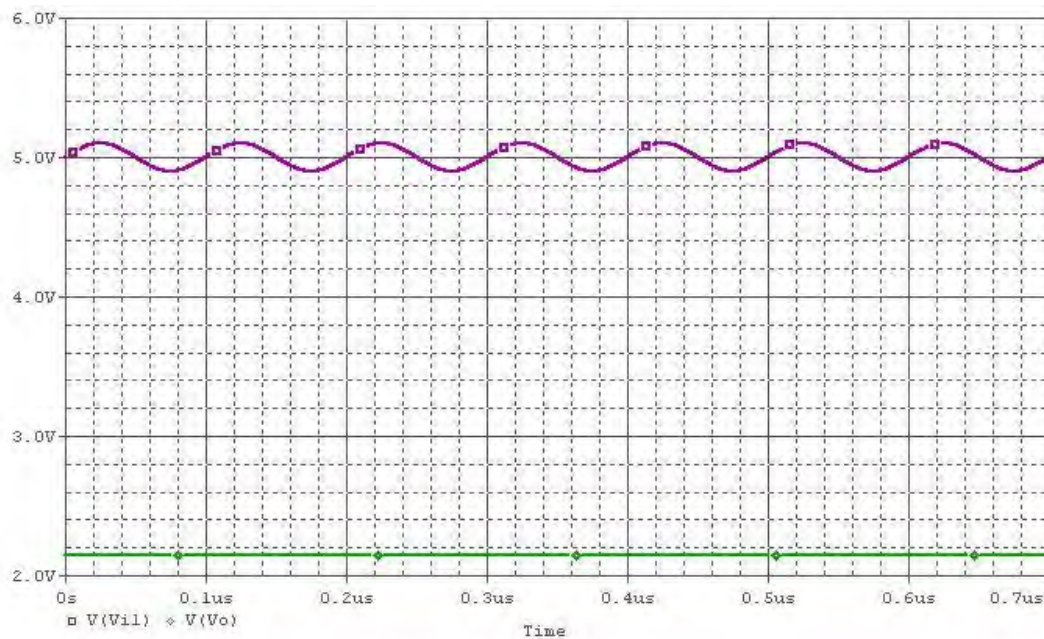


图 3-5 电源滤波电路及仿真（2）

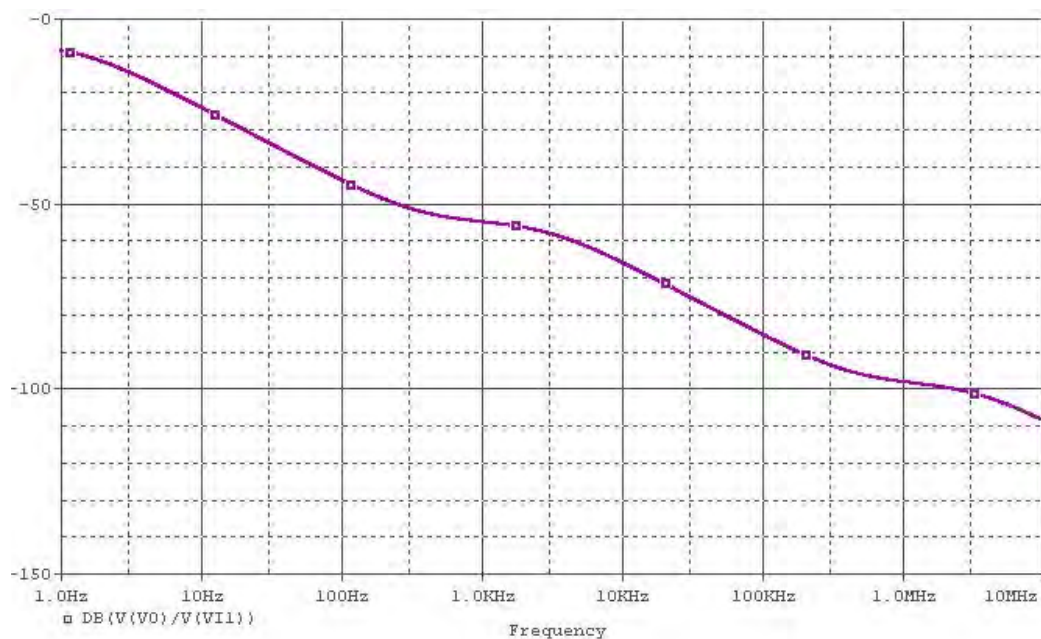


图 3-6 电源滤波电路及仿真（3）

由上图可见，虽然纹波被消除，且频域分析符合要求——高频纹波全部衰减，但是直流电压下降到了 2.142V。和初始值 5V 相去甚远，无法给电路提供足够的电压，通过 3.1.3 节的分析我们可以知道，这是因为负载电阻  $R_L$  过小，滤波电阻  $R_1$ 、 $R_2$  相对较大，所以根据公式（3-1）输出电压不可避免的下降。现在我们将  $R_1$ 、 $R_2$  均减小为  $10\Omega$ ，电路其余部分不变，时域仿真结果如图 3-8 所示。频域仿真结果如图 3-7 所示。

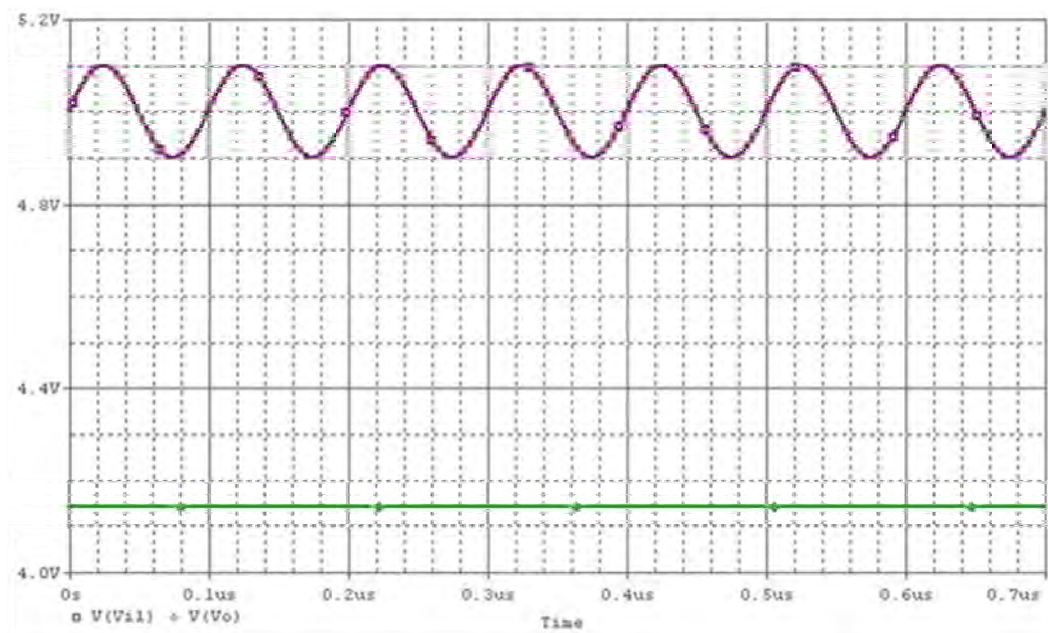


图 3-7 电源滤波电路及仿真（4）

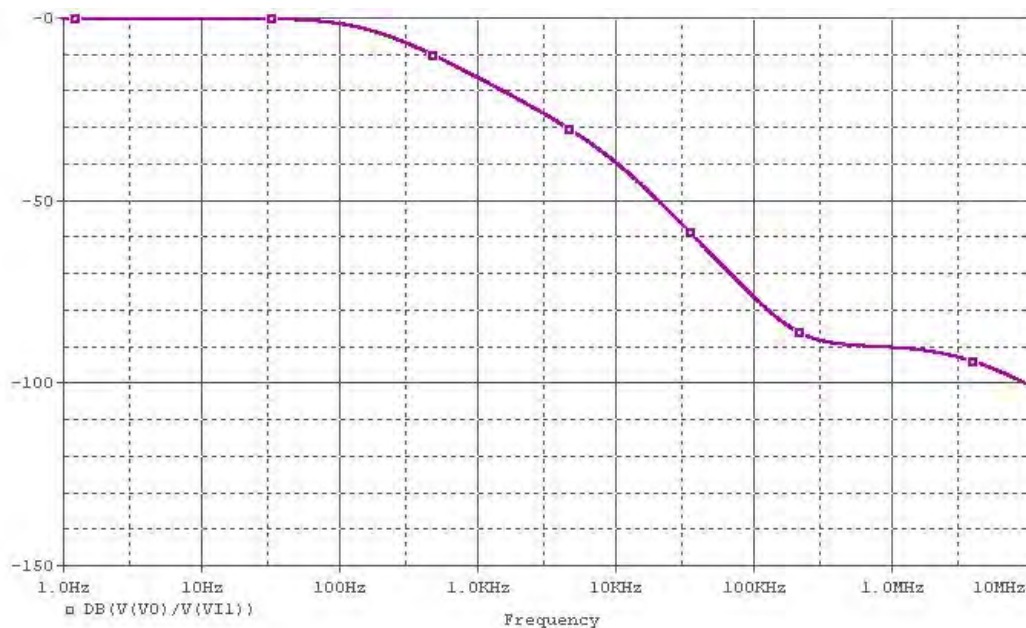


图 3-8 电源滤波电路及仿真（5）

如图所示电压仍然下降到了 4.141V，但是如果将输入电压提高到 6V，则输出就是纯净的 5V 直流了。若无法得到 6V 的直流电源（比如总线供电只能提供 5V 电压），则可以将电路中的二极管 D3 更换为尽可能大的电感，此时三极管滤波电路就被短路了，但由电感和电容 C4 组成的 LC 电路可以起到滤波作用。电路



图如图 3-10 所示。时域仿真结果如图 3-11 所示。频域仿真结果如图 3-12 所示。由于电感电阻可忽略不计，输出等于输入，且纹波被滤除。

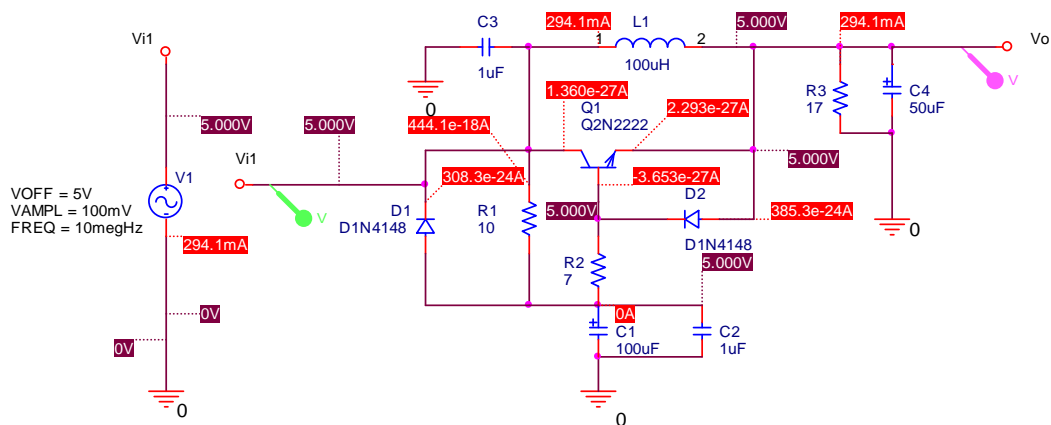


图 3-9 电源滤波电路及仿真（6）

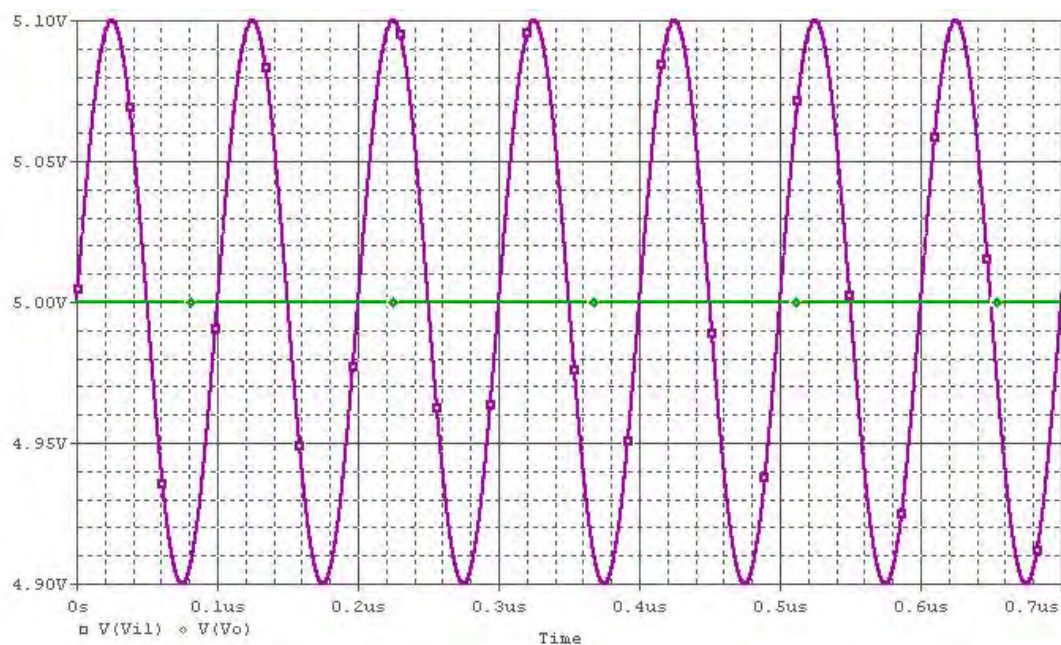


图 3-10 电源滤波电路及仿真（7）



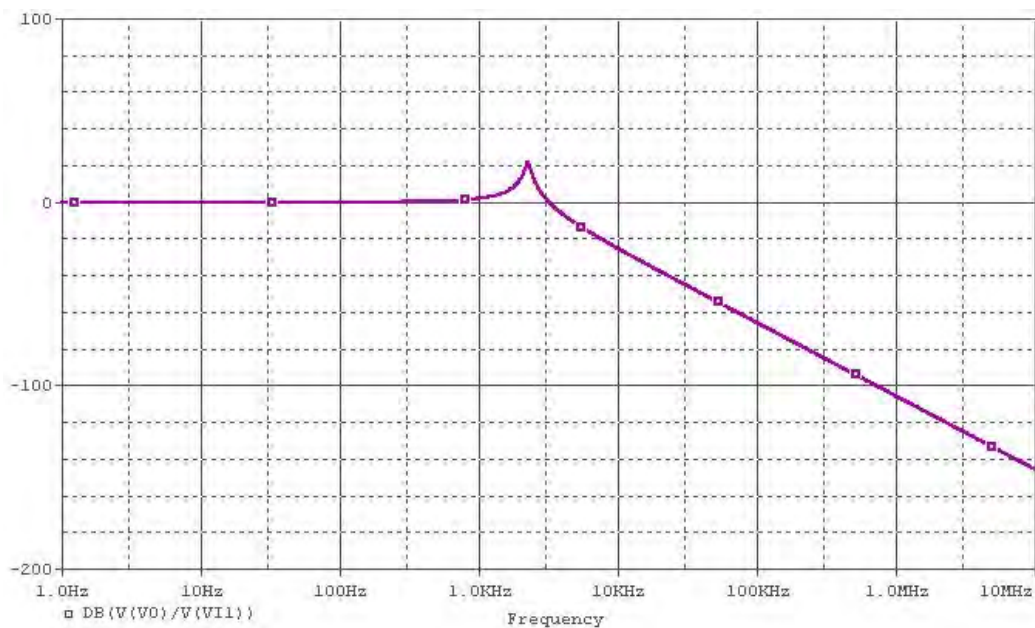


图 3-11 电源滤波电路及仿真（8）

## 3.2 模/数转换部分

### 3.2.1 试验用 ADC 设计（万用板）

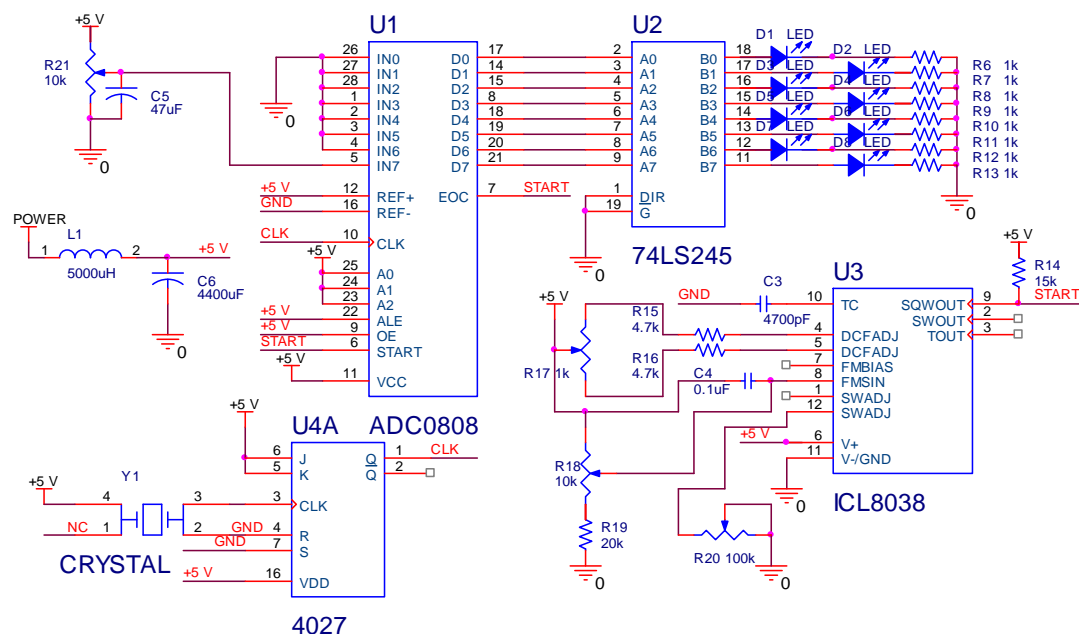


图 3-12 简单的 A/D 电路

## (1) 综述

电路原理图如图 3-13 所示,实际电路板如图 3-14 所示。具体配置为 ICL8038 为 ADC0808 提供采样时钟 (20Hz~20kHz 可调), 1MHz 晶体振荡器经过 4027JK 触发器二分频后为 ADC0808 提供工作时钟 500 kHz, ADC0808 输出接 74LS245 缓冲后, 由 8 个 LED 发光二极管指示出转换后的 8 位数字值, 另外再配置两块 74LS245 以及 16 个 LED 发光二极管 (原理图中未画出) 用于测试 CY7C68013 的 I/O 口。

由图可知这是一套极其简单的电路, 对于 A/D 转换而言, 其精度不高 (8 位), 采样速率极低 (小于 5kHz), 且无基准源, 电源直接连接到参考电压端口, 因此, 电源的波动将直接体现在输出数字量上, 具体表现为输出极其不稳定。总而言之, 这一套电路板只能完成演示作用, 8 位数字量可通过单排插针加扁平电缆引出到 USB 接口电路。

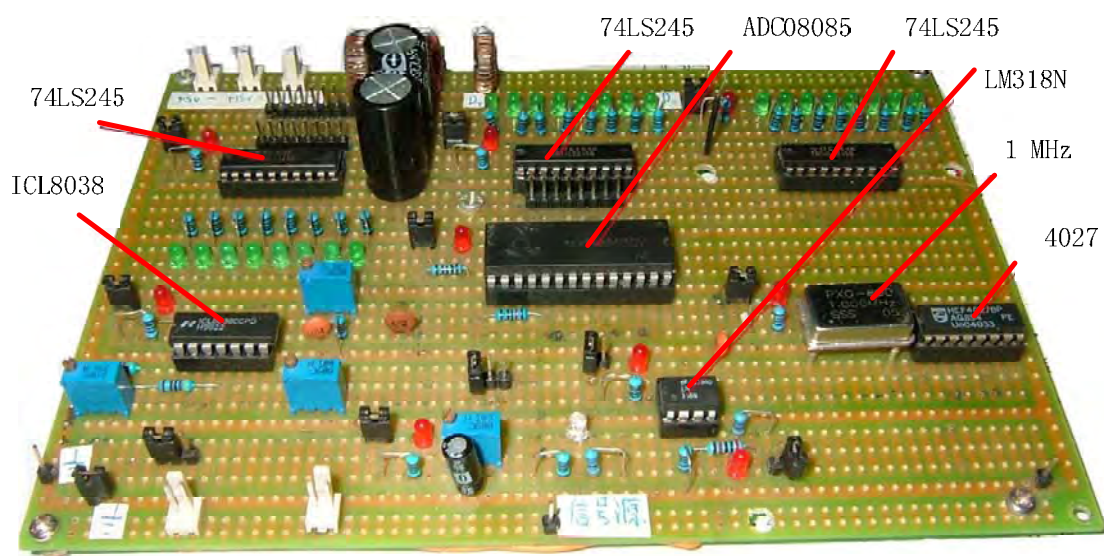


图 3-13 简单的 A/D 电路实验板

## (2) 各芯片简介

### 1) ADC0808

ADC0808/0809 为八位逐次逼近式 A/D 转换器，它是一种单片 CMOS 器件，包括 8 位的模/数转换器、8 通道多路转换器和与微处理器兼容的控制逻辑。8 通道多路转换器能直接连通 8 个单端模拟信号中的一任何一个。

引脚介绍：

- ❖ Vcc：主电源输入端。
- ❖ REF (+)、REF (-)：基准电源输入端，使用中 REF (-) 一般接地，REF (+) 最大可接 +5.12V，要求不高时，REF (+) 接 Vcc 的 +5V 电源。
- ❖ GND：模拟地数字地共用的接地端。
- ❖ CLK：时钟输入引脚，时钟频率范围 10KHZ ~ 1280KHZ，典型值 640KHZ，此时转换时间约为 100μs。
- ❖ IN0~IN8：8 路模拟量单极性电压的输入引脚。
- ❖ ADD A、ADD B、ADD C：8 选 1 模拟开关的三位通道地址输入端。用来选择对应的输入通道，其对应关系如图 9-4 所示。比如 CBA=011，则选中 IN3 引脚的输入电压。C、B、A 通常与系统数据总线的 D1、D1、D0 连接。但也有与系统地址总线相连的，此种用法需小心处理端口地址的组织。
- ❖ ALE：为通道地址锁存允许选通控制端，输入上跳沿有效；它有效时，C、B、A 的通道地址值才能进入通道地址锁存器，ALE 下跳为低电平（无效）时，锁存器锁存进入的通道地址。
- ❖ START：启动 A/D 转换控制引脚，由高电平下跳为低电平时有效；即对该引脚输入正脉冲下跳沿后，ADC 开始逐次比较；也可将 START 与 ALE 连接在一起使用，安排一个 CPU 写端口地址；正脉冲上升沿通道地址(码)被写入通道地址锁存器，下降沿启动 A/D 转换，参见时序图。
- ❖ EOC：ADC 转换状态输出信号引脚；未启动转换时，EOC 为高电平，启动转换后，正在逐次逼近比较期间 EOC 为低电平，低电平持续时间为 A/D 转换时间，约 100us（与时钟频率有关），一旦转换完毕，EOC 端上跳为

高电平，此信号可供 CPU 查询或向 CPU 发中断。

- ❖  $2^{-1} \sim 2^{-8}$ : 8 位数字量输出引脚， $2^{-1}$  为 d1 (MSB)， $2^{-8}$  为 d8 (LSB)，它是三态输出数据锁存器的输出引脚，未被选通时，8 个引脚对片内均为高阻断开；因此可与系统数据总线 D7~D0 直接相连。
- ❖ OE: 数字量输出允许控制端，输入正脉冲有效；它有效时，数据输出三态门被打开，转换好的数字量各位被送到  $2^{-1} \sim 2^{-8}$  引脚上；它无效时， $2^{-1} \sim 2^{-8}$  浮空（高阻隔离）；显然 OE 端必须设置一个 CPU 读数据的端口地址，未访问时，必须为低电平。

## 2) ICL8038

ICL8038 的工作频率范围在几赫兹至几百千赫兹之间，它可以同时输出方波（或脉冲波）、三角波、正弦波。其内部有两个比较器，其基准电压  $2V_{cc}/3$ 、 $V_{cc}/3$  由内部电阻分压网络提供，触发器 FF 的输出端 Q 控制外接定时电容的充放电。充放电电流  $I_a$ 、 $I_b$  的大小由外界电阻决定，当  $I_a = I_b$  的时，输出三角波，

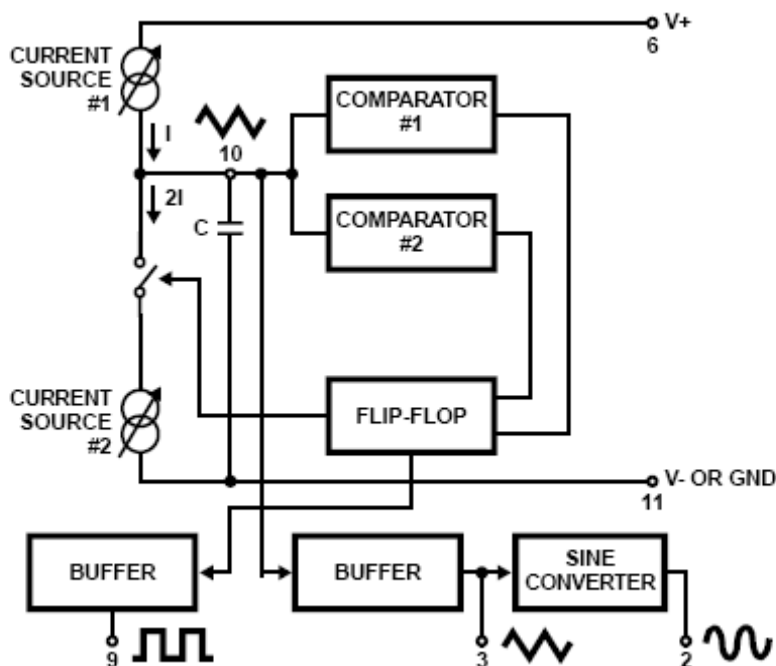


图 3-14 ICL8038 芯片内部结构图

否则为锯齿波。ICL8038 产生三角波——正弦波的变换由内部三极管开关电路与分流电阻构成的五段折线近似电路完成。调整三极管的静态工作点，可以改善正弦波的波形失真，在 1 脚与 6 脚电源端之间的电位器可以改善正弦波的正向失真，在 12 脚和 1 脚之间的电位器可以改善正弦波的负向失真。ICL8039 可以采取单电源（+5V~+30V）供电，也可以采用双电源（±5V~±30V）供电。采用双电源供电的时候，输出波形的直流电平为零。当  $V_{cc}$  采用单电源供电的时候，输出波形的直流电平为  $V_{cc}/2$ 。

### 3) 74LS245

74LS245 是一块八总线收发器（原码三态输出），在这个电路中起到隔离/ 驱动 LED 发光二极管的作用。

### 3.2.2 试验用 ADC 设计（PCB 板）

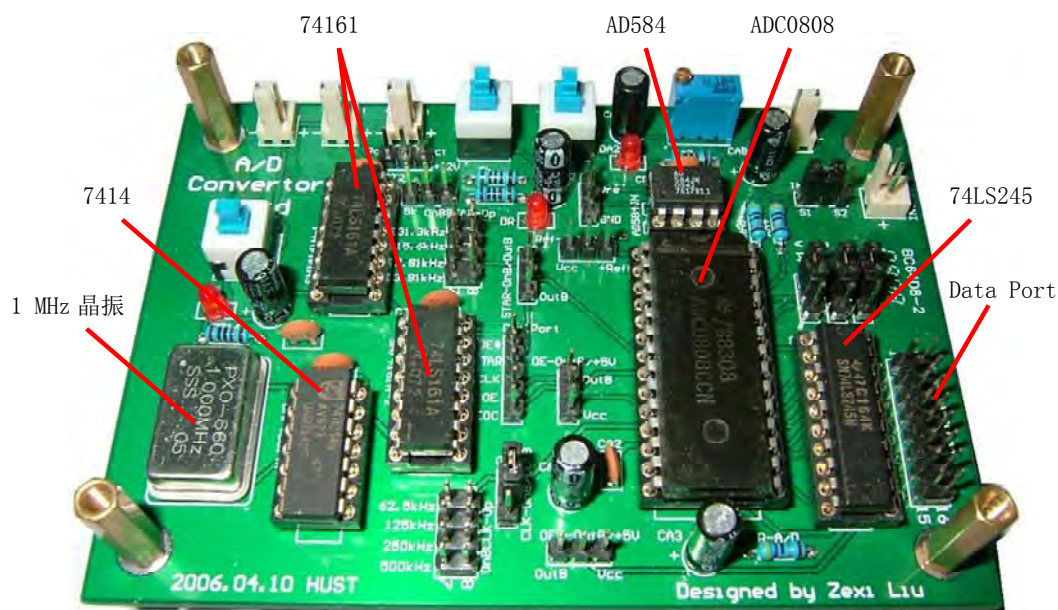


图 3-15 A/D 电路 PCB 图

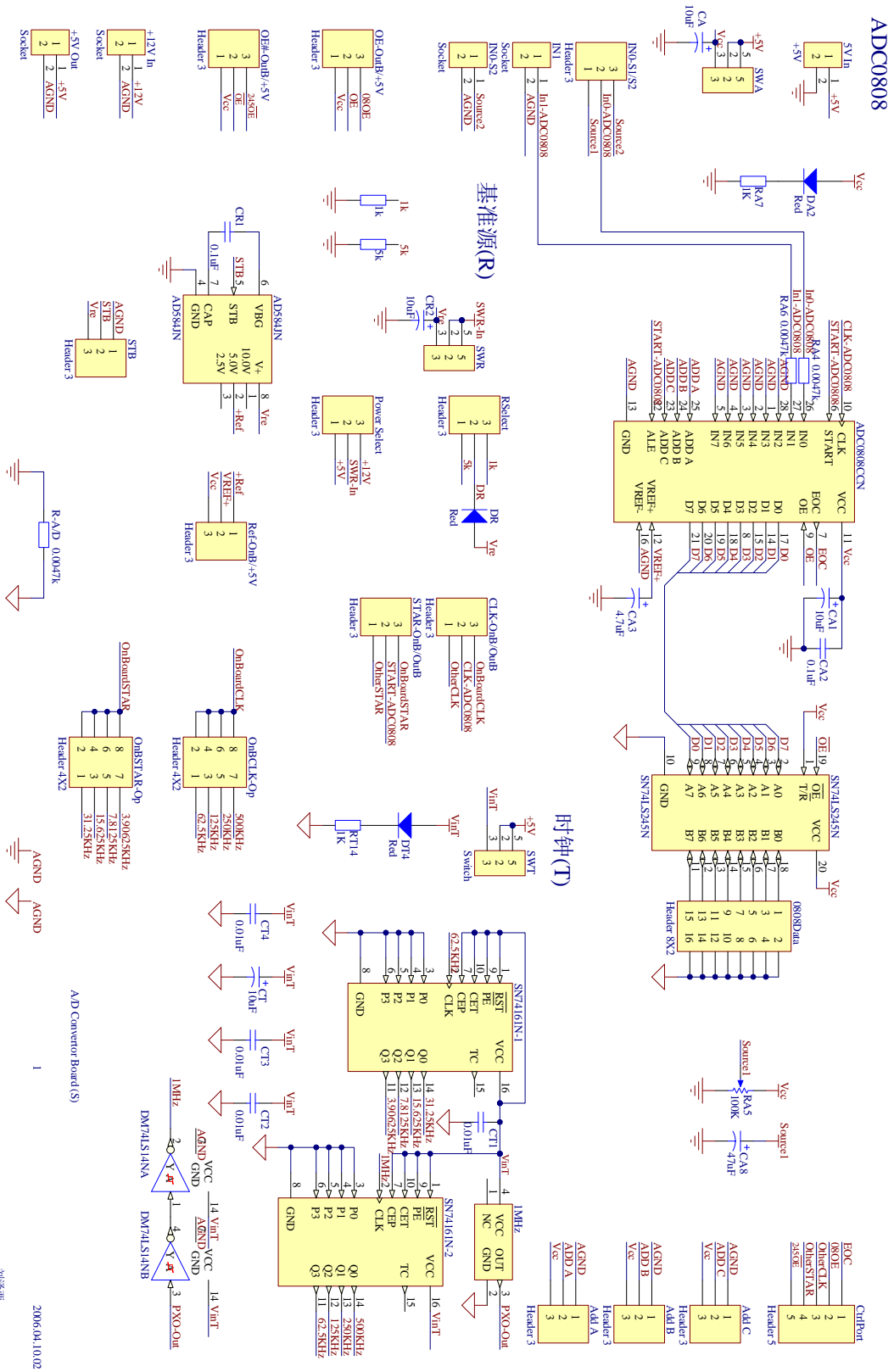


图 3-16 A/D 电路原理图





## (1) 简介

这块电路板的设计思路是，1 MHz 晶振经过 7414 史密触发器整形后经过两片 74161 分频，便于产生各种频率的信号用以控制采样速率。另外，为 ADC0808 增设了一块基准源芯片 AD584，产生 5V 的参考电压。在 ADC0808 的数据输出口配置了一块 74LS245，起到输出缓冲的作用，或者提供足够的电流驱动外接的其他电路。

## (2) 各芯片简介

1) ADC0808 (详见 3.2.1 小节)。

2) 75LS245 (详见 3.2.1 小节)。

3) 74LS161

74LS161 是 4 位二进制同步加计数器。图 3-19 是它的逻辑电路图和引脚定义。图 3-20 是它的功能表。其中 R 是异步清零端，PE 是预置数控制端，P<sub>0</sub>、P<sub>1</sub>、P<sub>2</sub>、P<sub>3</sub> 是预置数据输入端，CEP、CET 是计数使能（控制）端，TC 是进位输出端，它的设置为多片集成计数器的级联提供了方便。

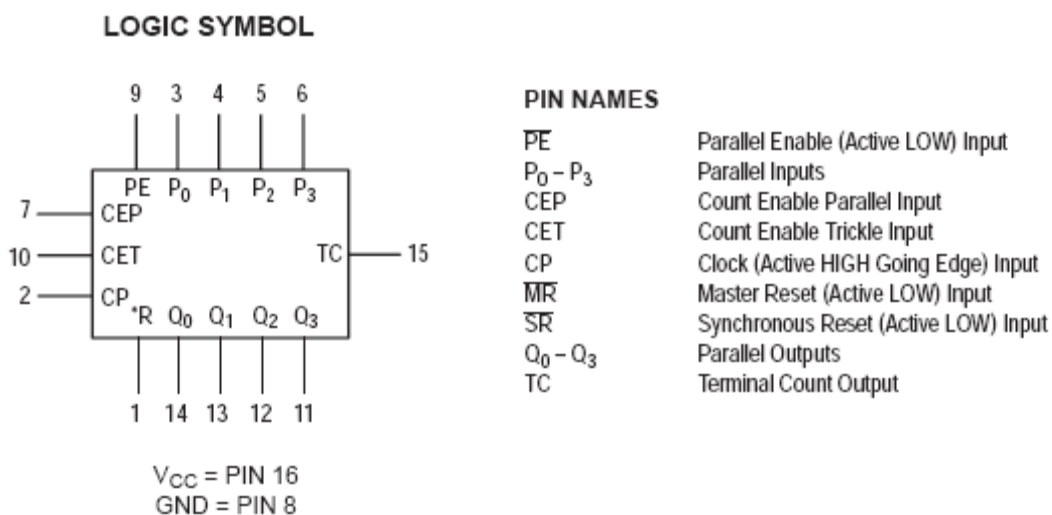


图 3-18 74LS161 逻辑电路图和引脚定义



MODE SELECT TABLE				
*SR	PE	CET	CEP	Action on the Rising Clock Edge (┐)
L	X	X	X	RESET (Clear)
H	L	X	X	LOAD (P <sub>n</sub> Q <sub>n</sub> )
H	H	H	H	COUNT (Increment)
H	H	L	X	NO CHANGE (Hold)
H	H	X	L	NO CHANGE (Hold)

\*For the LS163A only.

H = HIGH Voltage Level

L = LOW Voltage Level

X = Don't Care

图 3-19 74LS161 功能表

### 3.2.3 ADC 芯片的选择与定型

虽然在大多数场合中，8 位 A/D 转换已经够用，但是 ADC0808 极低的采样速率是不能满足稍高需求的。因此需要为方案 4 选择一种并行输出 8 位的中高速 A/D 转换器，其采样速率不低于 10 Msps。可选择的器件主要集中在 AD（Analog Device）和 MAX（Maxim）两家公司。

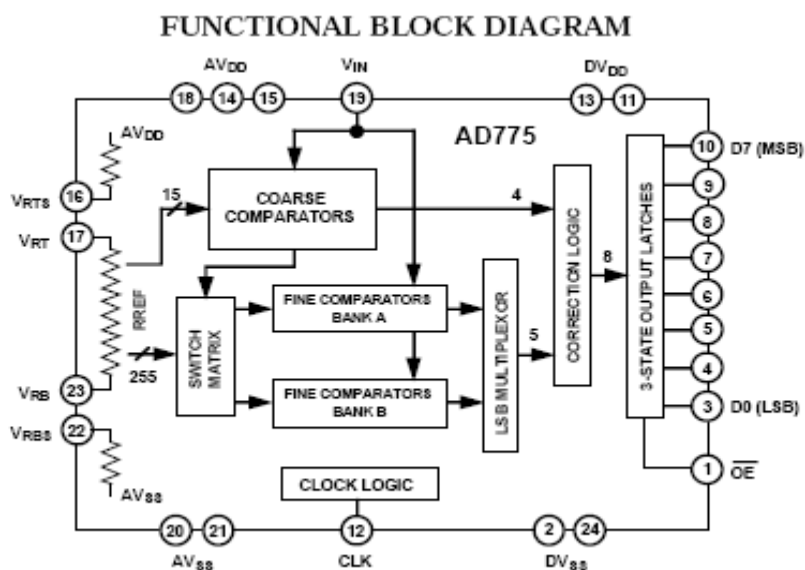
考虑到以下两点，决定选择 AD 公司的 A/D 转换器。

- 1) MAX 公司设计的 A/D 转换器在 8-bit，20MPS 左右缺乏相应的产品。
- 2) MAX 公司的芯片在市面上很难小批量购买，申请样片时间比较长且不一定申请得到。这将给调试带来不少麻烦。

经过比较，AD 公司的 AD775 符合方案要求，这是一款 8-bit，20 Msps 采样速率，60mW 功耗的 A/D 转换器。其外围电路相对于 MAX 公司同类产品要简单一些。详细功能和各种辅助芯片将在下一节介绍。

### 3.2.4 ADC 芯片及其外围电路

- 1) AD775



### FEATURES

**CMOS 8-Bit 20 MSPS Sampling A/D Converter**

**Low Power Dissipation: 60 mW**

**+5 V Single Supply Operation**

**Differential Nonlinearity: 0.3 LSB**

**Differential Gain: 1%**

**Differential Phase: 0.5 Degrees**

**Three-State Outputs**

**On-Chip Reference Bias Resistors**

**Adjustable Reference Input**

**Video Industry Standard Pinout**

**Small Packages:**

**24-Pin 300 Mil SOIC Surface Mount**

**24-Pin 400 Mil Plastic DIP**

图 3-20 AD775 逻辑电路图和引脚定义

AD775 是一片 CMOS 的模数转换器，它具有低功耗，8-bit，20Mps 采样，单一+5V 供电等特点。其最高采样速率可达 35MHz，同时能保证 60mW(供应电流 12mA)的低功耗。AD775 有着非常出色的微分非线性度（微分非线性度 DNL 是指一个实际的步尺寸和一个理想的 LSB 步之间的偏差），其典型的 DNL 只有 0.3LSBs，最大限为 0.5LSBs。而且 AD775 的输入电容非常之小，仅为 11pF，和传统的 8 位 ADC 相比，这可以大大降低输入驱动电路的成本和复杂程度。见图 3-21。

### 2) AD817

### 8-Pin Plastic Mini-DIP (N) and SOIC (R) Packages

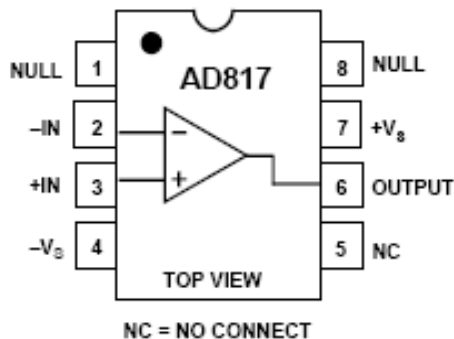


图 3-21 AD817 引脚图

### FUNCTIONAL BLOCK DIAGRAM

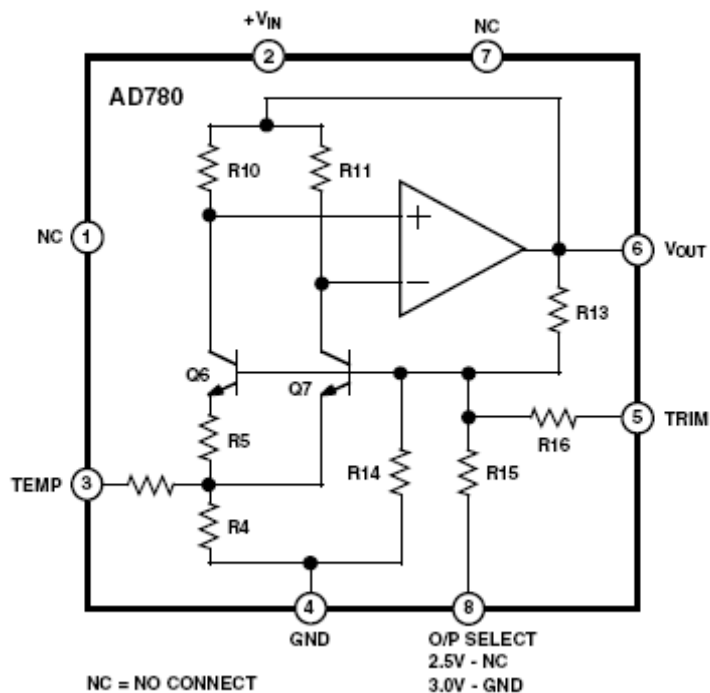


图 3-22 AD780 功能图和引脚定义

AD817 是一种低成本，低功耗的高速运算放大器。适用于宽频信号处理和数据采集等场合。其增益带宽积为 50 MHz，最大供电电流 7.5mA 满足了低功耗的要求，最小 50 mA 的输出电流使 AD817 具有很强的驱动能力。它还可以在 +5 V，

±5V，±15V 多种供电电压下以相同的交流特性工作。作为模数转换芯片的输入缓冲，AD817 的这些特性使设计变得更为简单。见图 3-22。

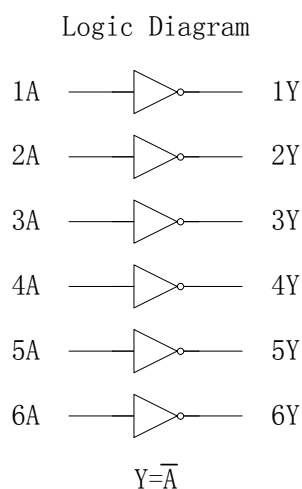


图 3-23 AD780 功能图和引脚定义

### 3) AD780

AD780 是高精度参考电压芯片，可以通过对引脚的配置从而提供 2.5V 或者 3.0V 的参考电压。其输入电压范围可以从+4V~+36V 变化。见图 3-23。

### 4) 74LS04

反相器。见图 3-24 和表 3-1。

表 3-1 74LS04 反相器状态

INPUTS A	OUTPUTS Y
H	L
L	H

### 5) 74LS541

74LS541 是三态高速 CMOS 八进制缓冲/驱动器。见图 3-25 和表 3.2.4.2。

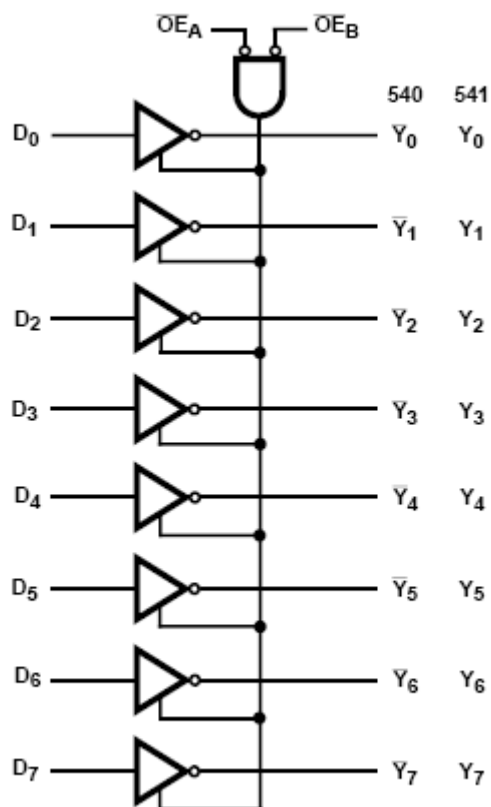


图 3-24 74LS541 三态高速 CMOS 八进制缓冲/驱动器功能图

表 3-2 74LS541 状态表

输入			输出	
$\overline{OE}_A$	$\overline{OE}_B$	An	540	541
L	L	H	L	H
H	X	X	Z	Z
X	H	X	Z	Z
L	L	L	H	L

注：H=高电平；L=低电平；X=无关紧要；Z=高阻抗。

## 5) 外围电路

在图3-26所示电路中，AD775的模拟电压供电和数字电压供电是分开的，这是为了防止快速变化的数字电路影响到整个模拟电压供电。（to prevent the typically large transients associated with the on-chip digital circuitry from coupling into the analog supplies）但是，为了避免可能发生的闭锁效应（latch-up CMOS组件中npn寄生电容发生在N+ drain、p-type基材和n井。同理pnp寄生电容是于P+ source、n井和p-type 基材。这种npn-pnp寄生双载流子晶体管会产生正的回锁电路，而造成无法控制的高电流）， $AV_{DD}$ 和 $DV_{DD}$ 必须共享一个电源，最好是就在PCB板子的电源处汇合。

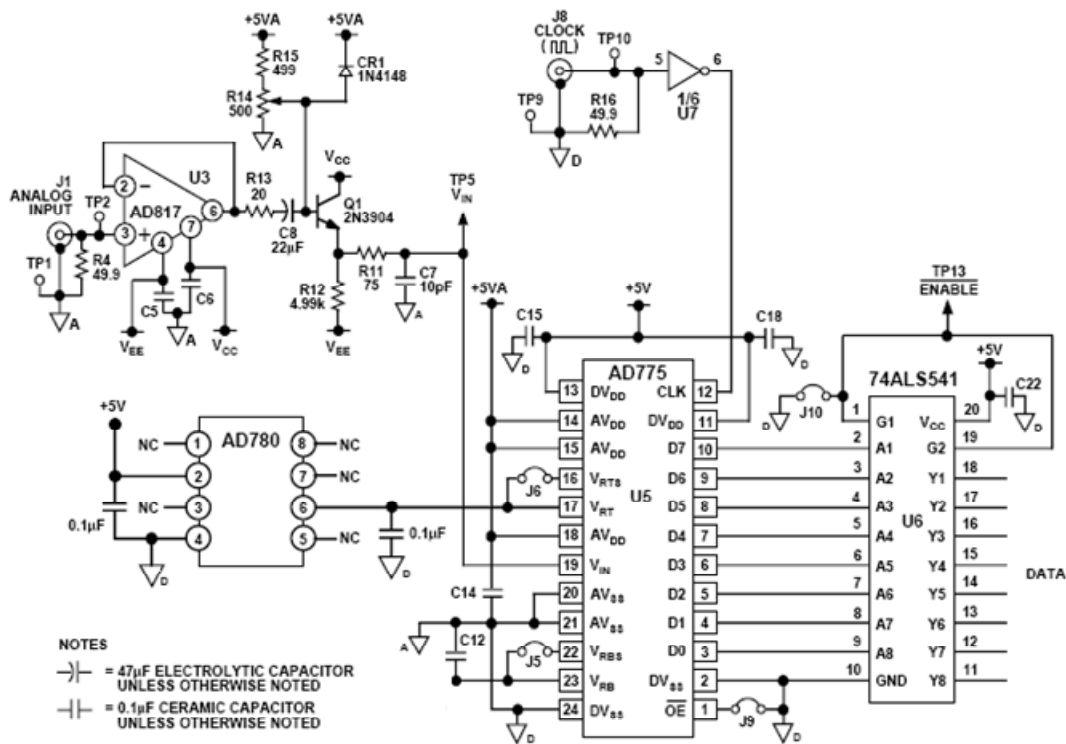


图 3-25 A/D 外围电路图

每个电源引脚都必须就近接上0.1  $\mu$ F的去偶电容，贴片电容相对与直插式电容具有较低寄生电感，因此更适合电路设计。另外，电源处需要一个10 $\mu$ F以上的电解电容用以去除低频的、幅值较大的电源噪声。

输入信号依次经过AD817构成的0增益跟随器缓冲,由一个电解电容去除直流成分,再通过一个电位器分压获得必需的直流偏置。然后,输入一个三极管构成的射极跟随器,它将为后面的低通滤波器提供足够的电流,滤除高频干扰成分。

### 3.2.5 接地问题

许多对涉及到模拟地和数字地的疑问首先来自 ADC 接地引脚的名称。模拟地和数字地的引脚名称表示内部元件本身的作用,未必意味着外部也应该按照内部作用去做。

一个模数转换集成电路内部有模拟电路和数字电路两部分,为了避免数字信号耦合到模拟电路中去,模拟地和数字地通常分开。

图 3-27 所示是一个 ADC 的简单示意图。从芯片上的焊点到封装引脚的连线所产生的引线接合电感和电阻,并不是 IC 设计者专门加上去的。快速变化的数字电流在 B 点产生一个电压,经过杂散电容(C STRAY )必然耦合到模拟电路的 A 点。尽管这是制造芯片过程中 IC 设计者应考虑的问题。可是你能够看到为了防止进一步耦合,模拟地和数字地的引脚在外面应该用最短的连线接到同一个低阻抗的接地平面上。任何在数字地引脚附加的外部阻抗都将在 B 点上引起较大的数字噪声。然后将大的数字噪声通过杂散电容耦合到模拟电路上。可通过一个极简单的示意图(图 3-27)来说明这一点。

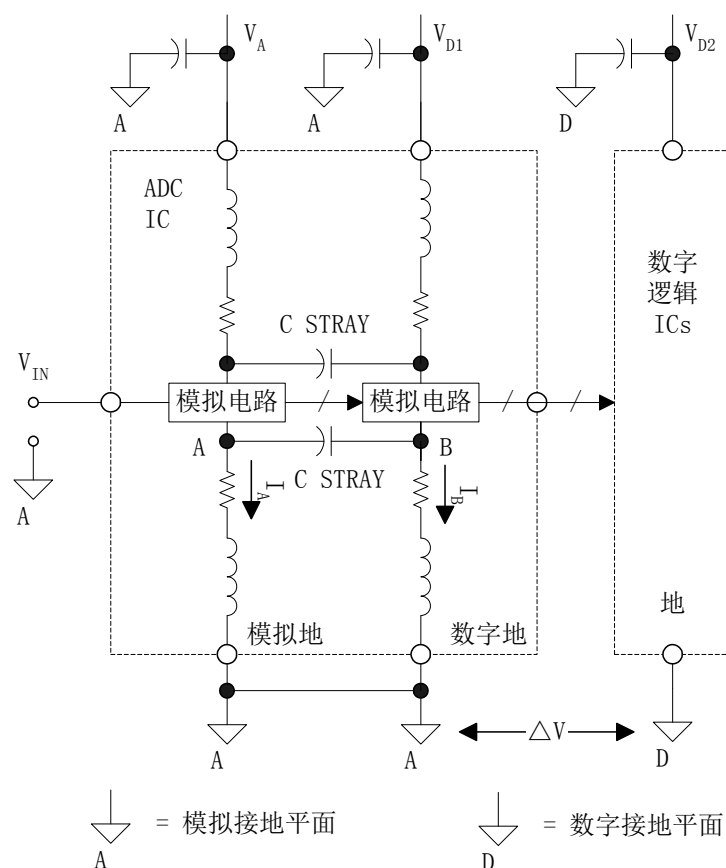


图 3-26 A/D 耦合去噪示意图 (1)

把集成电路的模拟地和数字地引脚接到同一接地平面，但仍然要把模拟和数字接地平面在系统中分离开来，使它们仅仅在一点上连起来，但这个公共点是电源的返回端，并且连到底座接地线上。

假如系统只有一个数据转换器，实际上可以按照产品说明中所说的方法去做，并且把模拟地和数字地线系统一起连在转换器上。系统的星形接地点现在是在数据转换器上。但是这也许是极不希望的，除非在开始时你就用这样的想法来设计你的系统。假如你有几个数据转换器安排在不同的印制电路板上，这个规则不适用应该另想办法，因为模拟地和数字地系统被连接在许多印制线路板的每个转换器上。对于接地环路这是最好的建议。

假如必须把模拟地和数字地引脚在器件上连在一起，仍旧需要分开系统的模拟地和数字地，把模拟地和数字地连起来再接到印制电路板上的模拟接地平



面，或者是数字接地平面上，但不能两者都连上，因为 ADC 既是模拟器件又是数字器件。

假如把模拟地和数字地引脚都连到数字接地平面上，那么你的模拟输入信号将有数字噪声叠加上去，因为模拟输入信号是单端的且相对于模拟接地平面而言。所以正确的做法是把模拟地和数字地引脚两者连起来并接到模拟接地平面

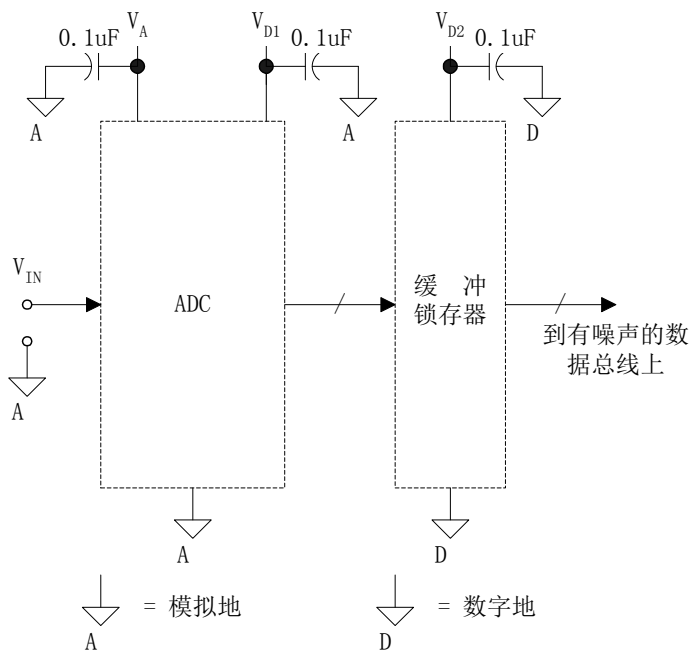


图 3-27 A/D 耦合去噪示意图 (2)

上。

模拟接地平面上的数字噪声和在 ADC 输出端上减少噪声容限(noise margin)的问题，实际上并非像想象的那样坏，可以把它们克服掉。把几百毫伏不可靠的信号加到数字接口明显地好于把同样不可靠信号加到模拟输入端。对于 10V 输入的 16 位 ADC，其最低位信号仅仅为  $150\ \mu\text{V}$ 。在数字地引脚上的数字地电流实际上不可能比这更坏，否则它们将使 ADC 内部的模拟部分首先失效！假如你在 ADC 电源引脚到模拟接地平面之间接一种高质量高频陶瓷电容器 ( $0.1\ \mu\text{F}$ ) 来旁路高频噪声，将把这些电流隔离到集成电路周围非常小的范围，并且将其对系统其余部分的影响减到最低。

虽然数字噪声容限会减少，但是如果低于几百毫伏，对于 TTL 和 CMOS 逻辑通常是可以接受的。假如 ADC 有单端 ECL 输出，就需要在每一个数字门上加一个推挽门，即起平衡和补偿输出的作用。把这些门电路封装块地线引到模拟接地平面，并且用差分方式连接逻辑信号接口。在另一端使用一个差分线路接收器，将它的接地端接到数字接地平面上。模拟接地平面和数字接地平面之间的噪声是共模信号，它们的大多数将在差分线路接收器的输出端被衰减抑制掉。可以把同样方法用于 TTL 和 CMOS，但它们通常有足够的噪声容限，所以不需要差分传输。

但是通常把 ADC 输出直接连到有噪声的数据总线上，是很轻率的作法。总线噪声经过内部寄生电容耦合可能返回 ADC 模拟输入端。寄生电容从 0.1 到 0.5pF。如果把 ADC 输出直接连到靠近 ADC 的中间缓冲锁存器就要好得多(见图 3-28)。缓冲锁存器地线接到数字接地平面上，所以它的输出逻辑电平和系统其余部分的逻辑电平兼容。

之所以为什么不把 ADC 的所有地线引脚都称作模拟地 (AGND)，是因为假如有人用一只欧姆表，看一看它们在封装体内部是否连在一起。这种做法多半会被拒绝，因为集成电路可能会被烧。另外存在一个惯例，我们必须把这些引脚做标记，以便指示它们的真实功能，而不是像我们想象的那样。

综上所述，在 AD775 的 PCB 电路板布局中，作者的做法是这样的：首先，将 AD775 的模拟地和数字地引脚就近短接；其次，用 74LS541 隔离 AD775 的输出，且 74LS541 接数字地平面；第三，用一根导线将所有的模拟地连接起来（一点接地），这根导线上的一点再接模拟地平面；第四，模拟地平面和数字地平面在电源处汇合，使零电位一致。第五，模拟电压源和数字电压源分开走线，也在电源处汇合。第六，以上提到的模拟地平面是一块覆盖所有模拟芯片（AD775、AD780 和 AD817）所在位置的铺铜（双面板，双面铺铜），以上提到的数字地平面是 PCB 板上除模拟地以外其他所有地方的铺铜。详细内容将在第 4.1.2 小节 PCB 版图设计继续讨论。

### 3.2.6 输入缓冲电路及仿真

#### 1) 电路原理

输入缓冲电路为 AD775 外围电路中的模拟信号输入缓冲部分。在 3.2.3 节介

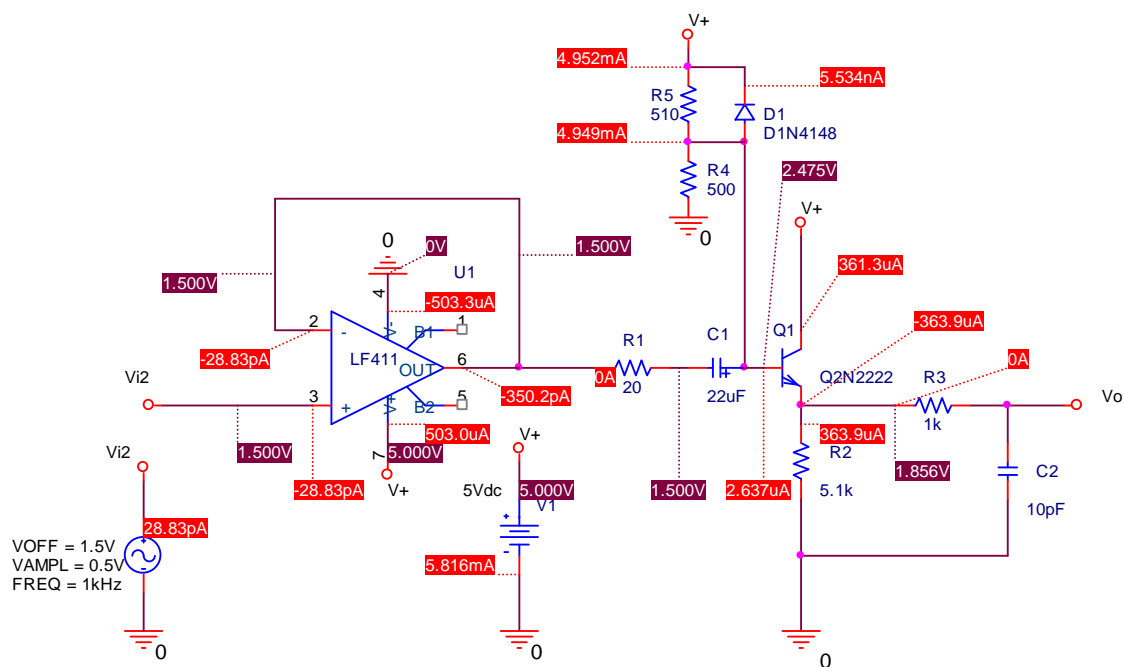


图 3-28 AD775 输入缓冲电路

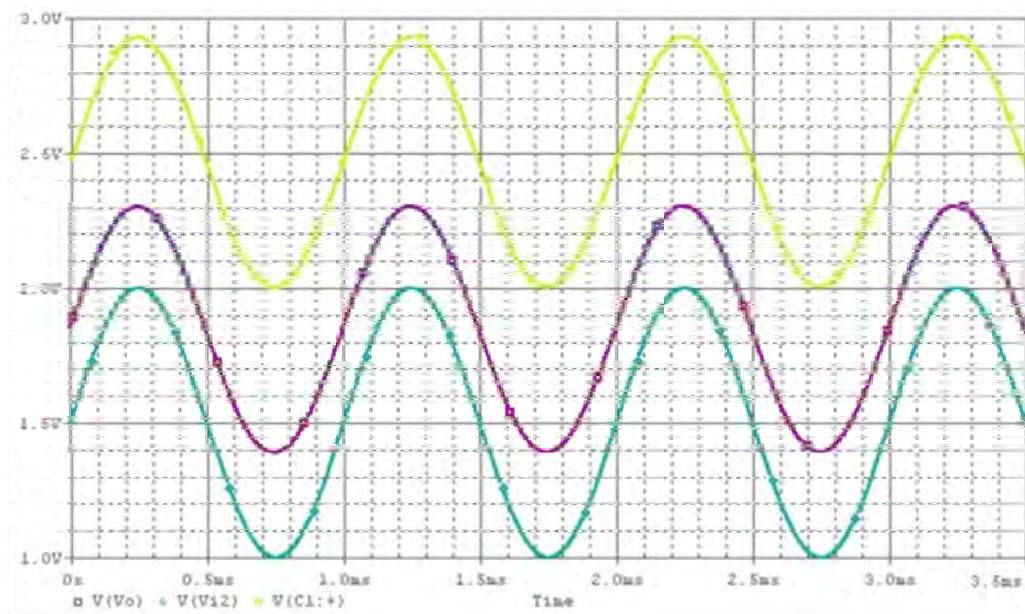


图 3-29 AD775 输入缓冲电路响应波形 (1)

绍中, 这个电路的功能就是缓冲和滤波, 由于 AD775 采样频率大于 10MHz 的信号没有意义 (采样定理), 所以由 R3 和 C2 组成的低通滤波器的截至频率略小于 10MHz。用 PSpice 仿真的目的在于了解这个电路在不同幅值不同频率的输入信号下的工作情况, 并选择适当的直流偏置电压。

如图 3-30 所示, 由瞬时响应波形可知, 根据三极管的特性, 发射极和基极存在 0.7V 左右的电压差, 因此为了使输入等于输出, 直流偏置电压应等于输入信号的直流成分减去 0.7V。

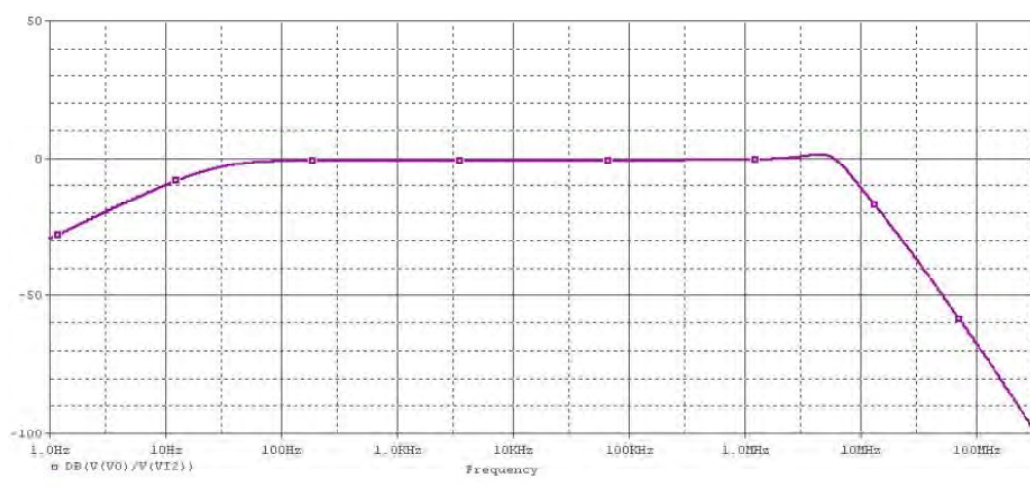


图 3-30 AD775 输入缓冲电路响应波形 (2)

如图 3-31 所示, AD775 输入缓冲电路的频率响应。对频率小于 100Hz 信号有衰减。对频率大于 10MHz 信号有较强的抑制作用。减小了白噪声干扰。

### 3.3 USB 接口部分

#### 3.3.1 CY7C68013 介绍

##### (1) 简介

Cypress Semiconductor 公司的 EZ-USB FX2 是世界上第一款集成 USB2.0 的微处理器, 它集成了 USB2.0 收发器、SIE (串行接口引擎)、增强的 8051 微控制器和可编程的外围接口。FX2 这种独创性结构可使数据传输率达到 56Mbytes/s, 即 USB2.0 允许的最大带宽。在 FX2 中, 智能 SIE 可以硬件处理许多 USB1.1 和 USB2.0 协议, 从而减少了开发时间和确保了 USB 的兼容性。GPIF

(General Programmable Interface) 和主/从端点 FIFO (8 位或 16 位数据总线) 为 ATA、UTOPIA、EPP、PCMCIA 和 DSP 等提供了简单和无缝连接接口。

## (2) EZ—USB FX2 结构

CY7C68013 结构图如图 3-32 所示。它有三种封装形式：56SSOP, 100TQFP 和 128TQFP。

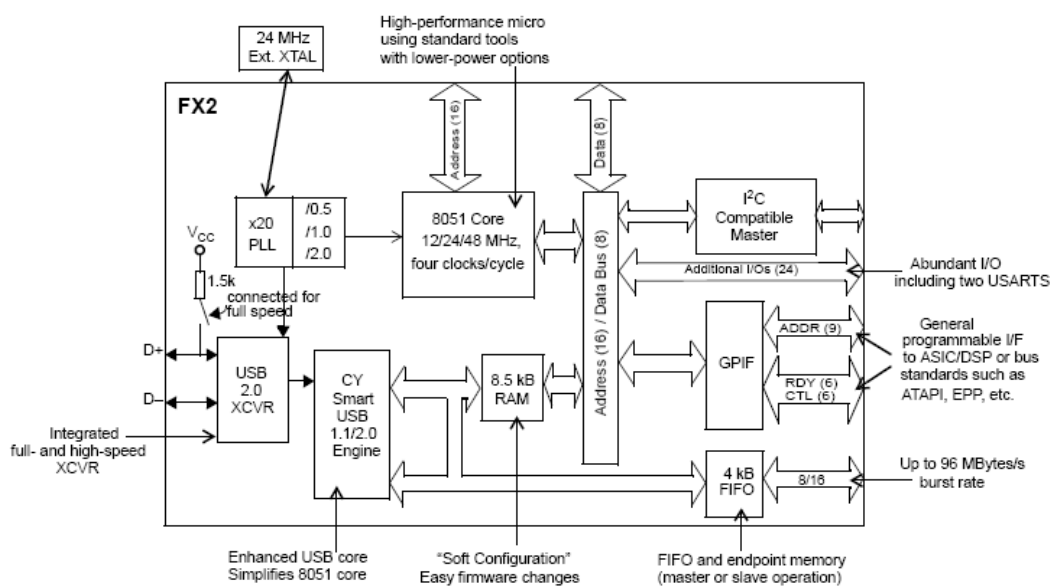


图 3-31 CY7C68013 微处理器结构图

CY7C68013 集成了以下特性：

- 1) USB2.0 收发器、SIE（串行接口引擎）和增强性 8051 微处理器；
- 2) 软件运行：8051 程序从内部 RAM 开始运行，可以借助下列几种方式进行程序装载：

- ① 通过 USB 下载；
- ② 从 EEPROM 中装载；
- ③ 通过外部存储器设备。

3) 四个可编程 BULK/INTERRUPT/ISOCHRONOUS 端点；

4) 可选双、三和四缓冲

5) 8 位或 16 位外部数据接口

6) 通用可编程接口 (GPIF)

- ① 可以直接连接到并口, 8 位和 16 位;
- ② 可编程波形描述符和配置寄存器;
- ③ 支持多个 Ready 输入和 Control 输出。

7) 集成标准 8051 内核, 且具有下列增强特性:

- ① 可以达到 48MHz 时钟;
- ② 每条指令占四个时钟周期;
- ③ 两个 USARTs;
- ④ 三个定时/计数器;
- ⑤ 扩展的中断系统;
- ⑥ 两个数据指针。

8) 3.3V 电源系统;

9) 智能串行引擎 (SIE) ;

10) 矢量 USB 中断;

11) 独立的数据缓冲区供 SETUP 和 DATA 包控制传输;

12) 集成 I2C 控制器, 运行速度可达 100 或 400KHz;

13) 四个 FIFO, 可与 ASIC 和 DSP 等无缝连接;

14) 专门的 FIFO 和 GPIF 自动矢量中断;

15) 可用于 DSL Modems、ATA 接口、相机、Home PNA、WLAN、MP3 播放器、网络等。

(3) USB 启动方式和枚举

上电时, 内部逻辑会检查连接到 I2C 总线上的 EEPROM 中的第一个字节 (0xC0 或 0xC2)。如果是 0xC0, 就会使用 EEPROM 中的 VID/PID/DID 来替代内部存储值;

如果是 0xC2，内部逻辑就会把 EEPROM 中的内容装入到内部 RAM 中；如果没有检测到 EEPROM，FX2 就会使用内部存储的描述符来枚举。FX2 缺省的 VID/PID/DID 是 0x04B4/ 0x8613/ 0xxxxxx。

当首次插入 USB 时，FX2 通过 USB 电缆会自动枚举且下载固件和 USB 描述符表；接下来，FX2 再次枚举，这次主要通过下载的信息来定义设备。这两个步骤就叫做重枚举，当设备插入时它们就立即执行。

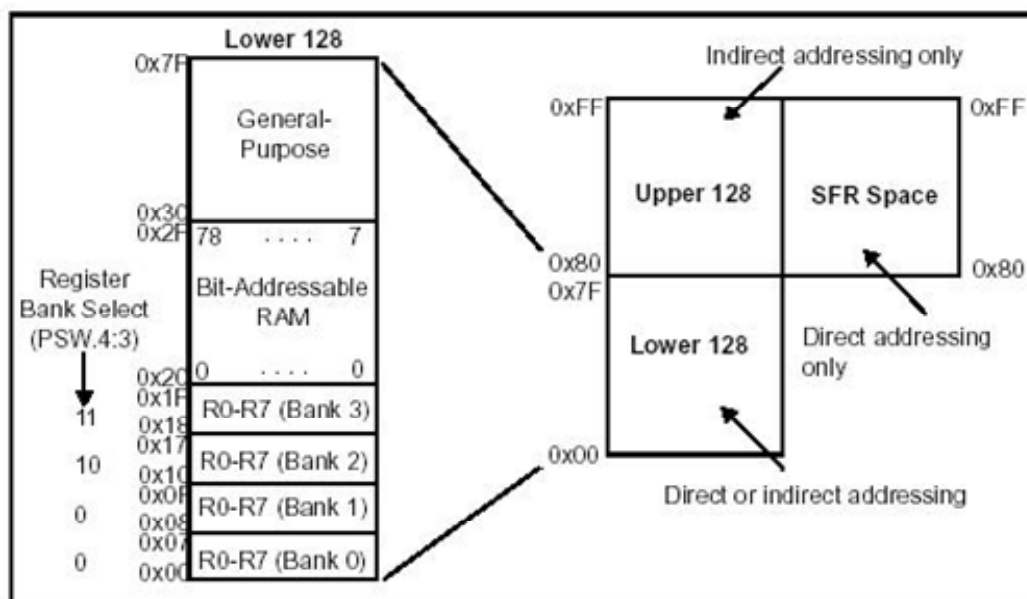


图 3-32 CY7C68013 内部数据结构图

#### (4) 程序/数据存储器

### 1) 内部数据 RAM

如图 3-33 所示, FX2 的内部数据 RAM 被分成三个不同的区域: 低 (LOW) 128、高 (Upper) 128 和特殊功能寄存器 (SFR) 空间。低 128 和高 128 是通用 RAM, SFR 包括 FX2 控制和状态寄存器。

## 2) 外部程序存储器和数据存储器

FX2 有 8K 片上 RAM, 位于 0x0000—0x1FFF; 512 字节 Scratch RAM, 位于 0xE000—0xE1FF。尽管 Scratch RAM 从物理上来说位于片内, 但是通过固件可以把它作为外部 RAM 一样来寻址。FX2 保留 7.5K (0xE200—0xFFFF) 数据地址空间作为控

制/状态寄存器和端点缓冲器。注：只有数据内存空间保留，而程序内存（0xE000—0xFFFF）并不保留。

### （5）端点缓冲区

FX2 包含 3 个 64 字节端点缓冲区和 4K 可配置成不同方式的缓冲，其中 3 个 64 字节的缓冲区为 EP0、EP1IN 和 EP1OUT。EP0 作为控制端点用，它是一个双向端点，既可为 IN 也可为 OUT。当需要控制传输数据时，FX2 固件读写 EP0 缓冲区，但是 8 个 SETUP 字节数据不会出现在这 64 字节 EP0 端点缓冲区中。EP1IN 和 EP1OUT 使用独立的 64 字节缓冲区，FX2 固件可配置这些端点为 BULK、INTERRUPT 或 ISOCHRONOUS 传输方式，这两个端点和 EP0 一样只能被固件访问。这一点与大端点缓冲区 EP2、EP4、EP6 和 EP8 不同，这四个端点缓冲区主要用来和片上或片

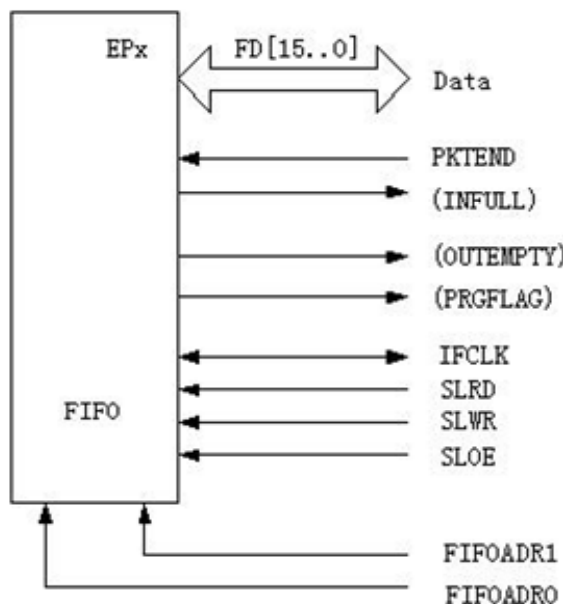


图 3-33 CY7C68013 FX2FIFO 在 Slave FIFO 模式

外进行高带宽数据传输而无需固件的参与。EP2、EP4、EP6 和 EP8 是高带宽、大缓冲区。它们可被配置成不同的方式来适应带宽的需求。

### （6）外部 FIFO 接口

EP2、EP4、EP6 和 EP8 大端点缓冲区主要用来进行高速（480Mbits/s）数据传输，可以通过 FIFO 数据接口与外部 ASIC 和 DSP 等处理器无缝连接来实现高速数据传输。它具有通用接口：Slave（从）FIFO（外部主）或 GPIF（内部主）、



同步或异步时钟、内部或外部时钟等。图 3-34、图 3-35 分别为 FX2 FIFO 处在“Slave FIFO”模式和“GPIF Master”模式。

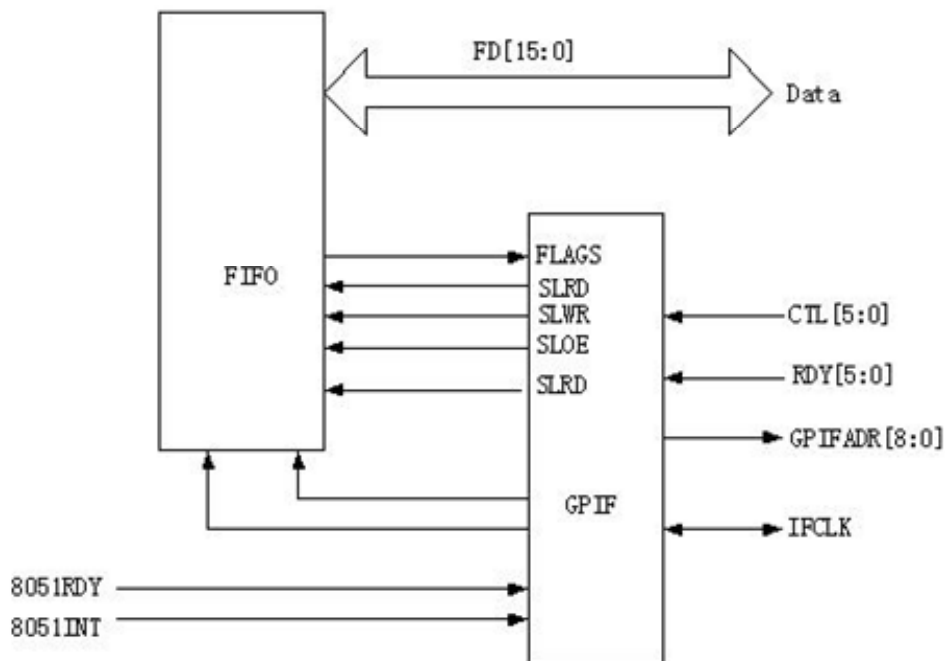


图 3-34 CY7C68013 FX2FIFO 在 GPIF Master 模式

#### (7) 中断资源

FX2 的中断结构是在一个标准 8051 单片机的基础上增强和扩展了部分中断资源，中断资源如表 3-3 所示：

表 3-3 FX2 中断资源

FX2 中断	中断来源	中断向量	优先级
IE0	INT0 Pin	0x0003	1
TF0	Timer0 Overflow	0x000B	2
IE1	INT1 Pin	0x0013	3

TF1	Timer1 Overflow	0x001B	4
RI_0 & TI_0	USART0 Rx & Tx	0x0023	5
TF2	Timer2 Overflow	0x002B	6
Resume	WAKEUP/WU2 Pin	0x0033	0
RI_1 & TI_1	USART1 Rx & Tx	0x003B	7
USBINT	USB	0x0043	8
I2CINT	I2C BUS	0x004B	9
IE4	GPIF/FIFOs/INT4 Pin	0x0053	10
IE5	INT5 Pin	0x005B	11
IE6	INT6 Pin	0x0063	12

其中 27 个 USB 请求共享 USB 中断，14 个 FIFO/GPIF 源共享 INT4。

### 3.3.2 CY7C68013 扩展板 Version No. 1

图 3-36、图 3-37 和图 3-38 分别为 CY7C68013 扩展板原理图，PCB 图和样品。

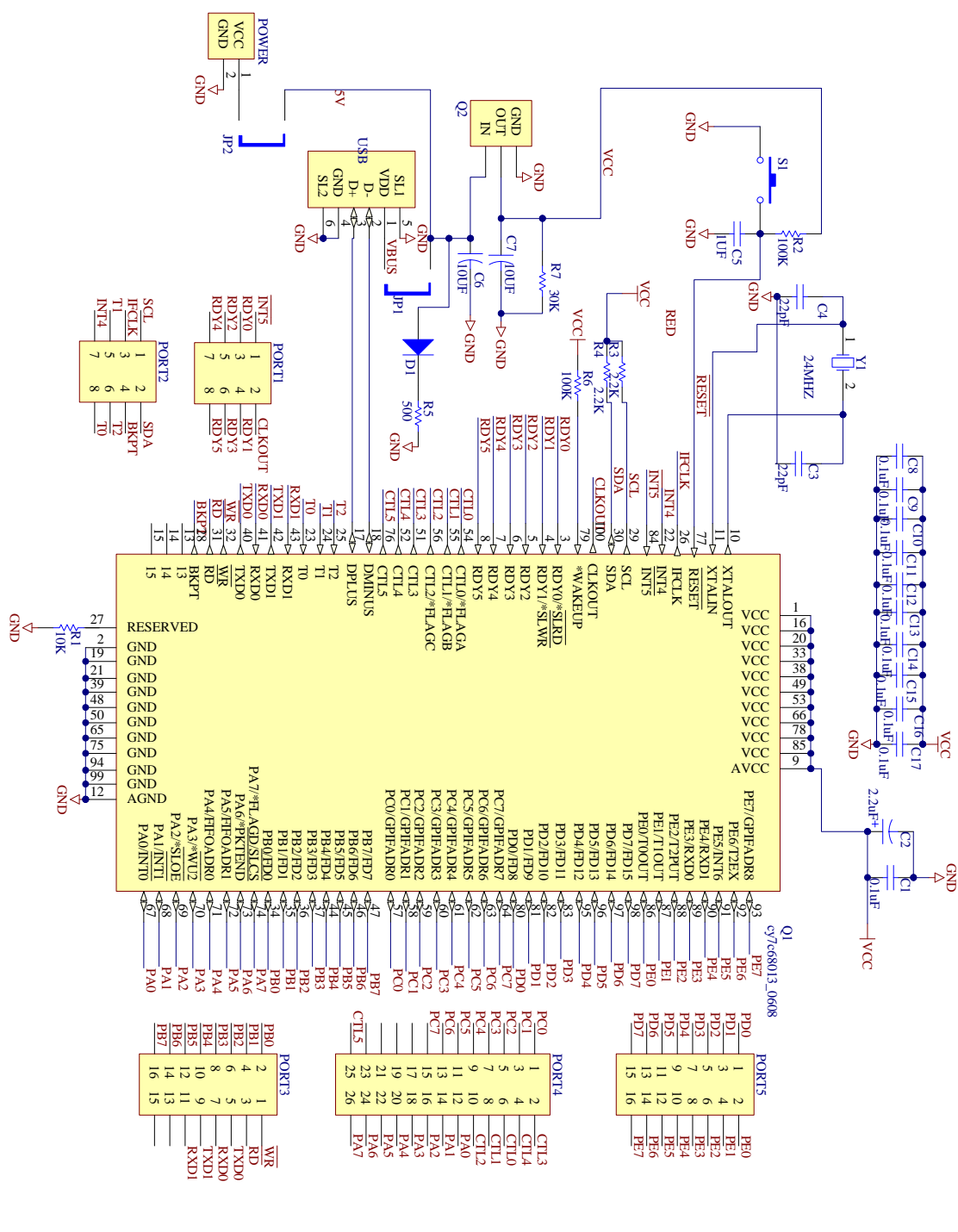


图 3-35 CY7C68013 扩展板电路

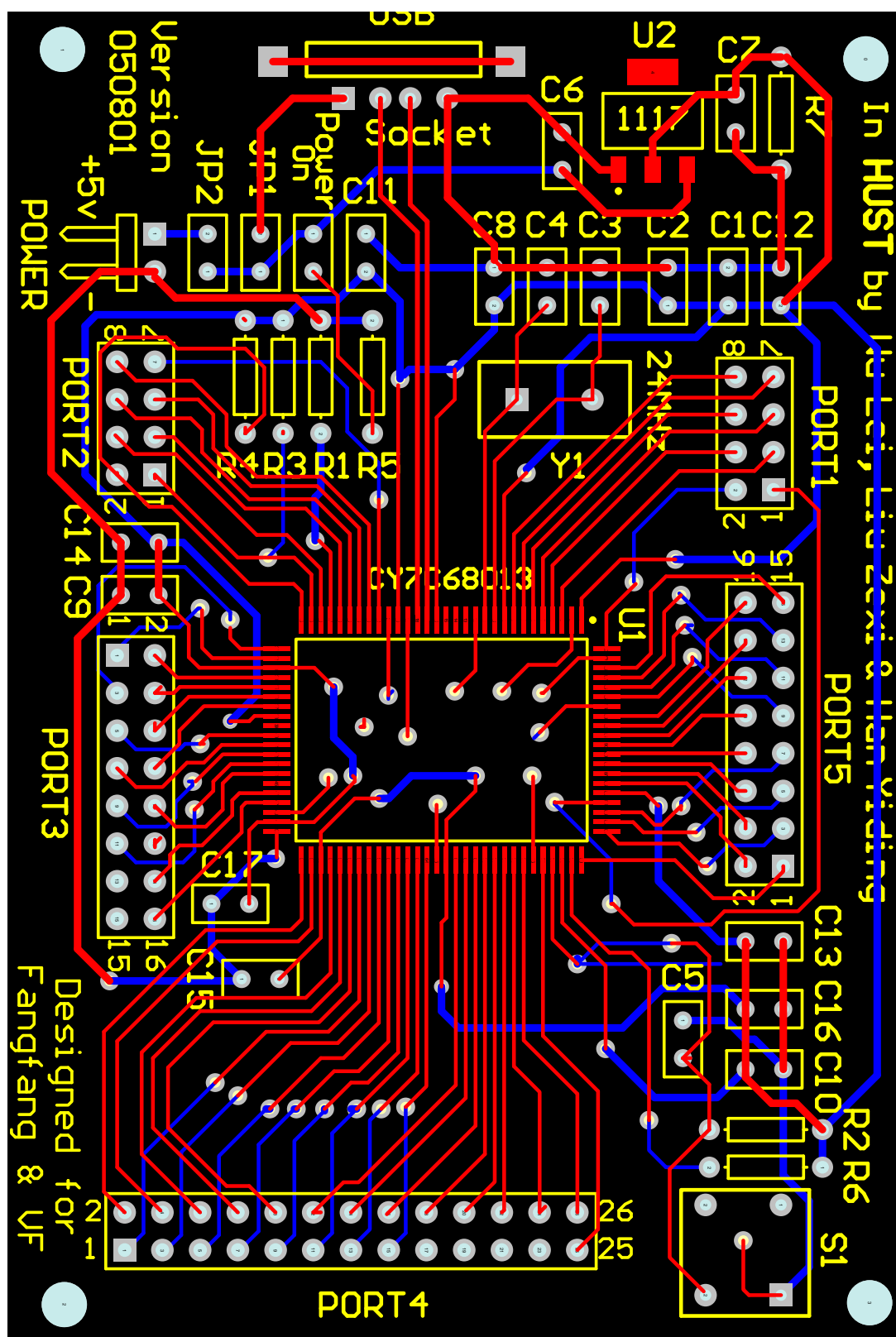


图 3-36 CY7C68013 扩展板 PCB 图

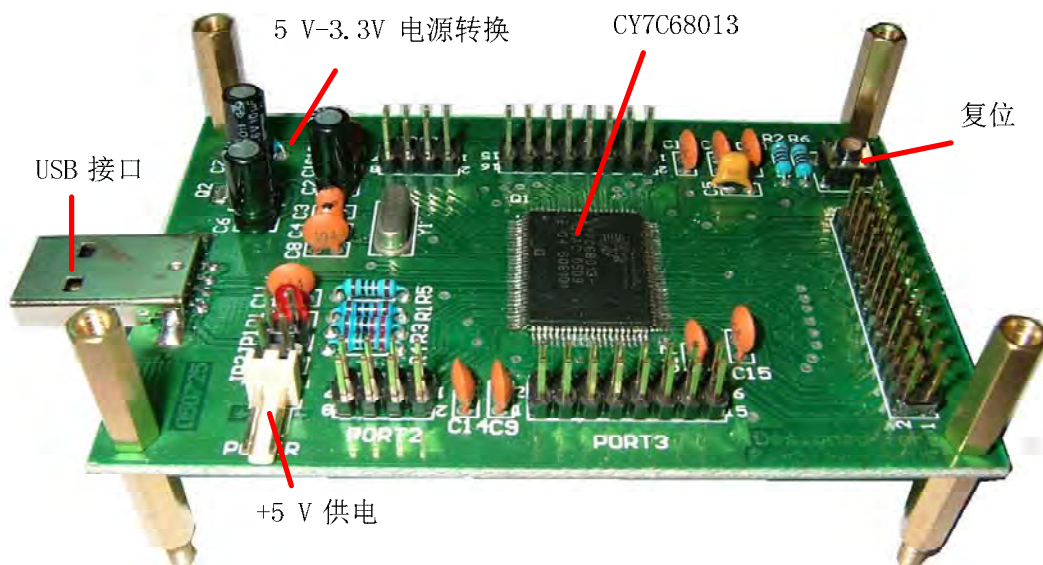


图 3-37 CY7C68013 扩展板样品

这是课题过程中制作的第一块 PCB 板，由于缺乏经验，在版图布局和走线方面存在一些失误。首先，USB 接口位置过于靠后，需要将板子锯开一个豁口才能将借口安装上去；其次，几乎所有的 0.1uF 去偶电容都没有发挥作用，因为都没有就近连接；第三，+5V 供电插头必须放倒安装（如上图示）否则会卡住后面的跳线插头；第四，5V-3.3V 电源转换部分非常拥挤，两个电容和 1117 之间的距离太近。但这些缺点并不影响使用。

这个板子的主要目的是将 CY7C68013 上的所有引脚引出，，简而言之就是搭载这块芯片。需要的时候，用扁平电缆将所用到的 I/O 口或者 GPIF 接口引出即可。

### 3.3.2 CY7C68013 扩展板修改版 Version No. 2

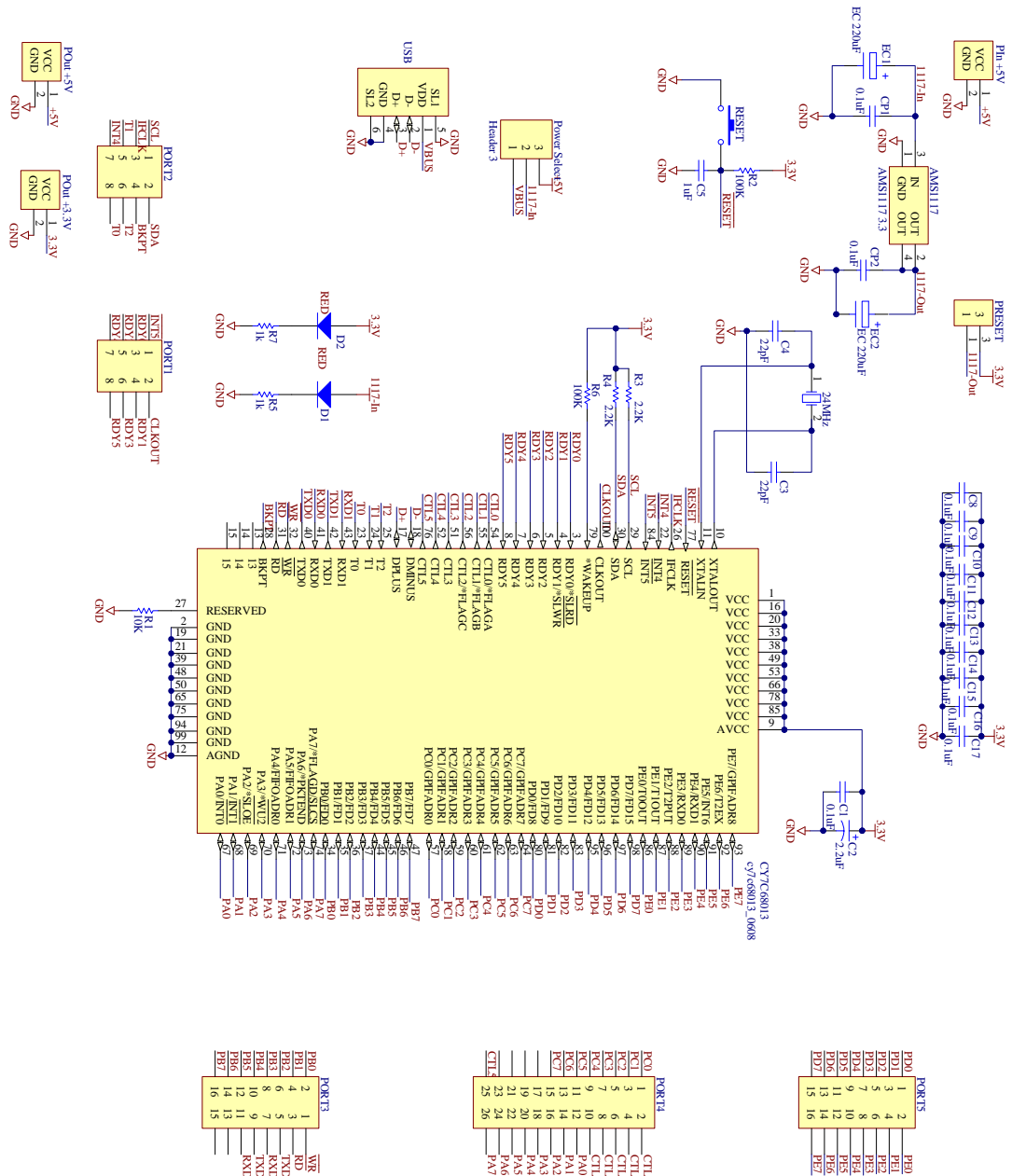


图 3-38 CY7C68013 扩展板修改版布线图

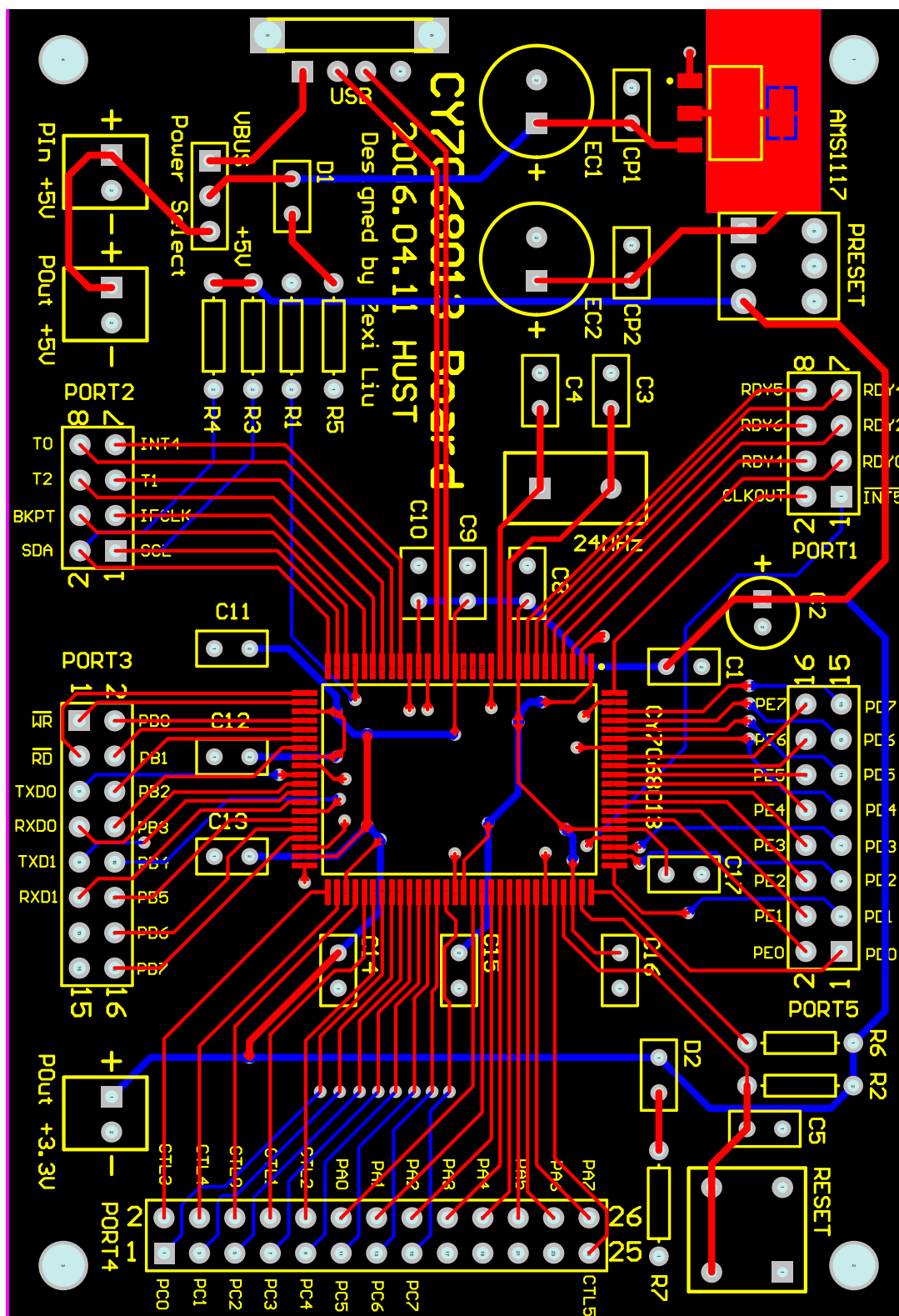


图 3-39 CY7C68013 扩展电路修改版 PCB 布线图

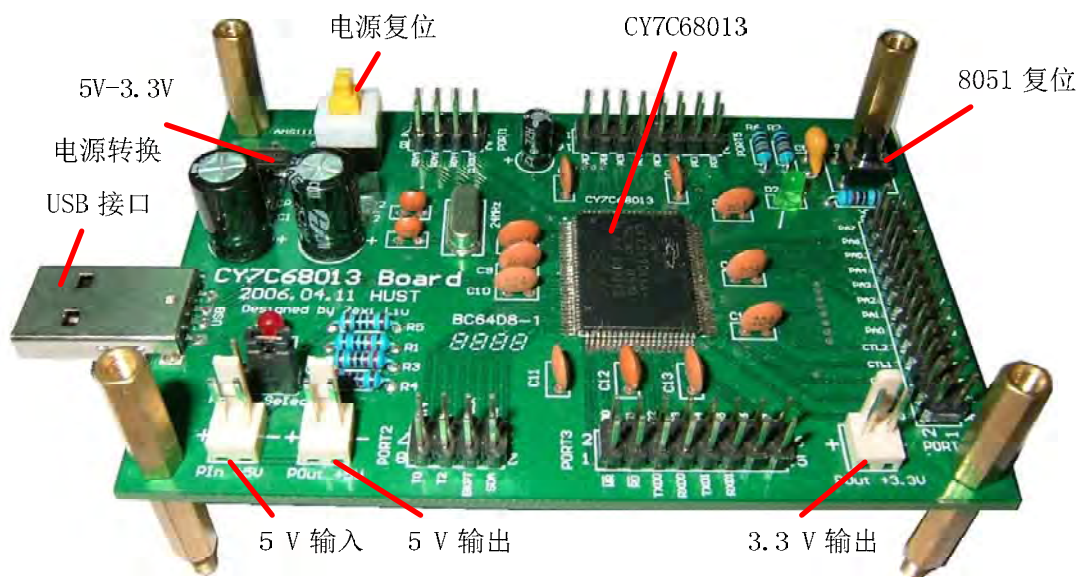


图 3-40 CY7C68013 扩展电路修改版样品

第二次制板针对第一次的问题进行了修正。主要有，首先，解决了 USB 接口的安装问题；其次，0.1uF 去偶电容全部就近安装；第三，电源输入输出的位置得到了修正；第四，改进了 5V-3.3V 电压转换部分的布局，1117 的输入端和输出端各接一个 220uF 电解电容，取代了 10uF 的小电容。

### 3.3.3 CY7C4265 介绍

CY7C4265 是高速低功耗 CMOS 时钟 FIFO 存储器。它是一款同步 FIFO，意思是它的读写端口使用同步接口，每一个端口的时钟都是互相独立的，这些时钟可以同步，也可以异步。这使得 FIFO 的读写口能以不同的速度运行。传统的 FIFO 在进行数据传输时通常要求额外的控制逻辑，而新一代 CY7C4265 则可实现 FIFO 与 DSP/模数转换之间的无缝连接。

### 3.3.4 CY7C4265 FIFO 扩展板

图 3-42、图 3-43 和图 3-44 分别为 CY7C4265 FIFO 扩展板的电路原理图、电路 PCB 图和样品实物照片。



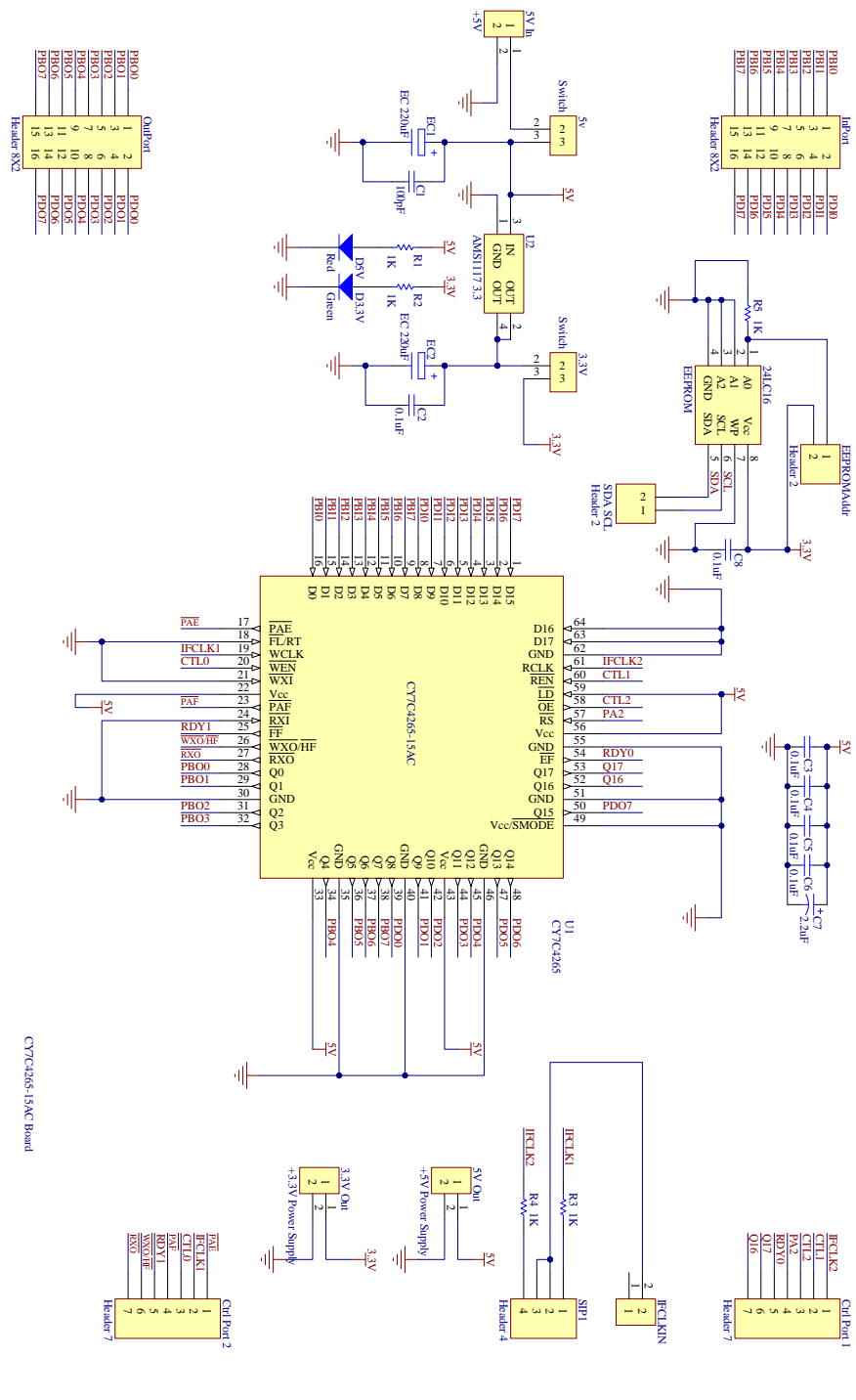


图 3-41 CY7C4265 FIFO 扩展板电路原理图

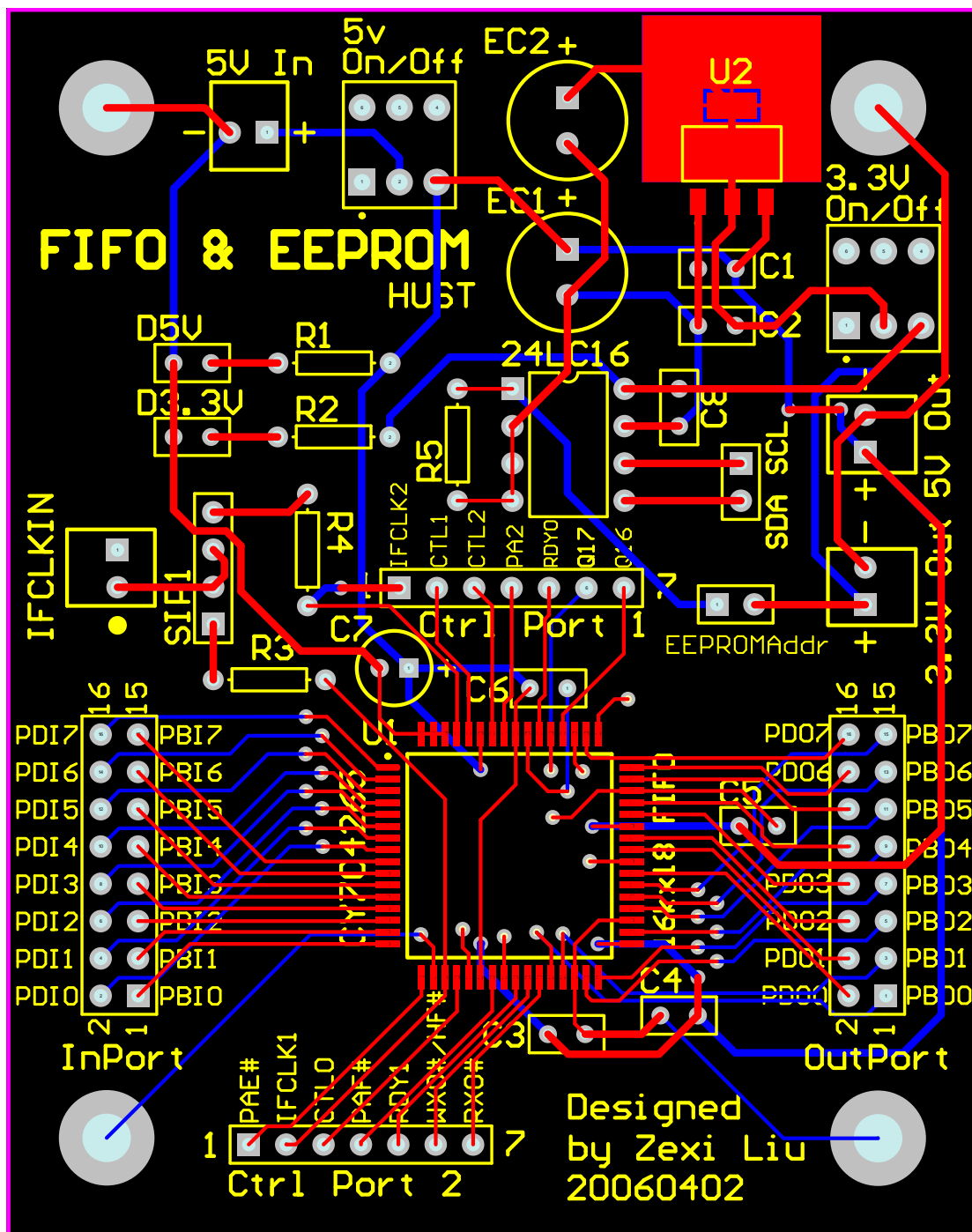


图 3-42 CY7C4265 FIFO 扩展板电路 PCB 图

这块板子上集成了 CY7C4265 和一块 24LC65，如前所述，CY7C4265 是一片 16KByte，低功耗、高速 FIFO，24LC65 是一块 64 KByte 的 I<sup>2</sup>C 总线 EEPROM。从系统角度来看，这块板子将位于模数转换和 USB 接口电路之间，从 CY7C68013 引出的控制信号和 GPIF 数据线将通过扁平电缆连接上来，其中 GPIF 的数据线连接到 CY7C4265 的输出端，从模数转换过来的 8 位数据也将通过扁平电缆连接到

CY7C4265 的输入端口。另外, CY7C68013 的 SCL、SDA 也连接到这块板子的 EEPROM 上。由于, 24LC65 的工作电压是 3.3V, 还配置了一块 1117 将 5V 转换为 3.3V。

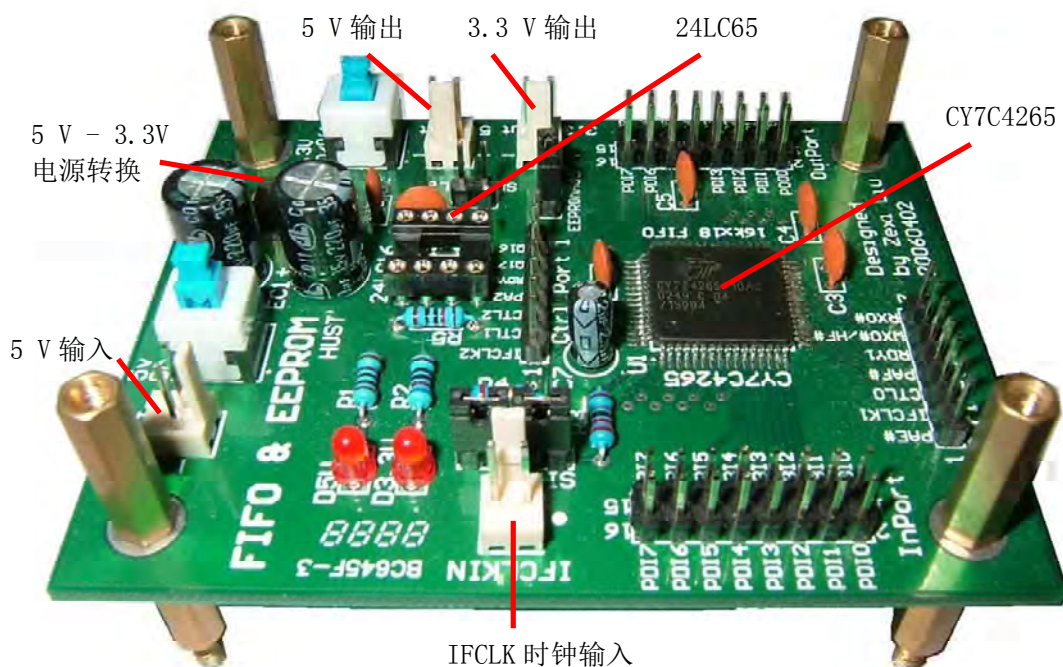


图 3-43 CY7C4265 FIFO 扩展板电路样品

### 3.3.5 EEPROM 的使用

在以 CY7C68013 为核心的 USB 接口电路中, EEPROM 主要有两个作用, 第一, 在存储区的开头, 地址为 0001H 和 0002H 的两个存储单元中存放的是 USB 设备的 VID 和 PID (厂商代码/产品代码), EEPROM 一般用来存放设备的 VID/PID 号, 以便在上电或插入时系统能知道设备的特性, 编程 EEPROM 可改变 CY7C68013 的枚举方式。第二, EEPROM 可以用来存放固件程序, 即 8051 内核的可执行程序, 这样可以使系统上电即工作, 不用依赖 USB 接口和从 PC 机上下载固件程序。

可以利用 UltraEdit 软件直接建立或编辑 16 进制文件, 然后运行 Cypress 公司附带开发包中的下载器, 通过 USB 接口和 CY7C68013 的 I<sup>2</sup>C 总线将程序写入 EEPROM 芯片 24LC65。

### 3.4 各部分连接及调试

#### 3.4.1 线路连接

接线图如图 3-45 所示，实物图如图 3-46 所示。

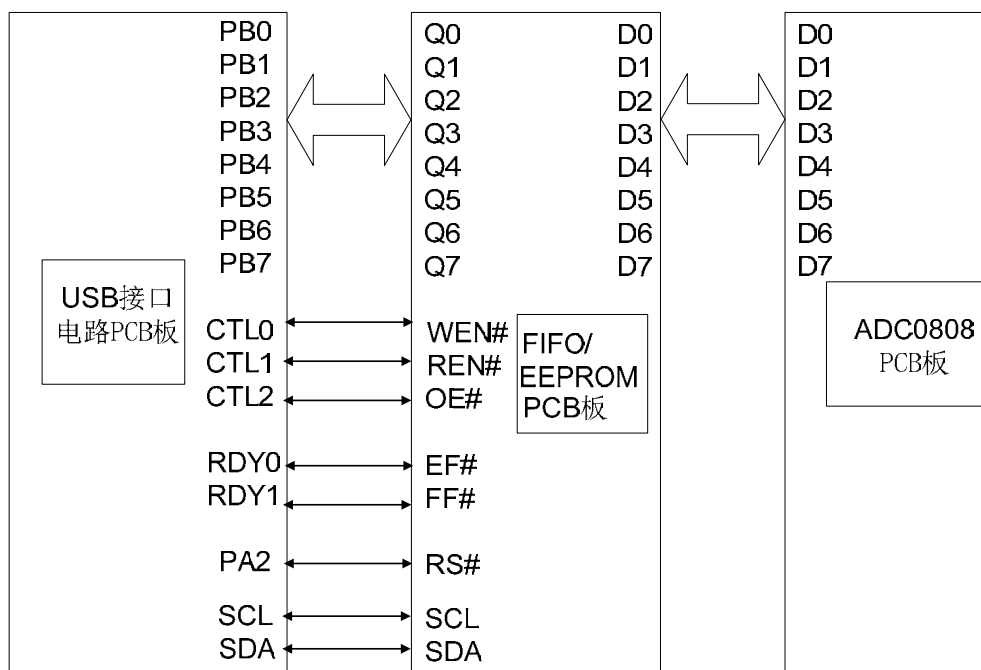


图 3-45 系统接线示意图

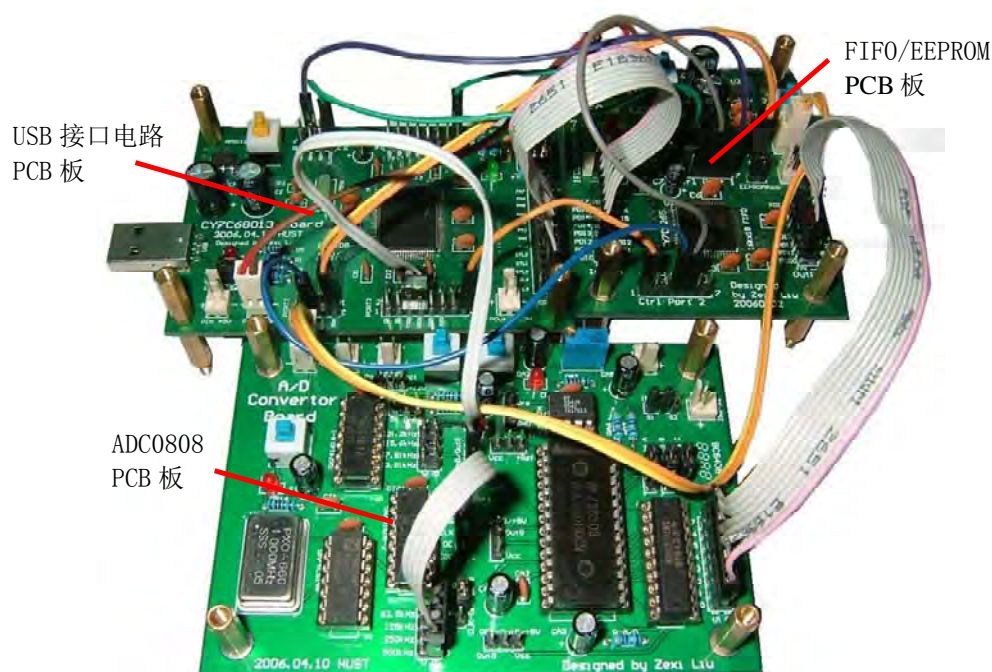


图 3-44 系统连接实物照片

### 3.4.1 系统调试

在系统调试中，GPIF 是个很重要的概念，在这一小节中我们将详细讨论这个问题。GPIF 是 CY7C68013 芯片中的核心组件之一，只有通过它 USB 设备才能达到 480 Mbits/sec 的高速。GPIF 实际上是 General Programmable Interface 的缩写，意思是“通用可编程接口”，主导思想其实是“以硬代软”，即高速传输的过程中，8051 内核（C 程序）不介入传输通道，并行数据的读入和打包全部由硬件完成，配置 GPIF 就是配置这些硬件。

那么，到底如何配置 GPIF 呢？在这里 Cypress 公司有个独特的设计思想。无论程序有多么复杂，从外部观察一个正在执行这些程序的器件，无非只看到各个引脚上不同时间产生的一系列方波而已。对于 8051 而言，CPU 每执行一行控制 I/O 口的代码，指定的引脚上就产生相应的高低电平（方波），但是尽管 CY7C68013 的 8051 内核工作频率可达 48MHz，对比 USB 所需的 480Mbits/sec 高速仍然显得慢了，就是说仅仅依靠 8051 执行程序无法在接口界面达到我们需要的高速。GPIF 的思想就是，8051 仅用来配置波形描述符，配置完成后，8051 退出数据传输通路，GPIF 通过读入的波形描述符，在相应引脚上产生一系列信号，包括控制信号和读写数据总线的信号。另外，为了简化编程难度，Cypress 公司提供了图形化的 GPIF 编程界面，就是说用户需要产生什么样的波形，就在 GPIF 设计器中将它们画出来，由 GPIF 设计器根据所画图形自动生成波形描述符，最后将波形描述符加入固件程序（在 8051 的内存的高地址 E400 开始的 128 字节的空间，就存放有 GPIF 波形描述符）。

由于存在三块独立的电路板，许多控制信号的接线显得杂乱无章，最初调试结果显示，PC 机读入的数据不很稳定，因此将三个分离的电路集成在一块板子上势在必行。





#### 4.1.2 PCB 版图设计

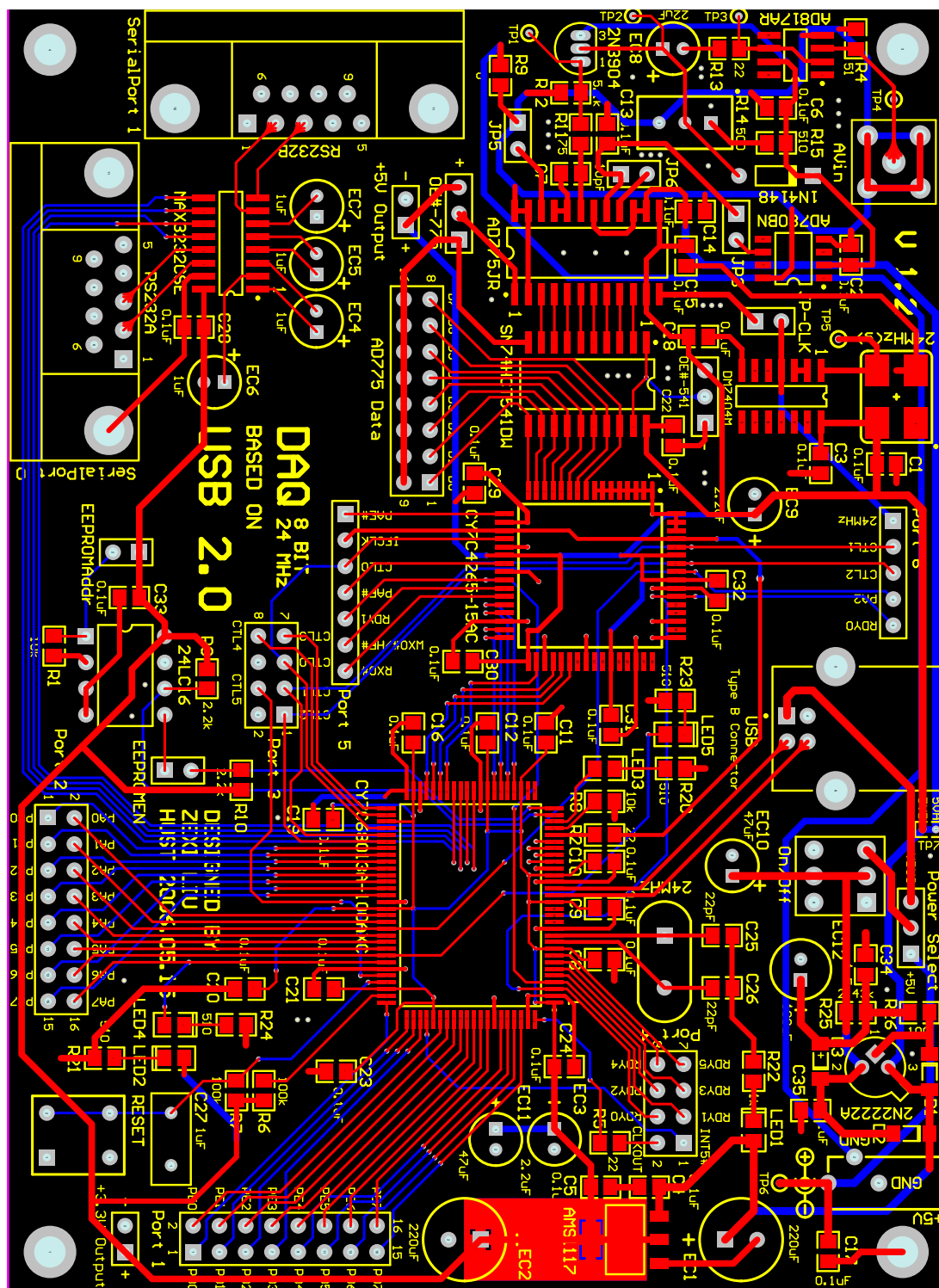


图 4-2 系统电路 PCB 图（未铺铜）

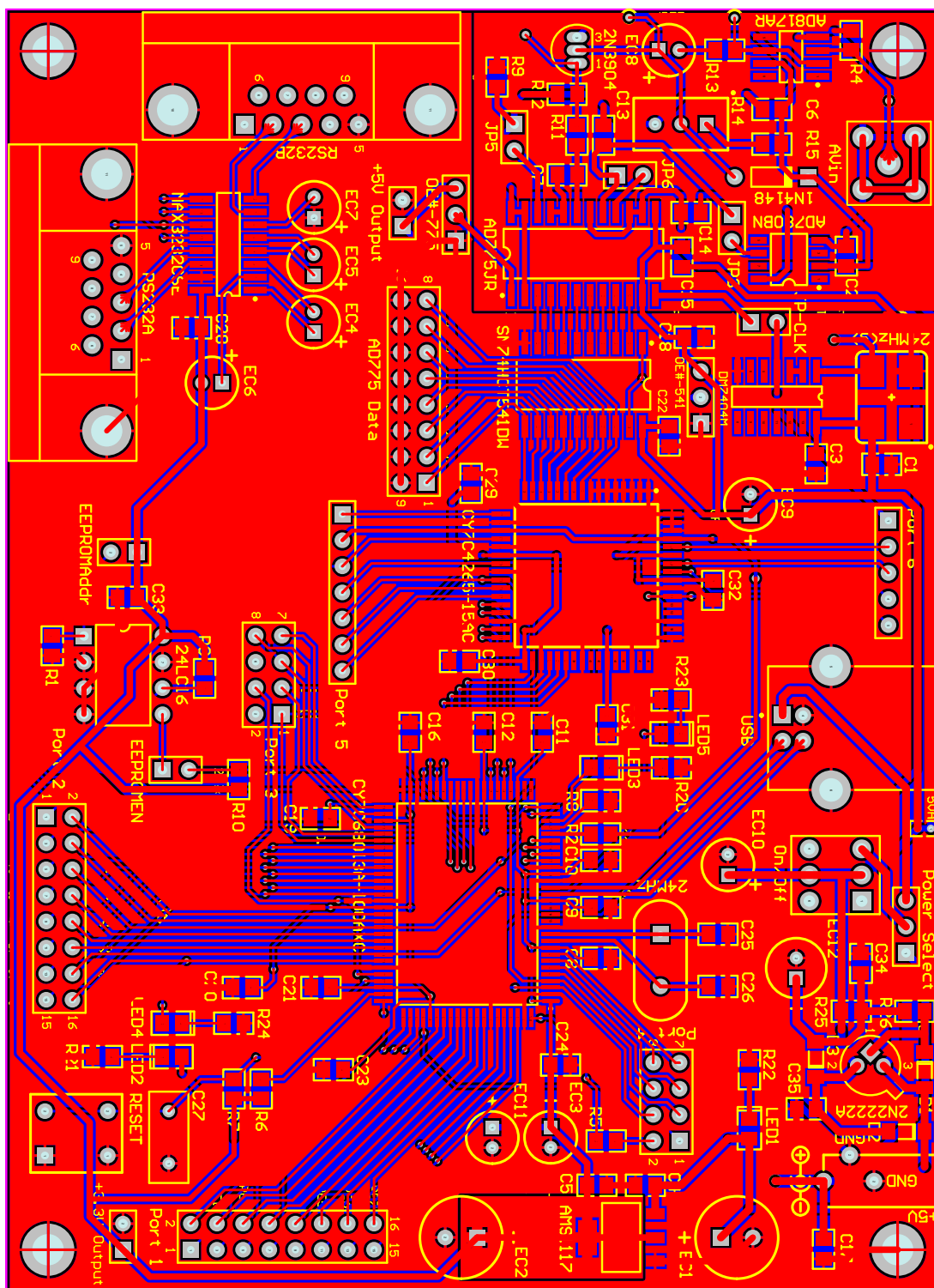


图 4-3 系统电路 PCB 图（铺铜）



### 4.1.3 布局与布线设计

为了使整个系统获得尽可能好的性能，在电路和布线设计中采用了如下措施：

(1) 为了避免各个信号间的串扰 (cross talk) 和保证信号的完整性 (integrality)；PCB设计中采用了多层板，通过使用大面积的电源和地层使信号线与地或电源平面之间形成一个紧耦合层，从而减少了信号线之间的串扰。

(2) 综合使用滤波电容、合理布局和布线等减少电源部分的扰动。

(3) 在布线时采用圆弧拐角布线技术，减少信号线的辐射和反射，降低串扰。

(4) 仔细解决单元和系统的接地问题。

上述措施的采用，较好完成了设计要求。

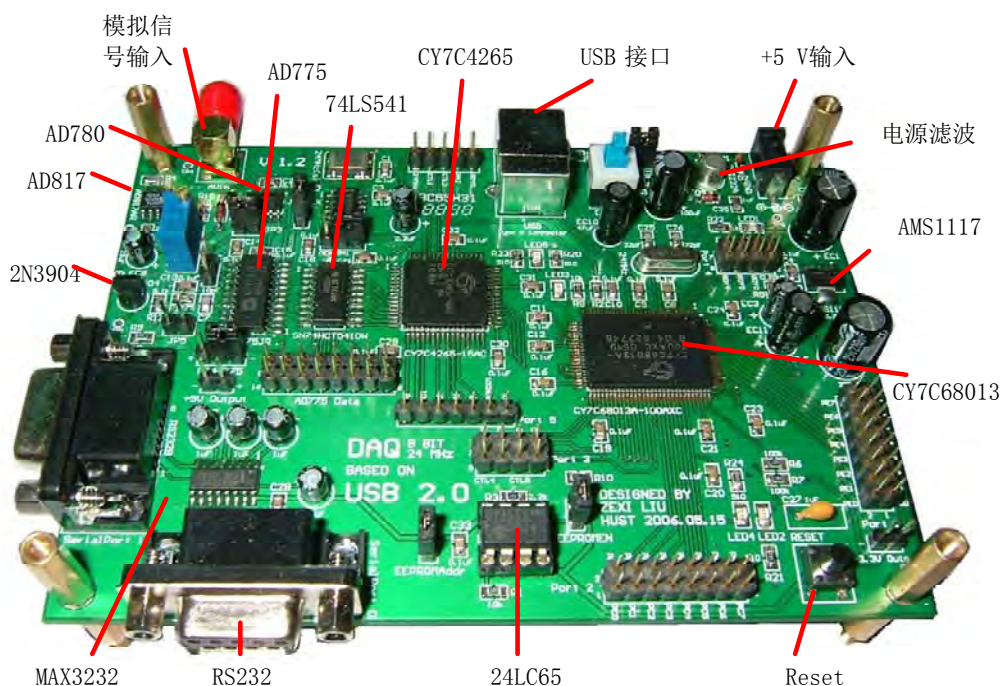


图 4-4 系统电路实物照片

## 4.2 软件部分

系统软件包括固件程序、USB设备驱动程序和应用程序。整个软件包括系统初始化，采样控制，数据传输部分和波形显示几个部分。固件及A/D转换器的底层控制程序主要用C51编制，用户应用程序基于Windriver 和 C++编写。

### 4.2.1 固件程序

固件程序是指固化到 E2PR0M 中的程序，固件程序辅助硬件实现设备双向交换数据，以完成 USB 通信，其主要功能是：接收并处理 USB 驱动程序请求及应用程序的控制指令，控制 A/D 转换器的采样。

固件程序主框图如图 4-5 所示。初始化包含各个初值的设置，关键点的电平检测。

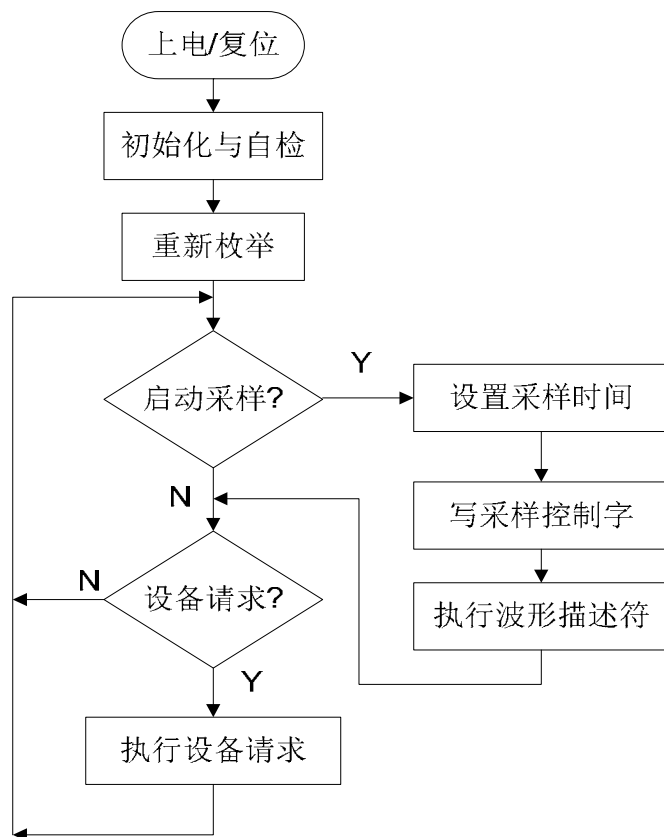


图 4-5 系统程序框图

#### 4.2.2 USB 设备驱动程序

USB 设备驱动程序的设计是基于 WDM(Windows driver model 驱动程序模型)的。WDM 采用分层驱动程序模型(见图 4-6 所示),分为较高级的 USB 设备驱动程序和较低级的 USB 函数层。其中 USB 函数层由两部分组成:较高级的通用串行总线模块(USBD)和较低级的主控制器驱动程序模块(HCD)。

在上述 USB 分层模块中,USB 函数层由 Windows98 提供,负责管理 USB 设备驱动程序和 USB 控制器之间的通信,加载及卸载 USB 驱动程序,与 USB 设备通用端点(endpoint)建立通信来执行设备配置、数据与 USB 协议框架和打包格式的双向转换任务。

目前 Cypress 公司开发包自带用户程序 EZ-USB,提供了 USB 设备驱动程序,但并不针对数据采集设备,因此需要设计和完善专用的 USB 设备驱动程序。

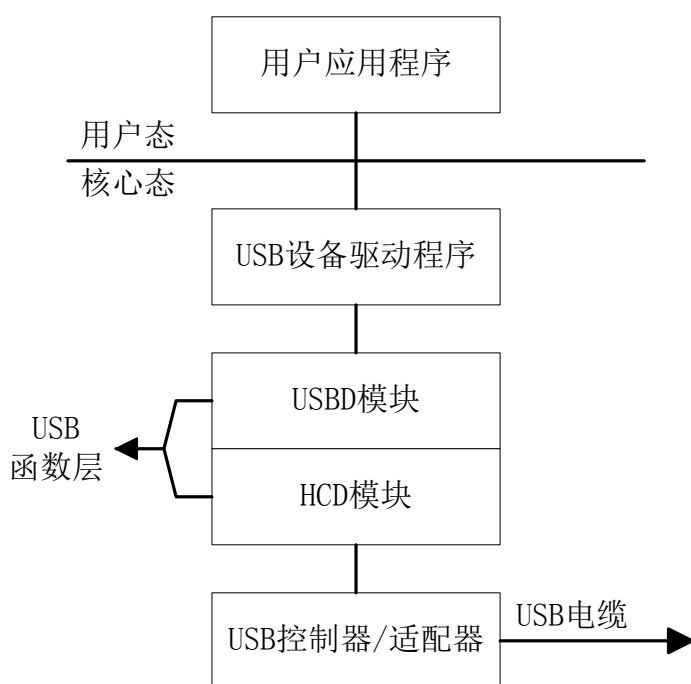


图 4-6 WDM 采用分层驱动程序模型

### 4.2.3 用户应用程序

用户应用程序是数据采集系统的中心，其主要功能为：开启或关闭 USB 设备、检测 USB 设备、设置 USB 数据传输管道、设置 A/D 状态和数据采集端口、实时从 USB 接口采集数据、显示并分析数据。应用程序主流程图如图 4-7 所示。

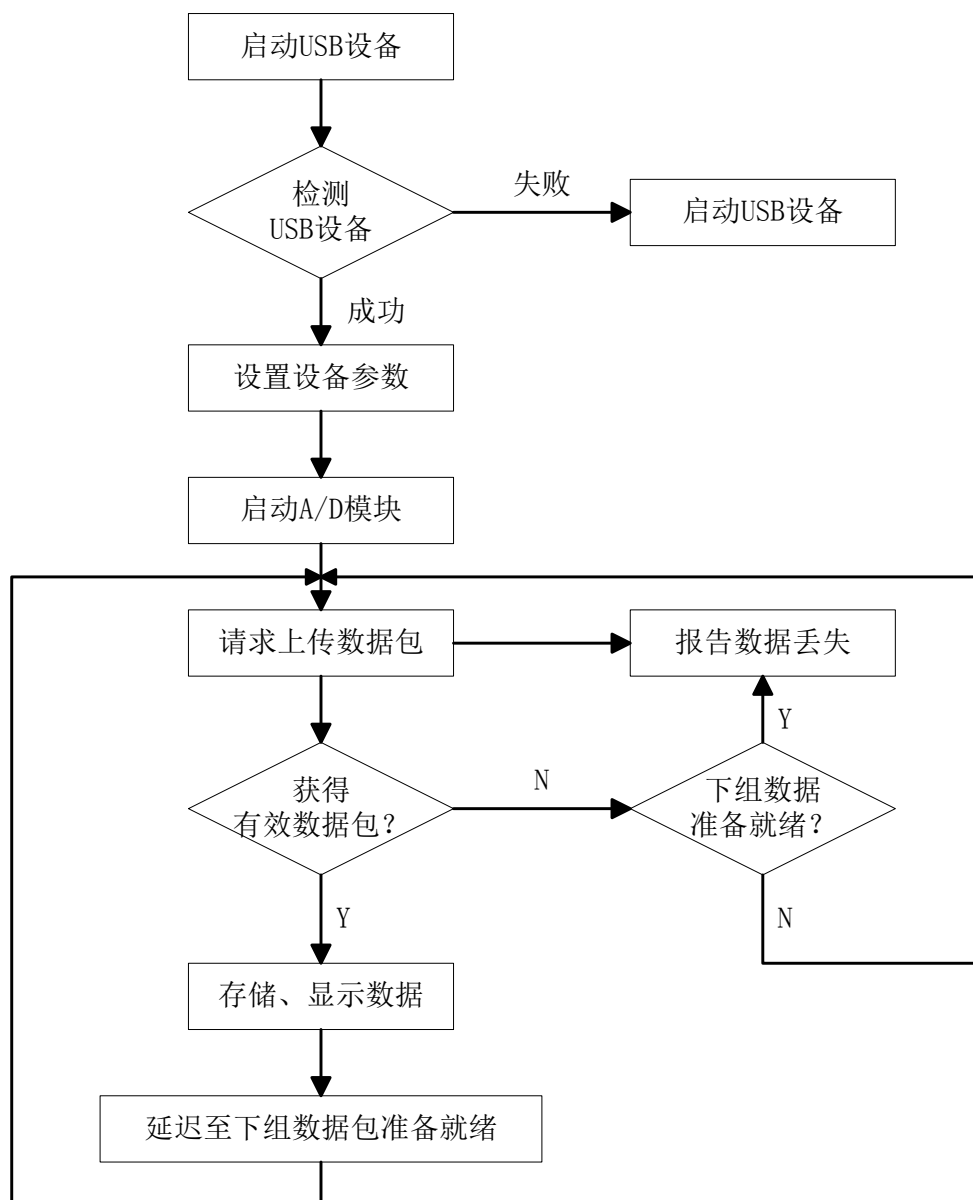


图 4-7 应用程序主流程图

由于 CY7C4265 提供 16KByte FIFO，当它存满后，自动将数据打包即时请求读入数据，由 SIE 自动发送数据包。另外，当系统启动 A/D 模块后，便会创建两个线程：采样线程和显示存盘线程。采样线程负责将采集数据写到应用程序提交的内存；而显示存盘线程负责给应用程序发送显示和存盘消息。当应用程序接收到此消息后，便从它提交的内存中读取数据并显示和存盘。此处需要注意的是采样线程和显示存盘线程在读写应用程序提交的内存时要保持同步。

### 4.3 集成调试

集成调试分成按照系统输出方向和输入方向的数据流进行。图 4-8 给出系

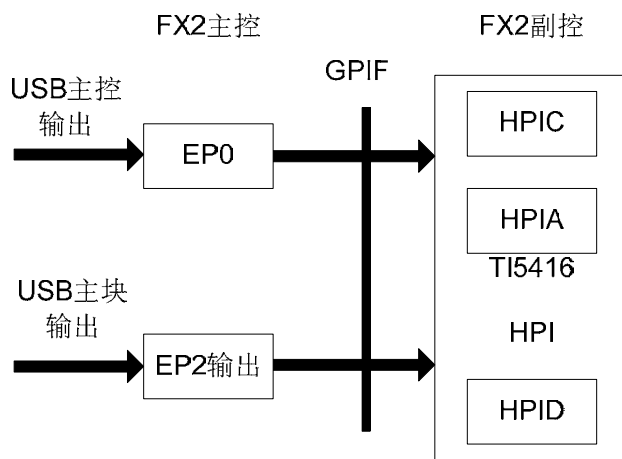


图 4-8 系统输出方向的数据流

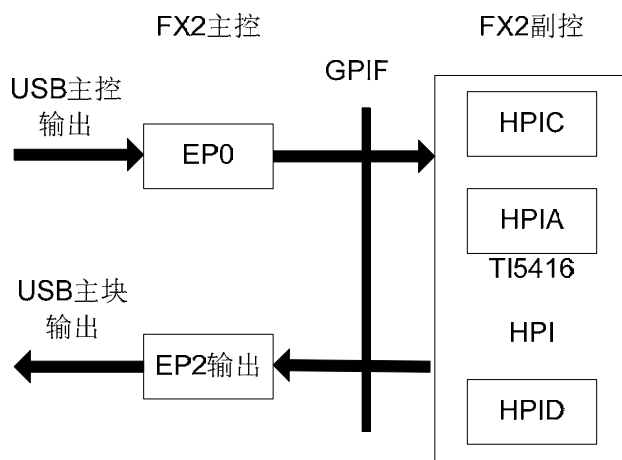


图 4-9 系统输入方向的数据流

统输出方向数据流模型。图 4-9 给出系统输入方向数据流模型。测试 USB 主块信号流程可判别系统输入或输出。

图 4-10 显示利用 Cypress 公司开发包自带用户程序 EZ-USB Control Panel 进行集成调试一个窗口。

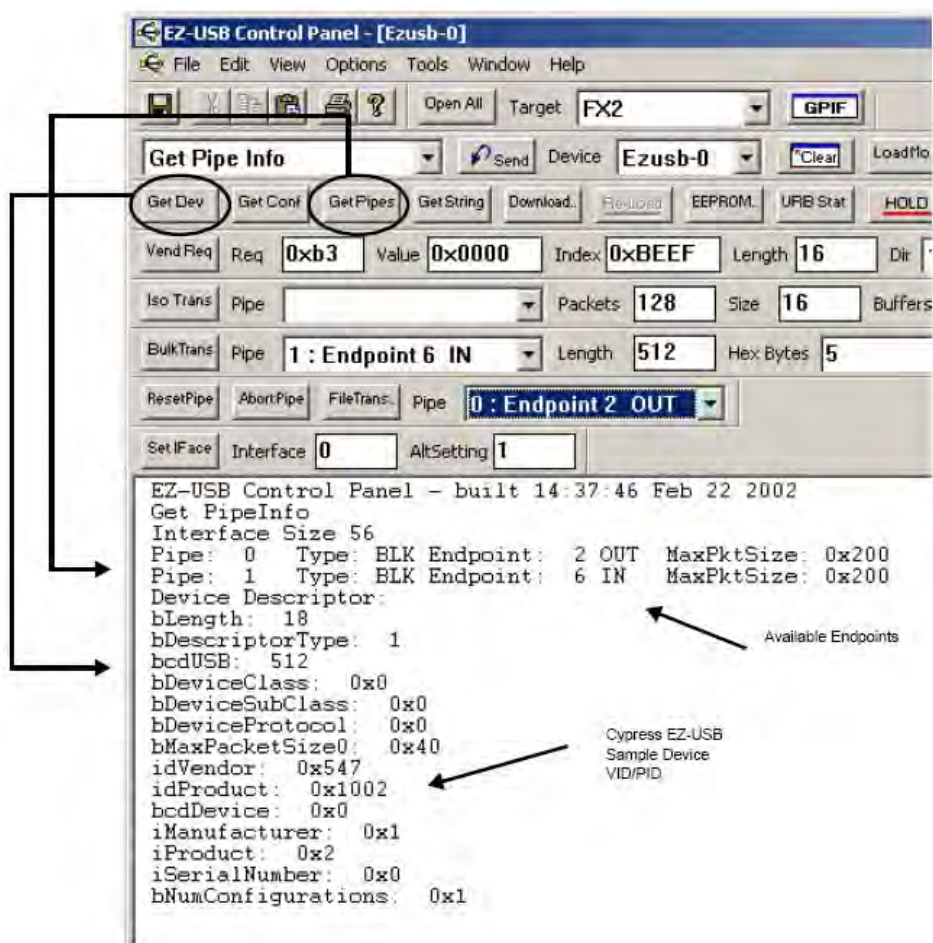


图 4-10 系统集成调试窗口

## 5 总结与展望

毕业设计是大学本科生活的最后阶段，是对大学四年所学知识的回顾、梳理和总结，同时也是在踏上工作岗位、融入社会之前的预演，因此是学习过程中的重要一步。

毕业设计“基于 USB2.0 接口的高速数据采集系统”这个课题起源于现实的需求，因此其具有实用性。正因为如此，在开始这个研究项目的同时我就给自己确定了很高的目标，要尽自己所能，开发出一套实用、高效的系统。

对这一课题进行分析后可以发现，现有的高速数据采集系统，像基于 PCI 总线的数据采集系统、基于 PLD 的高速数据采集系统、基于 DSP 和 USB2.0 接口的高速数据采集系统以及基于 USB 和串行 A/D 转换的数据采集系统，都有各自优点但也有不足。USB2.0 接口的数据采集卡有着高速、便携、简捷等特点，这个系统在灵活性上可以加以扩展，考虑到只有几个月的时间，同时 CY7C68013 的强大功能正好符合要求，因此最终我选择了以 CY7C68013 为核心芯片作为系统开发平台。

由于该系统将被使用在各种高速数据采集场所，因此它的实用性变得尤为重要。特别是干扰抑制和可靠性，在设计硬件时，我就阅读了大量的文献，想了许多办法来避免干扰。比如供电电源设计和制造，各个芯片的电源耦合，PCB 的布线等。通过反复设计与修改电路设计与 PCB 的布线，提高了我解决问题的能力，学会了如何考虑事物的各个方面。

回顾整个毕业设计过程，收获很大，但也有不少经验教训。首先，为了追求高标准高水平，计划和目标定的太大。使得时间非常紧张。其次，为了保证良好的电源供给，在电源设计和制造上花过多的精力和时间。再者，由于缺少必要的设备，电路中很多关键点的波形无法纪录。

开发一套完整的系统并非易事。这次的毕业设计是一次难得的实践机会，使我学到了不少东西，巩固了我的专业知识，锻炼了我的动手能力。同时也教会了我如何耐心、细致地去做好一项极需时间和精力的工作，学会查阅文献，如何去发现问题，如何运用已知的知识和学习未知的东西去解决问题。在工作中敬业是非常重要的，同时必须具备团队精神。尽管这个系统是自己独自开发的，但其中也缺少不了老师的指导和同学的帮助。在我即将踏上社会的时候，这个实践机会给我上了极为重要和生动的一课。

## 致谢

本课题从拟定题目到定稿，历时数月。在本论文完成之际，首先要向我的导师孔力老师，程晶晶老师和周凯波老师致以诚挚的谢意。在课题研发和论文的写作过程中，这些老师们给了我许许多多的指导和帮助。孔力老师还提供了部分课题经费资助。老师们学识渊博、治学严谨，待人平易近人，给我提供一个宽松的研究环境，培养了我独立研究的能力。在他们的悉心指导下，我不仅学到了扎实的专业知识，也在怎样待人处事等方面收益很多；老师们对工作的积极热情、认真负责、有条不紊、实事求是的态度，给我留下了深刻的印象，使我在学习和研究的过程中受益非浅。在此我再次向孔力老师，程晶晶老师和周凯波老师表示衷心的感谢和深深的敬意。

同时，我要感谢我们系的各位授课老师，正是由于他们兢兢业业的传道、授业、解惑，让我学到了专业知识，并从他们身上学到了如何求知治学、如何为人处事。我也要感谢我的母校华中科技大学，是她提供了良好的学习环境和生活环境，让我的大学生活丰富多姿，为我的人生留下精彩的一笔。

另外，衷心感谢我的同窗同学们，在我毕业论文写作中，与他们的探讨交流使我受益颇多；使我开阔了眼界，学到了不少新的东西，提高了动手能力。同时，他们也给了我很多无私的帮助和支持，我再次深表谢意。在技术支持方面，我尤其要感谢电信系通信软件交换实验室的孙杰和控制系魏丰老师实验室的魏琴，他们焊接了我的 PCB 板上的所有引脚数目多于 10 个的贴片。

最后，向我的亲爱的家人和亲爱的朋友表示深深的谢意，他们给予我的爱、理解、关心和支持是我不断前进的动力。同时感谢李斌教授提供部分实验设备，最后感谢控制系领导和老师，在毕业设计期间提供了很大的帮助，使我的毕业设计如期完成。学无止境。明天，将是我终身学习新一天的开始。



## 参考文献

- [1] 侯利军, 王殊, 左炜, 汪安民. USB2.0 接口和 DSP 构成的高速数据采集系统. 单片机与嵌入式系统应用, 2004, (10): 63-66
- [2] Anon. USB + JTAG + DSP = debugging tool. Electronic Design, 2001, 49(20): 76
- [3] Anon. DSP starter kit emulator uses USB. Electronic Design, 2002, 50(10): 71
- [4] 和志强, 薛世建. 基于 PCI 总线的高速大容量数据采集卡. 数据采集与处理, 19(4):463-466
- [5] Wu, X.. High speed data acquisition system using USB interface. Journal of Electronic Measurement and Instrument, 2004, 2: 1151-1155。
- [6] Kulpa, K. . Need for speed in digital signal processing, Wilga, Poland. International Society for Optical Engineering, Bellingham, WA 98227-0010, 2004, United States.
- [7] Lu, T., Y. Shi, et al. High-speed data acquisition circuit design of a digital signal analyzer, Hong Kong, China, Institute of Electrical and Electronics Engineers Computer Society, Piscataway, NJ 08855-1331, 2005, United States.
- [8] 代芬, 张承学, 刘延华. CPLD 在高速数据采集系统中的应用. 电子技术应用, 2003, 29 (2): 75-77
- [9] Sheu, Y. H., C. W. Chen, et al. (2004). The development of multi-channel action-potential generator for testing neurophysiologic data acquisition/analysis system, Singapore, Singapore, Institute of Electrical and Electronics Engineers Computer Society, Piscataway, NJ 08855-1331, United States.
- [10] Jian, X., F. Zhao, et al. Development of a surface respond parameters measurement of low responsibility detector, Xian, China, International Society for Optical Engineering, Bellingham WA, WA 98227-0010, 2006, United States.
- [11] 唐明, 张焕国. PLD 技术与 DSP 应用的结合. 计算机工程, 2003, 29(15):51
- [12] Hemminger, T. L. and R. M. Ford. Digital signal processing in the undergraduate curriculum, Montreal, Que., Canada, American Society for

- Engineering Education, Washington, DC 20036, 2002, United States.
- [13] 刘宁艳, 路宏敏, 刘科祥. 基于 DSP 的高速数据采集系统的研制. 电子设计应用, 2004, (1): 46-48
- [14] 陈其松. 基于 DSP 和 USB 的信号处理系统. 化工自动化及仪表, 2005:**32**(5): 37-39
- [15] Hu, X. H. and W. Q. Yang, "Design of a data acquisition and function generation unit with USB." Measurement Science and Technology, 2006, **17**(4): 17-23.
- [16] Cardoso, J. M., J. B. Simoes, et al. A high performance reconfigurable hardware platform for digital pulse processing. IEEE Transactions on Nuclear Science, 2004, 51(3 III): 921-925.
- [17] Connors, S. Real-Time DSP Data Acquisition System, Sound and Vibration, 2004, 38(3): 8-13.
- [18] 库依楠, 杨玉森, 韩洋. 基于 DSP 的 USB2.0 设备接口协议的实现. 吉林大学学报 (工学版), 2005,35(2):170-173
- [19] 张雄希, 何嘉斌. 基于 USB 总线和 89C51 单片机的数据采集系统设计. 电子设计应用, 2003, 4 (2): 31-33
- [20] 贾冲, 孙浩海. 基于 USB2.0 的语音数据采集系统设计. 电子设计应用, 2004, (4): 90-91
- [21] 纪巍, 闫达远, 袁洁基. 于 USB2.0 接口传输的多通道图像采集系统设计. 光学技术, 2004, 30(1):119-121
- [22] 汪洋, 闫达远. 基于 USB2.0 和 DirectShow 的视频采集系统. 光学技术, 2005,**31**(4):486-488
- [23] 扈啸, 张玘, 张连超. USB2.0 控制器 CY7C68013 特点与应用. 单片机与嵌入式系统应用, 2002, 7: 358-361
- [24] 姚剑敏, 靳明, 宋建中. 基于 USB2.0 的实时视频图像传输. 数据采集与处理, 2004, 19(3):352-355
- [25] Dam, M., V. Egorytchev, et al. HERA-B data acquisition system. Nuclear Instruments and Methods in Physics Research, Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2004, 525(3): 566-581.
- [26] Wang, L., S. Shi, et al. Thermal temperature measurement and dynamic

analysis based on USB 2.0, Xian, China, International Society for Optical Engineering, Bellingham WA, WA 98227-0010, 2006, United States.

- [27] 王念旭. DSP 基础与应用系统设计, 北京, 北京航空航天大学出版社, 2001, 24-27。
- [28] 萧世文. USB2.0 硬件设计, 北京, 清华大学出版社, 2002, 31-45。
- [29] 杰诚文化. 精通 Protel DXP 入门提高篇, 北京, 中国青年出版社, 2005。
- [30] 柯常志, 柯长仁. 精通 Protel DXP 系统设计篇, 北京, 中国青年出版社, 2005。
- [31] 王成儒, 李英伟. USB 2.0 原理与工程开发, 北京, 国防工业出版社, 2004
- [32] 康华光. 电子技术基础, 高等教育出版社, 1998
- [33] 谢自美. 电子线路设计, 华中科技大学出版社, 2000
- [34] Cypress Semiconductor, EZ-USB FX2 Technical Reference Manual, 2001.
- [35] Cypress Semiconductor, EZ-USB FX2 GPIF Primer, 2001.
- [36] Cypress Semiconductor, CY7C68013 EZ-USB FX2 USB Microcontroller High-speed USB Peripheral Controller, 2001.