



Práctica 1: Diseño de un sistema combinacional sencillo

Diseñar un decodificador de 3 entradas a partir de decodificadores de 2 entradas, con **estructura de árbol**, tal como está indicado en las transparencias de clase, utilizando VHDL estructural. El decodificador tiene una entrada de Enable activa a nivel alto. Con Enable=0, todas las salidas del decodificador se pondrán a 0.

Seguir los siguientes pasos:

- 1) Diseñar un decodificador de 2 entradas, sin Enable, utilizando sentencias concurrentes. Simular el circuito y comprobar su correcto funcionamiento.
- 2) Añadir una señal Enable al decodificador de 2 entradas. Simular el circuito y comprobar su correcto funcionamiento.
- 3) Diseñar el decodificador de 3 entradas utilizando 3 decodificadores de 2 entradas con Enable como componentes (diseño en árbol descrito con VHDL estructural). Simular el circuito y comprobar su correcto funcionamiento.
- 4) Sintetizar el diseño del decodificador de 3 entradas y probarlo en la FPGA. Las entradas del decodificador se conectarán a los switches 0 (Enable), 1, 2 y 3 de la placa y las salidas a los leds 0 a 7.

El archivo base de mapeo de asignación de pines de la FPGA (*constraints*, con extensión *.xdc) está en el CV en la pestaña “Enunciados”. En dicho archivo se deben des-comentar las líneas correspondientes a los pines necesarios y sustituir los nombres de señales que aparecen por los nombres de las señales del diseño.

En esa misma pestaña hay también un archivo con un *testbench* para el decodificador de 2 entradas (modificar para adaptar a los nombres de vuestro diseño y usarlo como base para el *testbench* que necesitáis para simular el decodificador de 3 entradas).

Para la entrega se mostrará solamente el apartado 4 en el laboratorio.

