Міністерство освіти і науки України

Національний університет “Львівська політехніка”

Кафедра ЕОМ



**Звіт**

**з ЛабораторнОЇ роботИ №6**

З дисципліни: “Комп’ютерні системи”

На тему:

***«*Побудова функціональної схеми процесорів архітектури RISC CPU*»***

Виконала: студентка гр. KI-32

Фещенко З.-А.С.

Прийняв: Козак Н.Б.

Львів 2020 р.

**МЕТА РОБОТИ:**

Навчитись розробляти нові функціональні модулі з метою розширення функціонування базової архітектури процесорів RISC, що відповідає програмній моделі, а також створення функціональної схеми.

**Завдання до лабораторної роботи.**

Згідно варіанту в журналі та узгоджено з викладачем обрати один з процесорів заданого сімейства на базі RISC архітектури, в звіті навести основну інформацію по процесору, схему та характеристику.

Внести необхідні зміни в проект з 5-ї лабораторної (типи кешів, розмірності шин даних, назви та типи сигналів, операції, буферні модулі і т.д.) з метою реалізації фукнціоналу з обраного процесору. В звіті представити коротко внесені зміни з описом ходу роботи, а також кінцеву функціональну схему програмної моделі.

**Варіант 19**

19mod8=3

***Варіанти до 6-ї лабораторної роботи:***

1) ARM сімейство процесорів

2) The MIPS line

**3) Hitachi's SuperH**

4) Atmel AVR

5) RISC-V, the open source fifth Berkeley RISC ISA.

6) SPARC, by Oracle (previously Sun Microsystems), and Fujitsu.

7) IBM's Power Architecture.

8) Hewlett-Packard's PA-RISC, also known as HP-PA.

**Порядок виконання роботи**

**SuperH** (або **SH** ) назва мікропроцесорної та мікроконтролерної архітектури, що є торговою маркою. В основі SuperH лежить 32-розрядна RISC-архітектура, яка використовується у великій кількості вбудованих систем.

Процесорне ядро ​​SuperH було розроблено компанією Hitachi на початку 1990-х років і до 1995-го стало 3-ю архітектурою за кількістю поставлених ядер. Багато мікроконтролерів та мікропроцесорів засновано на цій архітектурі.

Hitachi розробила повну систему команд, загальну для всіх поколінь процесорних ядер. На сьогоднішній день підтримкою і розвитком архітектури, процесорного ядра і випуском кінцевих продуктів на їх основі займається компанія Renesas Electronics, що утворилася в результаті злиття напівпровідникових підрозділів компаній Hitachi і Mitsubishi.

Існує ініціатива (за участю Renesas) зі створення відкритих процесорних ядер з архітектурою SH, зокрема ядра J2 для FPGA і ASIC (вихідний код опубліковано в 2015 році). Останні патенти на SH2 минули в 2014 році, а на SH4 - в 2016 році.

SH-4 є 32-розрядним процесором RISC і був розроблений для основного використання в мультимедійних додатках, таких як ігрові системи Sega [Dreamcast](https://en.wikipedia.org/wiki/Dreamcast" \o "Сонник) і [NAOMI](https://en.wikipedia.org/wiki/List_of_Sega_arcade_system_boards#Sega_Naomi) . Він включає набагато більш потужний блок з плаваючою комою та додаткові вбудовані функції, а також стандартну 32-бітну цілочисельну обробку та 16-бітний розмір інструкцій.

**Особливості SH-4 включають:**

* FPU з чотирма множниками плаваючої крапки, що підтримують 32-бітову одноточну та 64-бітну поплавці з подвійною точністю
* 4D [-операція з крапкою із](https://en.wikipedia.org/wiki/Dot-product_operation) плаваючою точкою
* 128-бітна шина з плаваючою комою, що дозволяє 3,2 ГБ / сек швидкість передачі даних з кешу даних
* 64-бітна зовнішня шина даних з 32-розрядною адресою пам'яті, що забезпечує максимум 4 ГБ адресної пам'яті зі швидкістю передачі 800 Мб / с
* Вбудовані контролери переривань, DMA та управління потужністю

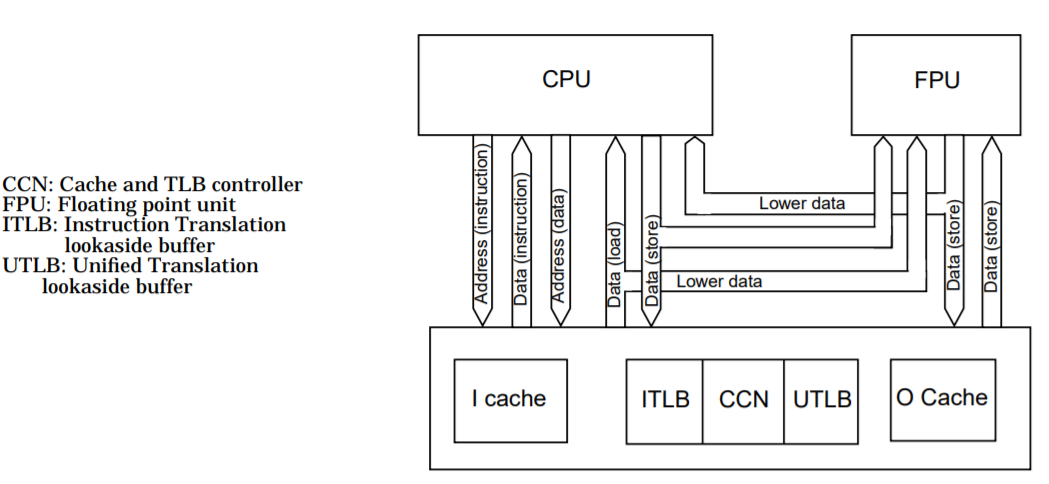
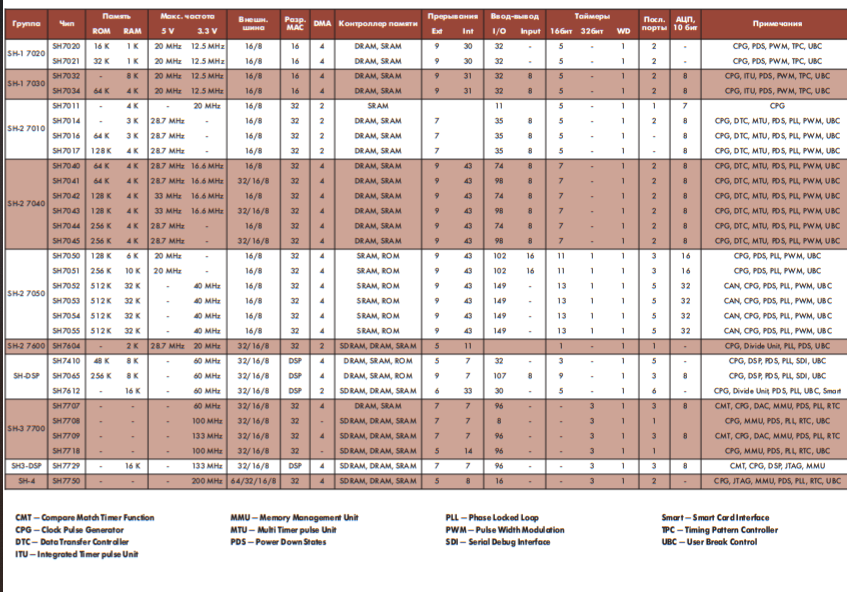


Рис.1 Структура SH-4

Рис.2 Мікропроцесори архітектури SH

* 1. Розширення кількісті операцій в блоці обчислень (FLOAT\_BLOCK):

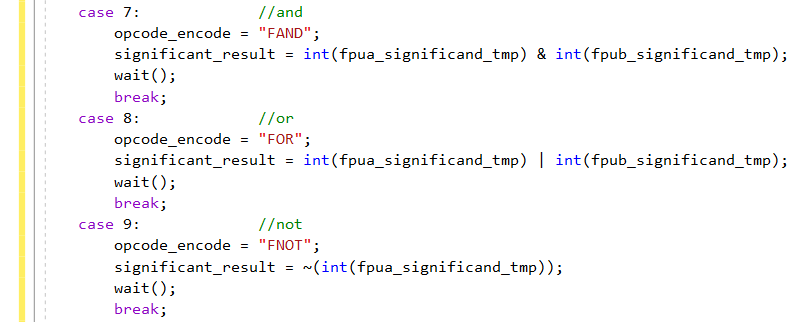
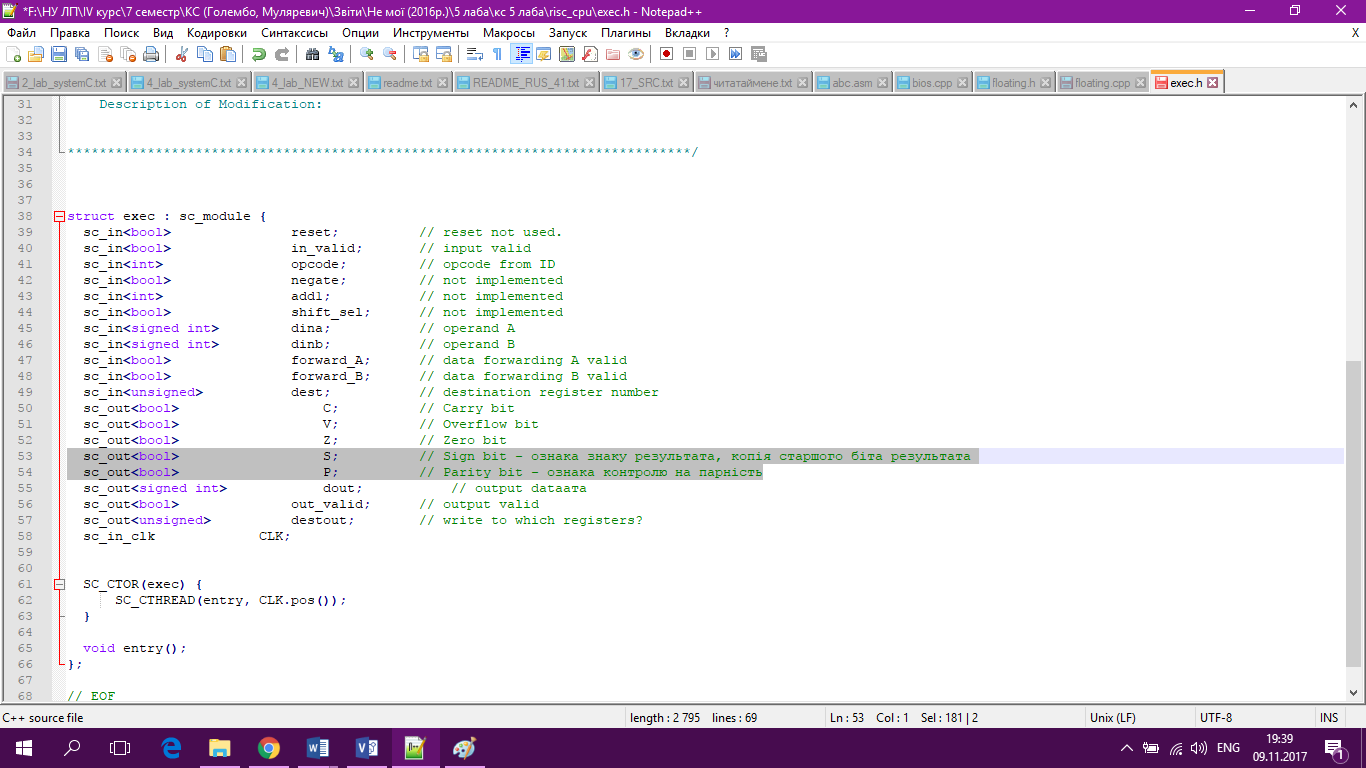


Рис.3. Розширення кількоcті операцій

* 1. Додавання прапорців в блоці обчислень та main.cpp:



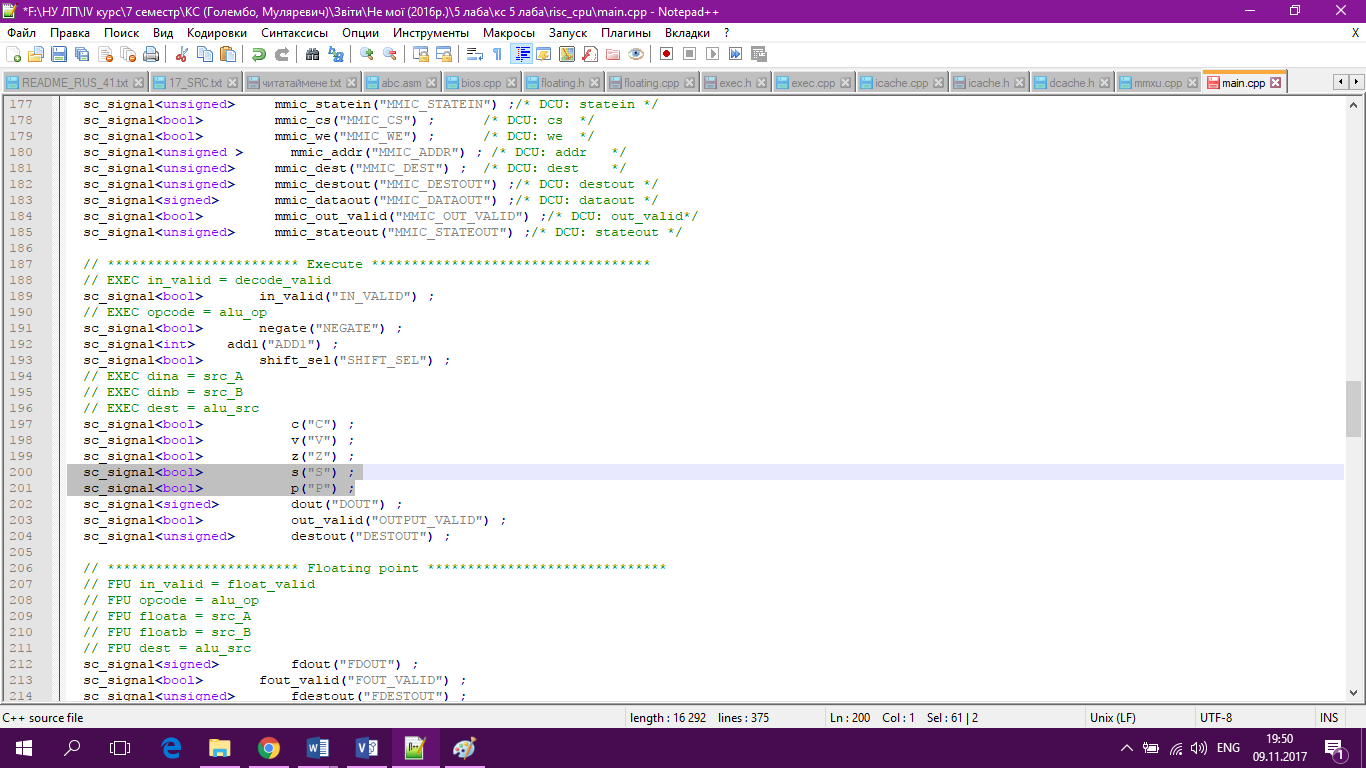


Рис.4. Прапорці

* 1. Зміни в кеші для інструкцій(ICACHE\_BLOCK):



Рис.5 Зміни в кеші для інструкцій

* 1. Зміни в кеші для даних (DCACHE\_BLOCK):

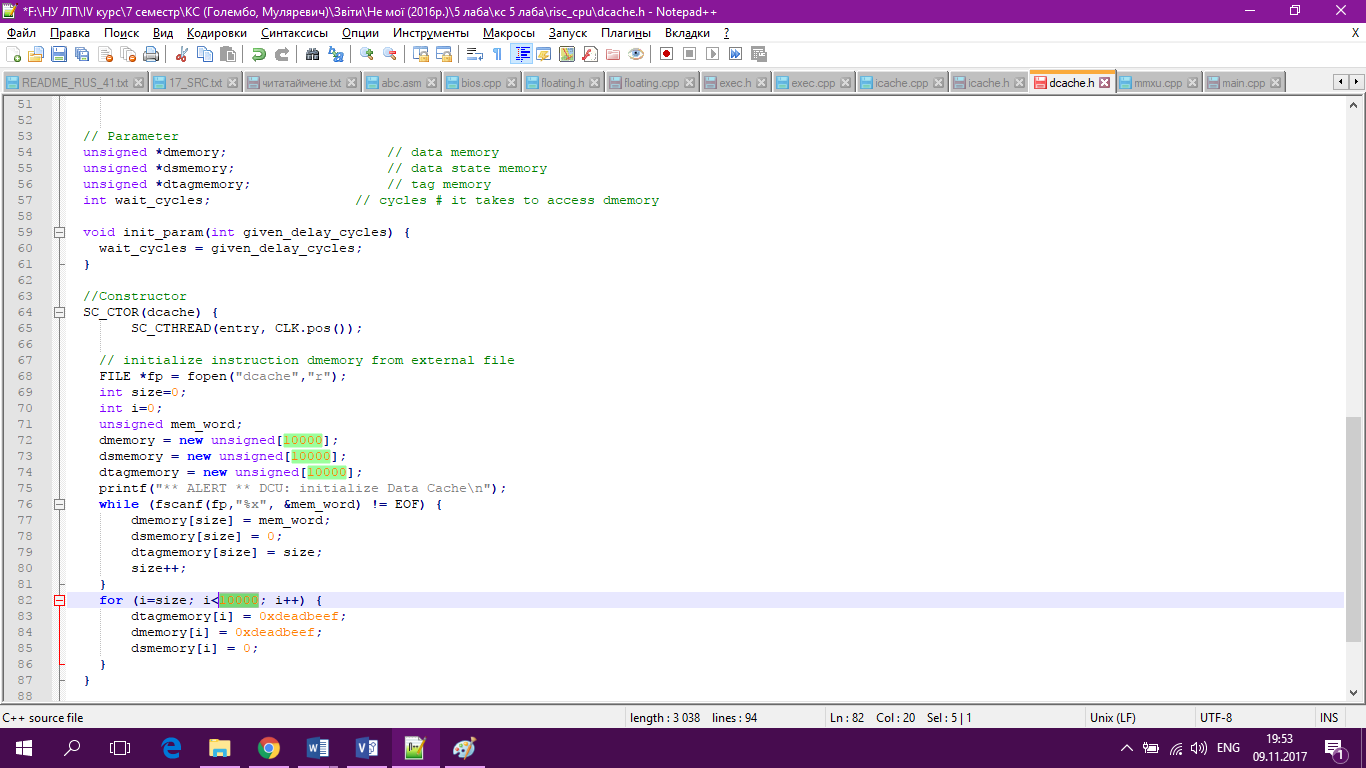
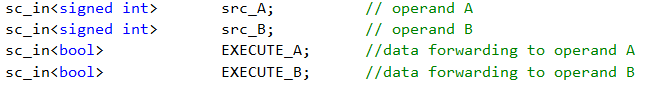


Рис.6. Зміни в кеші для даних

* 1. Зміни назви сигналів в DECODE\_BLOCK і EXEC\_BLOCK:



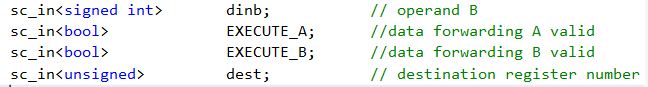


Рис.7 Зміни сигналів

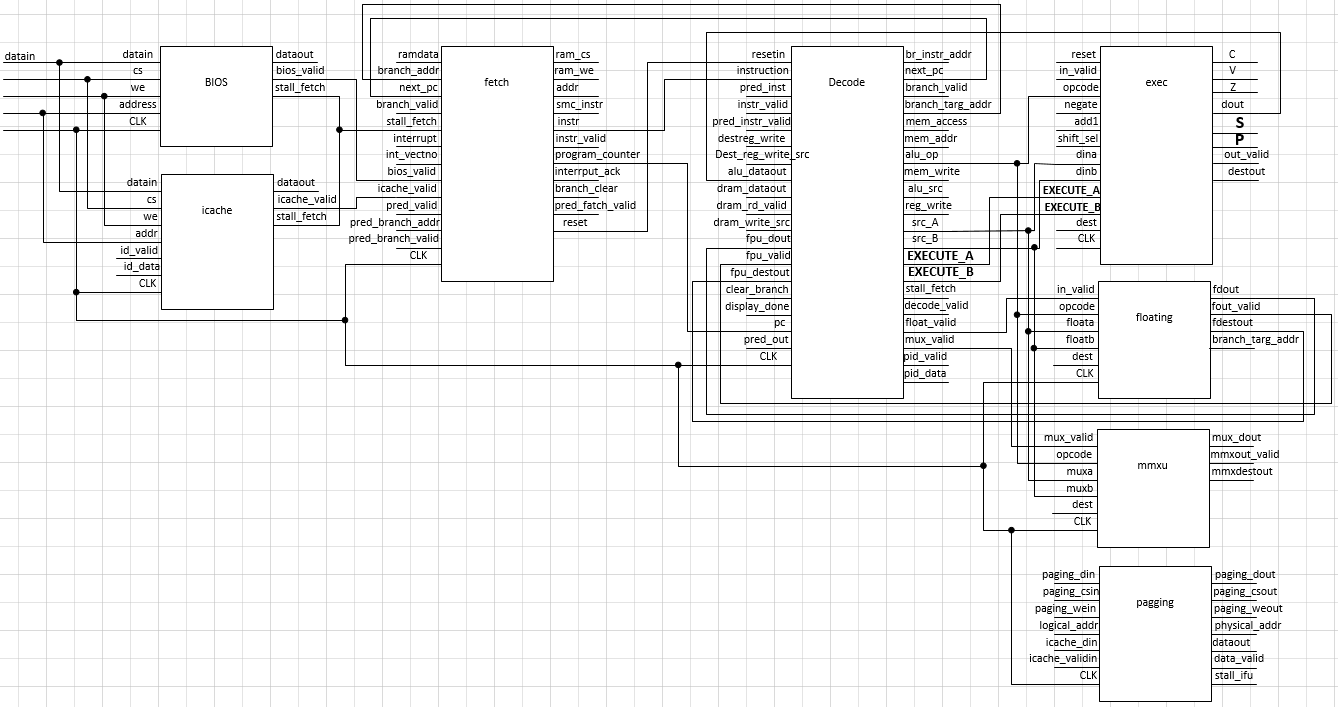


Рис.8 Функціональна схема RISC CPU

**Висновок:** виконуючи дану лабораторну роботу я навчилась розробляти нові функціональні модулі з метою розширення функціонування базової архітектури процесорів RISC, що відповідає програмній моделі, а також створила функціональну схему.