



## Laboratorio di Architettura degli Elaboratori

A.A. 2017/18

### Elaborato SIS

Si progetti un dispositivo per la gestione intelligente del consumo di energia elettrica all'interno di un sistema domotico. Il dispositivo è basato su un circuito sequenziale che riceve in ingresso lo stato acceso/spento di un numero finito di dispositivi di cui è noto il consumo istantaneo a priori, e fornisce in uscita la fascia di consumo ad ogni ciclo di clock. Qualora l'assorbimento istantaneo sia superiore al limite di 4.5kW per più di 5 cicli di clock consecutivi, il sistema deve disattivare l'interruttore generale. Al fine di prevenire questa situazione, il dispositivo può disattivare la lavatrice e la lavastoviglie (in questo ordine di priorità).

Inizialmente il sistema è sempre spento (**INT\_GEN**=0) e gli interruttori della lavatrice (**INT\_WM**) e della lavastoviglie (**INT\_DW**) sono sempre non-armati (entrambi posti a 0). Fintanto che **INT\_GEN**=0, il sistema rimane spento ed il dispositivo deve restituire 0 per tutti i bit di output. Dal momento in cui **RES\_GEN** assume il valore 1: **INT\_GEN**, **INT\_DW** e **INT\_WM** commutano a 1, il sistema si accende ed il dispositivo inizia a leggere lo stato acceso/spento di tutti i carichi (**LOAD**). Il dispositivo deve restituire in uscita la fascia di consumo istantaneo:  $F1 \leq 1.5kW$ ,  $1.5kW < F2 \leq 3kW$ ,  $3kW < F3 \leq 4.5kW$ ,  $OL > 4.5kW$ . Nel caso in cui il sistema rimanga in overload (**OL**) per almeno 4 cicli di clock, il dispositivo commuta **INT\_DW** a 0 e, fintanto che non viene riarmato (**RES\_DW**=1), il carico relativo alla lavastoviglie deve essere ignorato; qualora ciò non sia sufficiente a uscire dallo stato **OL**, al ciclo di clock successivo (5° ciclo in **OL**) il dispositivo commuta **INT\_WM** a 0 e, fintanto che non viene riarmato (**RES\_WM**=1), il carico relativo alla lavatrice deve essere ignorato. Nel caso in cui il sistema permanga in **OL**, al successivo ciclo di clock (6° ciclo in **OL**) il dispositivo commuta **INT\_GEN** a 0 ed il sistema si spegne.

Il circuito è composto da un **controllore** e un **datapath** con i seguenti ingressi e uscite (nel seguente ordine!).

#### INPUTS:

- **RES\_GEN** [1]: quando vale 1 e **INT\_GEN**=0, gli interruttori vengono armati (**INT\_GEN**, **INT\_WM** e **INT\_DW** commutano a 1) ed il sistema si accende. Quando **INT\_GEN**=1, il valore di **RES\_GEN** non ha rilevanza.
- **RES\_WM** [1]: quando vale 1 e **INT\_WM**=0, l'interruttore della lavatrice deve essere riarmato (**INT\_WM** commuta a 1) ed il carico relativo alla lavatrice deve essere nuovamente preso in considerazione. Quando **INT\_WM**=1, il valore di **RES\_WM** non ha rilevanza.
- **RES\_DW** [1]: quando vale 1 e **INT\_DW**=0, l'interruttore della lavatrice deve essere riarmato (**INT\_DW** commuta a 1) ed il carico relativo alla lavatrice deve essere nuovamente preso in considerazione. Quando **INT\_DW**=1, il valore di **RES\_DW** non ha rilevanza.
- **LOAD** [10]: stato di accensione (1=ON, 0=OFF) dei carichi elettrici. Ogni carico ha un suo consumo istantaneo associato. Il carico complessivo del circuito è dato dalla somma di tutti i carichi accesi contemporaneamente. L'ordine ed il consumo di ogni carico è come da tabella:

Forno	Frigo	Aspira-polvere	Phon	Lava-stoviglie	Lava-trice	4xlamp 60W	4xlamp 100W	HI-FI	TV
2 kW	300 W	1200 W	1 kW	2 kW	1800 W	240 W	400 W	200 W	400 W



## Laboratorio di Architettura degli Elaboratori

A.A. 2017/18

### OUTPUTS:

- **INT\_GEN** [1]: indica lo stato di attivazione (1=ON, 0=OFF) dell'interruttore generale. Inizialmente è sempre posto a 0.
- **INT\_WM** [1]: indica lo stato di attivazione (1=ON, 0=OFF) dell'interruttore relativo alla lavatrice. Inizialmente, e dopo ogni spegnimento del sistema, è sempre posto a 0.
- **INT\_DW** [1]: indica lo stato di attivazione (1=ON, 0=OFF) dell'interruttore relativo alla lavastoviglie. Inizialmente, e dopo ogni spegnimento del sistema, è sempre posto a 0.
- **TH** [2]: indica la fascia di consumo istantanea secondo la seguente codifica: F1=00, F2=01, F3=10, OL=11.

Si richiede inoltre che il circuito sia mappato sulla libreria tecnologica **synch.genlyb** e che venga **ottimizzato per area**.

In allegato sono forniti due files di test: `test_in.txt` e `test_out.txt`. Lanciando il comando `SIS source test_in.txt`, l'output deve coincidere con il file `test_out.txt`.

### Modalità di consegna:

Tutto il materiale va consegnato elettronicamente tramite procedura guidata sul sito Moodle del corso. Indicativamente 15 giorni prima della data di consegna sarà attivata un'apposita sezione denominata "consegna\_SIS\_mmmaaaa" (mmm=mese, aaaa=anno); accedendo a quella pagina sarà possibile effettuare l'upload del materiale. La consegna del materiale comporta automaticamente l'iscrizione all'appello orale.

Tutti i progetti verranno testati automaticamente, solo i progetti che supereranno i test saranno ammessi alla discussione orale. I progetti non ammessi potranno essere visionati e discussi al termine della sessione su richiesta degli studenti.

Il giorno seguente la data ultima di consegna (entro le ore 12.00) verrà pubblicato sul sito Moodle del corso il calendario provvisorio degli orali; in caso di impossibilità a presenziare alla discussione orale nell'orario assegnato è necessario comunicarlo al docente via email entro le successive 24 ore. Entro la sera del giorno seguente sarà pubblicato il calendario definitivo.

Si richiede ad ogni gruppo di caricare un singolo archivio .tgz denominato `sis_cognome1_nome1_cognome2_nome2.tgz` contenente tutti i files di seguito elencati senza sottocartelle:



## Laboratorio di Architettura degli Elaboratori

A.A. 2017/18

1. Un file `FSMD.blif` contenente la versione definitiva (ottimizzata) del progetto da lanciare per le simulazioni
2. Tutti gli altri files sorgenti necessari al progetto (ed eventuali sorgenti utili alla discussione dell'elaborato)
3. Un file `Relazione.pdf` con una relazione del progetto che affronti nel dettaglio almeno i seguenti punti:
  - Architettura generale del circuito
  - Diagramma degli stati del controllore
  - Architettura del datapath
  - Statistiche del circuito prima e dopo l'ottimizzazione
  - Numero di gates e ritardo dopo la mappatura
  - Descrizione delle scelte progettuali effettuate

Si ricorda che è possibile effettuare più sottomissioni, ma ogni nuova sottomissione cancella quella precedente. Ogni gruppo deve consegnare una sola volta il materiale, ovvero un solo membro del gruppo deve effettuare la sottomissione!