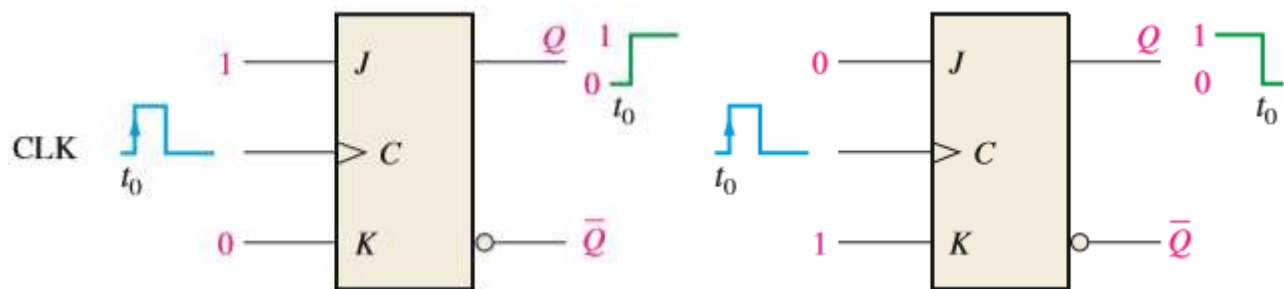


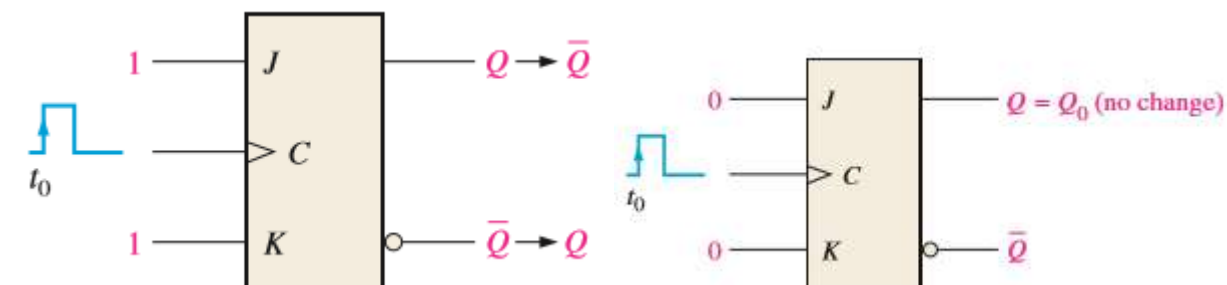
## JK Latch and JK Flip-Flop

D Flip Flop ဟာ digital circuit design တွေမှာအသုံးများတဲ့ flip-flop တစ်ခုဖြစ်ပါတယ်။ ၎င်းအပြင်နောက်ထပ်အသုံးများတဲ့ flip flop နှစ်ခုရှိပါတယ်။ အဲဒါတွေကတော့ JK Flip flop နဲ့ T Flip-flop တို့ဖြစ်ကြပါတယ်။ ဆက်လက်ပြီးတော့ဆွေနွေးသွားပါဦးမယ်။

J-K Flip-flop ရဲ့ J နဲ့ K input တွေဟာ clock pulse ရဲ့ အတက်၊ အဆင်းနေရာမှာဘဲ input က data တွေဟာ Flip-flop ရဲ့ output ဆီကို ကူးပြောင်းသွားတဲ့အတွက် synchronous input တွေလို့ ခေါ်ပါတယ်။



ဘယ်ဘက်ကပုံရဲ့ clock အတက်မှာ  $J=1$ ,  $K=0$  ဖြစ်တဲ့အတွက်ကြောင့် clock အတက်မှာဘဲ SET ဖြစ်ပါမယ်။ အရင်က SET ဖြစ်ခဲ့ရင် SET အဖြစ်မပြောင်းလဲ ဘဲကျန်ခဲ့မယ်။ ညာဘက်ပုံရဲ့ clock အတက်မှာ  $J=0$ ,  $K=1$  ဖြစ်တဲ့အတွက်တော့ clock အတက်မှာဘဲ RESET ဖြစ်ပါမယ်။



ဘယ်ဘက်ကပုံက  $J=1$  နဲ့  $K=1$  ဖြစ်တဲ့အတွက် toggle ဖြစ်ပါမယ်။ ညာဘက်ကပုံက  $J=0$  နဲ့  $K=0$  ဖြစ်တဲ့အတွက် အရင်က SET ဖြစ်ခဲ့ရင် SET ဖြစ်မှာဖြစ်ပြီးတော့ အရင်က RESET ဖြစ်ခဲ့ရင် RESET ဖြစ်မှာ ဖြစ်ပါတယ်။ No Change ဝါ။ Truth Table ကိုအောက်မှာပြသထားပါတယ်ခင်ဗျာ။

Inputs			Outputs		Comments
$J$	$K$	CLK	$Q$	$\bar{Q}$	
0	0	↑	$Q_0$	$\bar{Q}_0$	No change
0	1	↑	0	1	RESET
1	0	↑	1	0	SET
1	1	↑	$\bar{Q}_0$	$Q_0$	Toggle

ကောင်းပါပြီ။ JK Flip Flop ကို Verilog HDL နဲ့ ရေးကြပါမယ်။

```

module jk_flip(j,k,clk,clrn,q);
    input  j,
           k, clk, clrn;
    output reg q;

    always @ (posedge clk or negedge
               clrn) begin
        if (!clrn) q <= 0;

        else      q <= j & ~q | ~k & q;

    end

endmodule

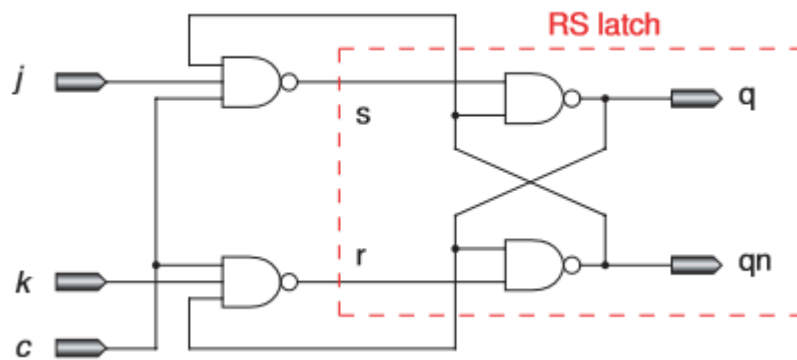
```

အပေါ်က Verilog HDL Code မှာ JK Flip-flop ကိုတည်ဆောက်ဖို့ရန်အတွက်  $q_n = j\bar{q} + k\bar{q}q$  ကိုအသုံးပြုပါတယ်။ **posedge** ဆိုတာ clock အတက်ကိုပြောတာဖြစ်ပြီးတော့ **negedge** ဆိုတာ clock အဆင်းကိုပြောဖြစ်ပါတယ်။ jk flip-flop ကို Reset လုပ်မယ့် Code ကတော့ clrn ကို on ပေးမထားဘူးဆိုရင် q output ကို ဘာမီးမှမလင်းအောင် လုပ်မယ့် **if (!clrn) q <= 0;** ဖြစ်ပါတယ်။

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location
in clk	Input	PIN_N5	2	B2_N0	PIN_N5
in clrn	Input	PIN_D12	7	B7_N0	PIN_D12
in j	Input	PIN_C10	7	B7_N0	PIN_C10
in k	Input	PIN_C11	7	B7_N0	PIN_C11
out q	Output	PIN_A8	7	B7_N0	PIN_A8

နဲ့ pin assignment ချပါမယ်။ ပြီးရင်တော့ compile

ပြန်လုပ်ပါမယ်။ FPGA board ထဲကိုထည့်ပြီးရင်စမ်းလို့ရပါပြီ။



### *JK Latch*

DE10-Lite ထဲမှာထည့်ပြီးတော့ လက်တွေ့ စမ်းထားတဲ့ ပုံတွေကိုအောက်မှာကြည့်နိုင်ပါတယ်။

