

## Es10B. Caratteristiche di porte logiche e semplici circuiti logici.

Gruppo 1G.BS

Riccardo Riolo

Francesco Zazzu

20 febbraio 2020

### Scopo e strumentazione

Lo scopo dell'esercitazione è quello di misurare le caratteristiche statiche e dinamiche delle porte logiche *not* e semplici circuiti logici con porte *nand*. Il materiale a disposizione è: un potenziometro da  $2\text{ k}\Omega$ ; un integrato SN74LS04 *hex inverter*; due integrati SN7400 *quad-nand*; un DIP *switch* a quattro interruttori; due LED.

### Caratteristiche statiche del *not*

Si sono individuate le tensioni tipiche di ingresso  $V_{IH}$ ,  $V_{IL}$  e di uscita  $V_{OH}$ ,  $V_{OL}$  di una delle porte *not* dell'integrato. In ingresso si è applicata una tensione  $V_{in}$  facendola variare tramite un partitore composto da  $R_1 = (100 \pm 1)\Omega$  e il potenziometro  $R_2 = (2.02 \pm 0.02)\text{ k}\Omega$ . Si riportano i dati della tensione in uscita  $V_{out}$  in tabella 1 e un relativo grafico in figura 1. Le misure sono state effettuate facendo passare  $V_{in}$  dallo stato alto allo stato basso.

Allora le stime in ingresso sono di  $V_{IH} = (1.02 \pm 0.03)\text{ V}$  e  $V_{IL} = (0.64 \pm 0.02)\text{ V}$ ; i valori tipici in uscita sono  $V_{OH} = (4.4 \pm 0.1)\text{ V}$  e  $V_{OL} = (0.130 \pm 0.004)\text{ V}$ . Nel *datasheet* tali valori sono rispettivamente  $2\text{ V}$ ,  $0.8\text{ V}$ ,  $3.4\text{ V}$ ,  $0.2\text{ V}$  e sono dichiarati per le condizioni raccomandate di utilizzo, compatibili con quelle in esame. I valori forniti dal costruttore sono riportati con notevole *flessibilità*.

### Caratteristiche dinamiche del *not*

Si è inviata in ingresso al *not* un'onda quadra a  $1\text{ kHz}$  utilizzando una resistenza di *pull up* di  $(3.31 \pm 0.03)\text{ k}\Omega$ . Si riportano le schermate dell'oscilloscopio per i fronti di salita e discesa nelle figure 2 e 3.

Si sono stimati i tempi di propagazione della porta misurando all'oscilloscopio l'intervallo tra gli inizi dei fronti. Risulta per il fronte di salita dell'ingresso  $(8 \pm 2)\text{ ns}$  e di discesa  $(9 \pm 2)\text{ ns}$ . I valori forniti dal costruttore sono compatibili nonostante le condizioni in esame differiscano da quelle dichiarate.

### Costruzione di circuiti logici elementari

Con l'integrato *quad-nand* alimentato si sono misurate le tensioni su due dei pin di ingresso  $(1.64 \pm 0.04)\text{ V}$  e sul pin di uscita  $(66 \pm 2)\text{ mV}$ ; non si notano variazioni tra le quattro porte dello stesso integrato. La presenza della tensione all'ingresso è dovuta all'implementazione della porta riportata nel *datasheet*; in particolare essendo il circuito a logica TTL le entrate non collegate corrispondono allo stato alto, quindi l'uscita è in stato basso.

Tramite l'uso degli interruttori si è verificata la tabella di verità per la porta facendo accendere un LED nel caso di uscita alta.

$V_{in}$ (V)	$V_{out}$ (V)
$0.106 \pm 0.003$	$4.4 \pm 0.1$
$0.64 \pm 0.02$	$4.4 \pm 0.1$
$0.86 \pm 0.02$	$3.8 \pm 0.1$
$1.02 \pm 0.03$	$1.96 \pm 0.06$
$1.02 \pm 0.03$	$0.130 \pm 0.004$
$1.80 \pm 0.05$	$0.130 \pm 0.004$
$2.80 \pm 0.08$	$0.130 \pm 0.004$
$3.6 \pm 0.1$	$0.130 \pm 0.004$
$4.8 \pm 0.1$	$0.130 \pm 0.004$

Tabella 1: Misure della tensione in uscita  $V_{out}$  in funzione della tensione in ingresso  $V_{in}$  per una porta *not*.

NAND			OR			XOR		
A	B	Y	A	B	Y	A	B	Y
0	0	1	0	0	0	0	0	0
0	1	1	0	1	1	0	1	1
1	0	1	1	0	1	1	0	1
1	1	0	1	1	1	1	1	0

Sommatore				Selettore			
A	B	sum	carry	A	B	sel.	Y
0	0	0	0	0	0	0	0
0	1	1	0	0	1	0	0
1	0	1	0	1	0	0	1
1	1	0	1	1	1	0	1
				0	0	1	0
				0	1	1	1
				1	0	1	0
				1	1	1	1

Tabella 2: Tabelle di verità.

Si è proceduto alla verifica delle tabelle di verità per i seguenti circuiti: porta *or*, porta *xor*, circuito sommatore e selettore. Si riportano le tabelle di verità nelle tabelle 2 e i diagrammi realizzati in figura 4.

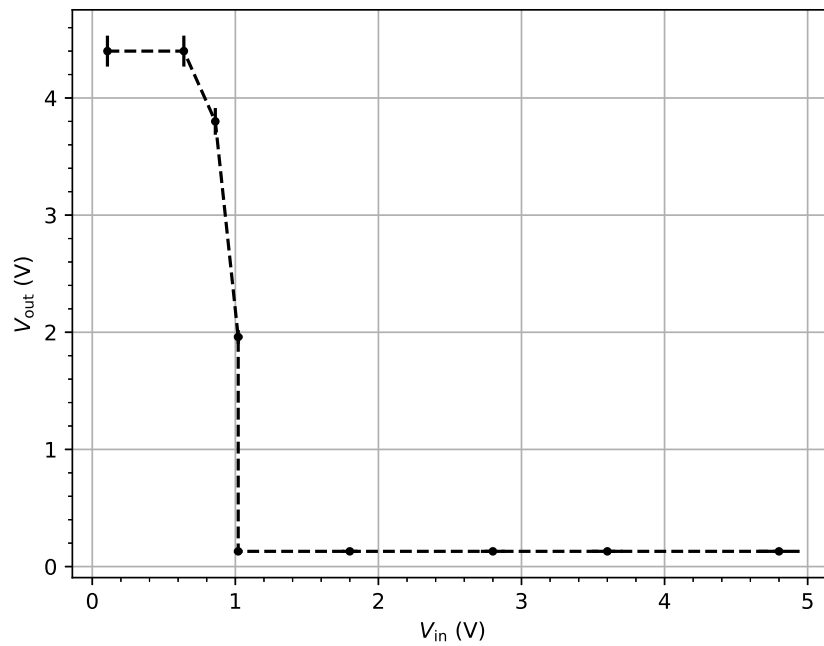


Figura 1: Misure della tensione in uscita  $V_{out}$  in funzione della tensione in ingresso  $V_{in}$  per una porta *not*. Si nota la zona verticale di transizione tra i due stati.

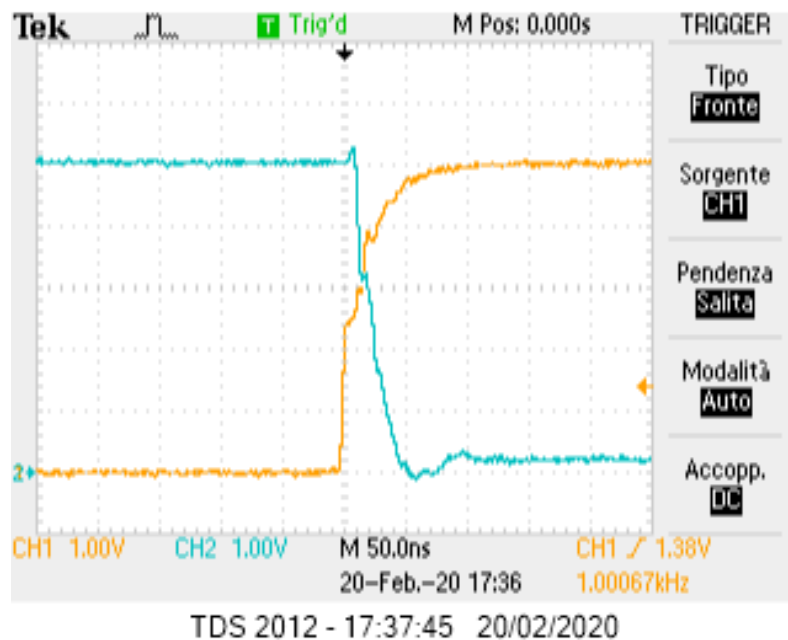


Figura 2: Schermata del fronte di salita dell'ingresso.

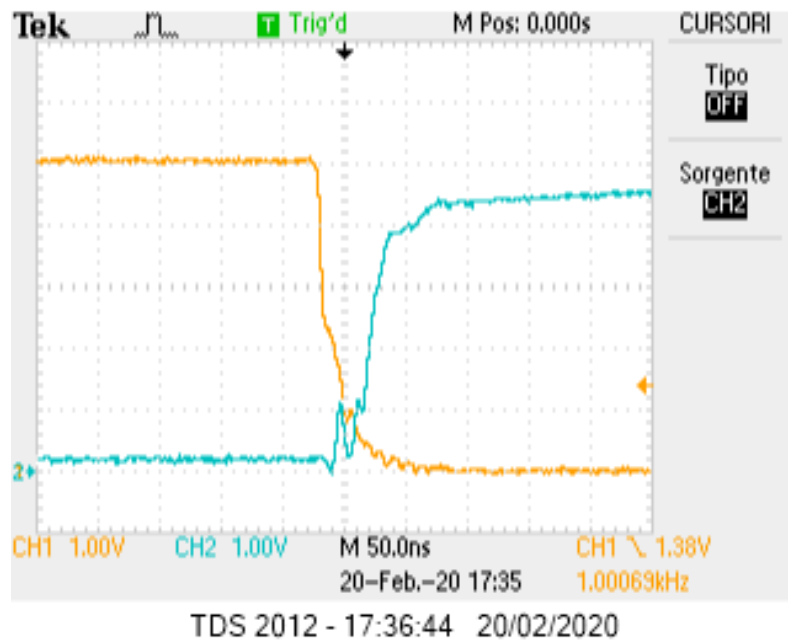


Figura 3: Schermata del fronte di discesa dell'ingresso.

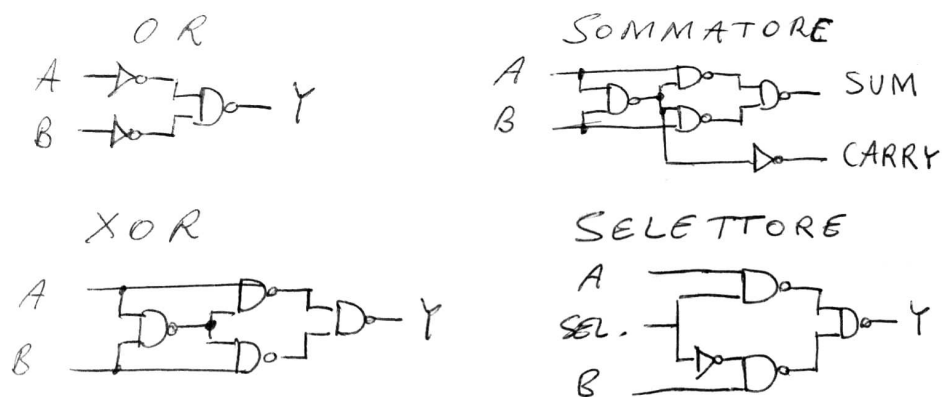


Figura 4: Schemi dei circuiti realizzati.

## Indice dei commenti

---

- 1.1 4
- 1.2 Temo sia stato frainteso il significato dei tempi di propagazione, che occorre misurare tra il 50% dei fronti.
- 2.1 Come siete arrivati da queste tabelle di verità agli schemi dei circuiti?