

Es11B. *Latch, contatori, shift-register*

Gruppo 1G.BS

Riccardo Riolo

Francesco Zazzu

27 febbraio 2020

Scopo e strumentazione

Lo scopo dell'esercitazione è quello di costruire alcuni circuiti logici sequenziali.

Il materiale a disposizione è: due IC SN7400 (quattro NAND a due ingressi); un IC SN74LS163 (contatore sincrono a 4 bit); due IC SN74LS74 (due *latch* tipo *D*); un DIP *switch* a 4 interruttori; un pulsante; quattro LED.

Latch D con abilitazione

Si è montato un *latch D* con abilitazione (*enable*) composto da porte NAND; si è inviato un treno di impulsi come dato *D*, usando un interruttore per l'abilitazione *E*.

Quando *E* è 0 il circuito mantiene l'uscita Q_{n+1} al suo stato precedente Q_n ; quando *E* è 1 il circuito trasferisce il dato *D* all'uscita *Q*. Si riportano la tabella di verità 1 e le schermate dell'oscilloscopio in figura 1.

Si è proceduto col misurare il ritardo temporale tra segnale in ingresso *D* e uscita *Q* come l'intervallo tra l'inizio della commutazione dei due segnali. Le misure sono state effettuate per un segnale di ~ 1.2 Hz. Per entrambe le transizioni (0/1 e 1/0) il ritardo risulta uguale pari a (7 ± 2) ns. Non si sono considerate le medie delle tensioni come riferimento per evidenti distorsioni dei fronti di salita e discesa dei segnali all'oscilloscopio, probabilmente dovuti ad accoppiamenti capacitivi nell'integrato.

Divisori di frequenza

Si è montato un divisore di frequenza binario costituito dal contatore sincrono a 4 bit, collegato in uscita ai 4 LED posti a massa attraverso 4 resistenze di limitazione di corrente da $330\ \Omega$. Inviando un segnale di *clock* di frequenza ~ 1 Hz si è verificato il funzionamento del circuito contatore: i LED si accendono (risp. spengono) per le uscite alte (risp. basse) in modo da ottenere la codifica dei numeri binari da 0 a 15, passando da uno stato all'altro con frequenza di *clock*.

Si è aumentata la frequenza di *clock* a ~ 65 kHz verificando che i segnali in uscita dal circuito, Q_0 (LSB), Q_1 , Q_2 , Q_3 (MSB), risultino rispettivamente con frequenza pari a $1/2$, $1/4$, $1/8$, $1/16$ di quella di *clock*. Si riportano gli *screenshot* dell'oscilloscopio dei 4 segnali in figura 2. Il ritardo tra le transizioni di *clock* e le uscite risulta per tutte le uscite (7 ± 2) ns; essendo l'integrato sincrono questo valore è il medesimo per ogni uscita.

Si è costituito un contatore a 10 stati implementando il segnale di *clear* attraverso una porta NAND. Si sono inviati all'ingresso del *gate* i segnali Q_0 e Q_3 in modo che il *clear* risulti alto fino al decimo impulso del *clock*, cioè quando il contatore giunge a 9; quindi il *clear* è mantenuto basso per un periodo di *clock*, azzerando i FLIP-FLOP. Si riportano la tebella delle verità 2 del *clear* e lo *screenshot* dell'oscilloscopio in figura 3.

E	D	Q_{n+1}
0	—	Q_n
0	—	Q_n
1	0	0
1	1	1

Tabella 1: Tabella di verità per il *latch D*.

Q_0	Q_3	<i>clear</i>
0	0	1
0	1	1
1	0	1
1	1	0

Tabella 2: Tabella di verità per il *clear*.

Registri a scorrimento

Si è montato un registro a scorrimento a 4 bit usando quattro FLIP-FLOP di tipo *D* collegando le uscite a dei LED, il dato in ingresso *D* a un interruttore e il *preset* a un pulsante.

Con un *clock* a bassa frequenza (1 Hz) si è verificato il funzionamento del circuito: lasciando il *preset* spento, si sono inviati degli impulsi tramite l'apertura dell'interruttore che vengono fatti scorrere dal primo all'ultimo bit (accensione/spegnimento del LED) con la frequenza di *clock*. 2.1

Il pulsante di *preset* porta tutte le uscite allo stato alto ed è sincrono come evidente dai collegamenti effettuati.

Collegando $\overline{Q_3}$, uscita dell'ultimo FF, al dato *D* del primo, si ottiene un contatore ad anello incrociato (o contatore Johnson). Il circuito fa scorrere il dato alto dal primo all'ultimo FF e al ciclo successivo porta sul primo il negato e fa scorrere tale stato basso fino all'ultimo e così via. Questo implica che ogni uscita sta per N cicli nello stato alto e per N cicli in quello basso, dove N è il numero di FF, nel caso in esame $N = 4$. Il comportamento atteso è stato verificato e si riporta la schermata del segnale Q_0 a titolo di esempio in figura 4.

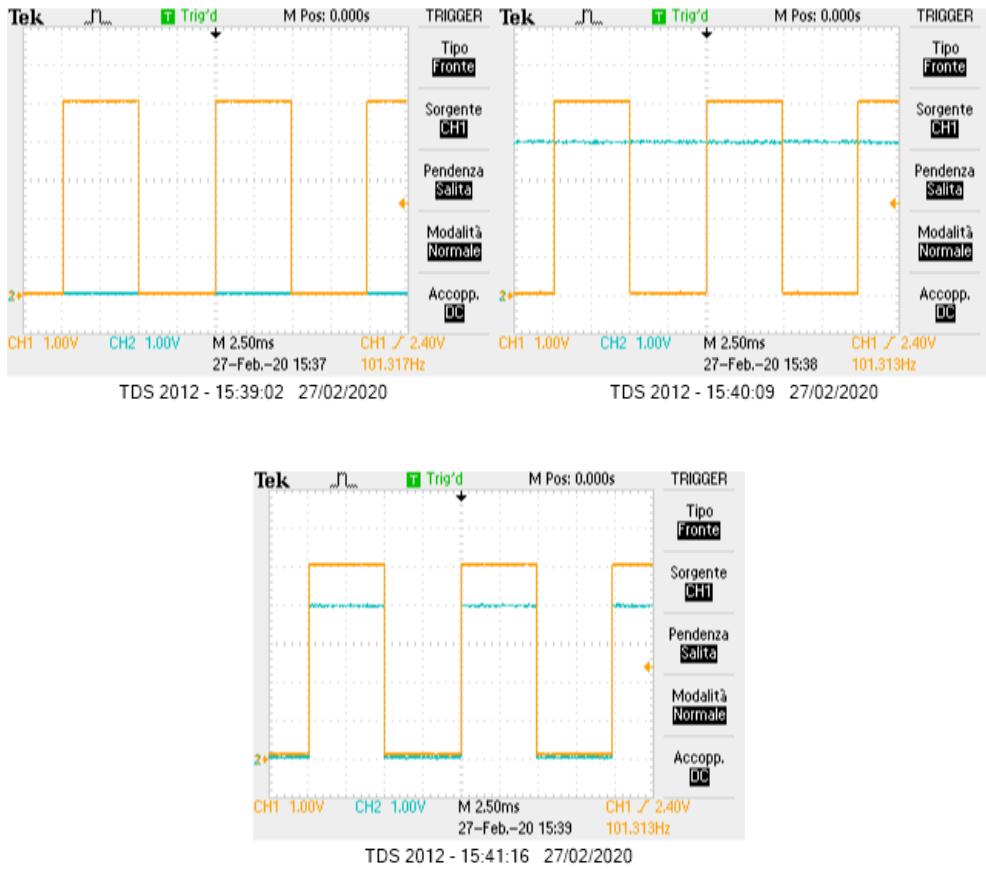


Figura 1: Il *latch D* con E bassa mantiene l'uscita Q al livello precedente (risp. basso e alto) indipendentemente dal dato D . Nella terza schermata E è alta e il dato D è trasferito all'uscita Q .

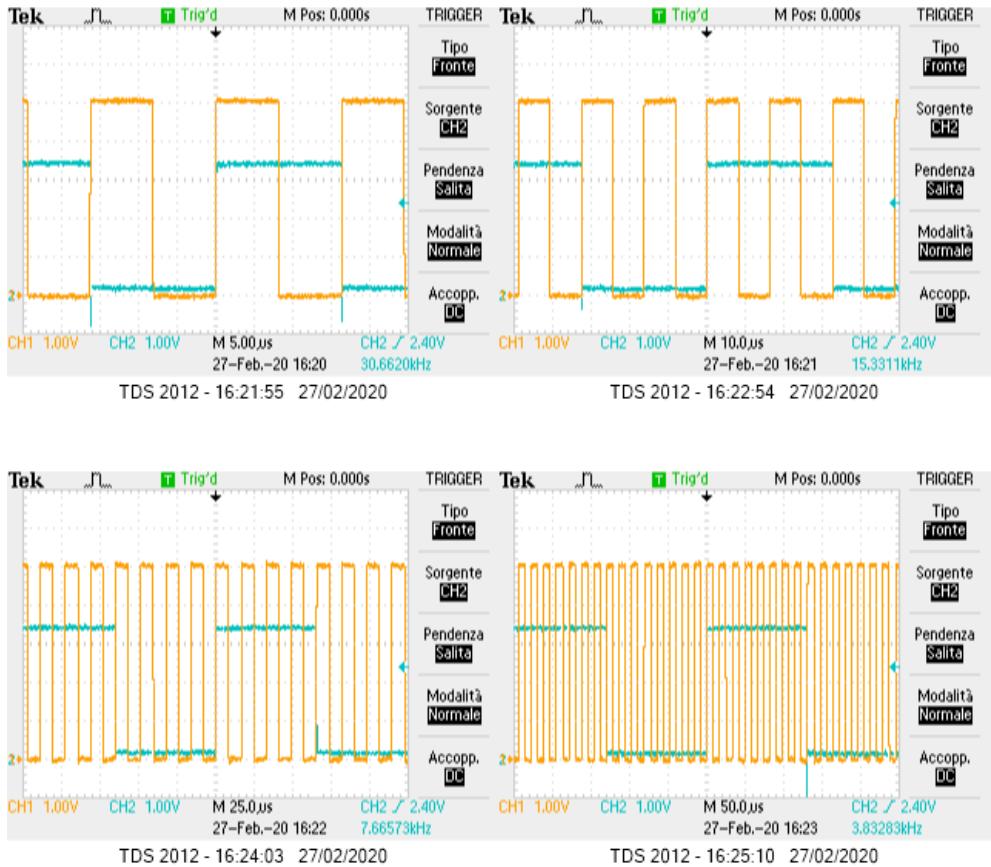


Figura 2: *Screenshot* dell’oscilloscopio per le uscite del contatore. Il *duty cycle* per queste forme d’onda è pari al 50%.

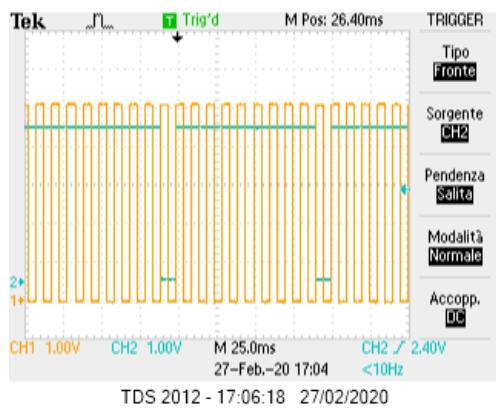


Figura 3: Segnale di *clear* basso al decimo fronte d’onda del *clock*.

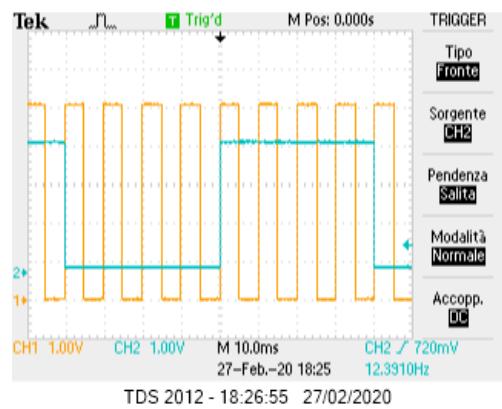


Figura 4: Segnale in uscita dal contatore ad anello incrociato con 4 FF. Si verifica quindi che il segnale ha periodo $2 \cdot 4 = 8$ cicli di *clock*.

Indice dei commenti

- 1.1 4.5
 - 1.2 Mi sembra un po' troppo veloce: forse misure non troppo accurate? tra l'altro i valori dovrebbero essere ben diversi tra i due casi.. Uno screenshot sarebbe stato utile...
 - 1.3 ?
- 2.1 Perché? Siete sicuri?