

上海大学 计算机学院

《数字逻辑实验》报告七

姓名 翟博豪 学号 24122233

时间 周五 1-2 机位 25 指导教师 顾惠昌

实验名称: 中规模元件及综合设计

一、实验目的

- 深入理解 74LS161 四位可预置数二进制加计数器的工作原理。
- 掌握反馈置数法和清零法两种常用方法构造任意模值计数器的设计思路与实现步骤。
- 学会在 Quartus II 软件环境中进行中规模计数器的设计。

二、实验原理

74LS161 是四位可预置数二进制加计数器，采用 16 引脚双列直插式封装的中规模集成电路。外形和引脚功能如下：

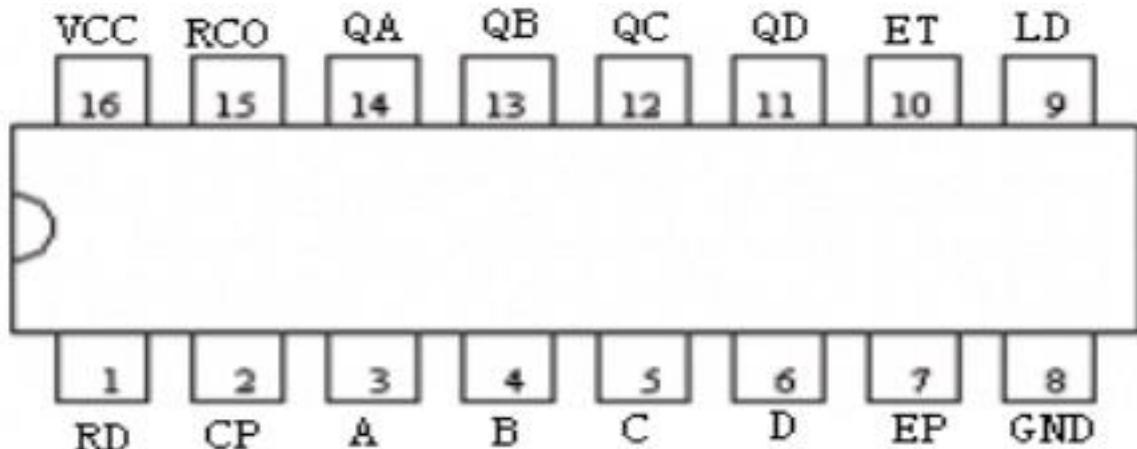


图 1 74LS161 引脚图

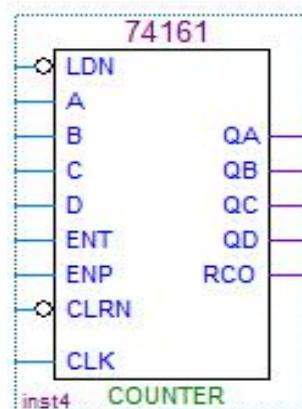


图 2 74161

- | | |
|----------------------|-------------------|
| ■RD: 异步复位输入端 | ■ET、EP: 计数使能输入端 |
| ■CP: 时钟输入端 | ■RCO : 进位输出端 |
| ■VCC: 电源输入端 | ■GND: 接地端 |
| ■LD: 预置端 | ■A、B、C、D: 预置数据输入端 |
| ■QA、QB、QC、QD: 计数值输出端 | |

当复位端高电平（即：RD=1）、预置端低电平（即：LD=0）时，为同步预置功能，即时钟信号能使输出状态 QA、QB、QC、QD 等于并行输入预置数 A、B、C、D。

在复位和预置端都为无效电平时，计数使能端 ET、EP=1 时，74LS161 为模 16 加法计数功能。而当 ET、EP=0 时，实现状态保持功能。当 QA、QB、QC、QD=1111 时，进位输出端 RCO=1。

1.要用 74161 设计模 10 计数器，

设计思路：让计数器从 0000（0）计数到 1001（9），当检测到 1001 时，触发 LDN=0，下一个时钟将 A/B/C/D=0000 载入，实现 0~9 循环。

使能端：ENT、ENP 接高电平（保持计数使能）。

数据输入：A/B/C/D 接低电平（预置数为 0000）。

反馈：用与非门检测 QA=1、QD=1（即状态 1001），将与非门输出接 LDN。

逻辑： $LDN = \text{NOT}(QD \cdot QA)$ （当 QD=1 且 QA=1 时，LDN=0，触发同步置数）。

清零端：CLRN 接高电平（禁用异步清零）。

74160 的芯片功能和引脚与 74LS161 芯片功能和引脚非常相似，本次实验中，我们用两片 74160 设计模 12 计数器。

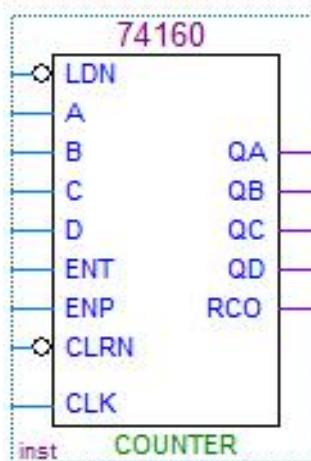


图 3 74160

2.用 2 片 74160 设计模 60 计数器

要使用 2 片同步十进制计数器 74160 设计模 60 ($M=60$) 计数器，需利用 74160 的同步预置功能和十进制计数特性，通过“高位片（十位）+ 低位片（个位）”级联实现，核心是精准控制“预置数”以跳过无效状态，最终得到 60 个有效计数循环。

低位片（个位，记为 U1）：

计数使能：ENP=1、ENT=1。

时钟：接系统 CLK（每一个 CLK 脉冲，个位计数 +1）。

进位输出：RCO 接高位片的 ENP 和 ENT（仅当个位计满 9 时，高位片才允许计数）。

高位片（十位，记为 U2）：

计数使能：ENP=RCO1、ENT_2=RCO（仅个位计满 9 时，高位才响应 CLK 计数）。
时钟：与低位片共享 CLK。

当计数到 59 时，触发同步预置。59 对应的二进制输出为：高位片（十位）：

5 → (Q₃Q₂Q₁Q₀ = 0101) 低位片（个位）：9 → (Q₃Q₂Q₁Q₀ = 1001)

三、实验内容

1. 实验任务一

(1) 实验步骤

在计数器 74LS161 芯片上，用反馈置数法或清零法构造模 10 计数器。软件模拟成功后，下载到 FPGA 进行测试，记录波形图和测试结果。

(2) 实验现象

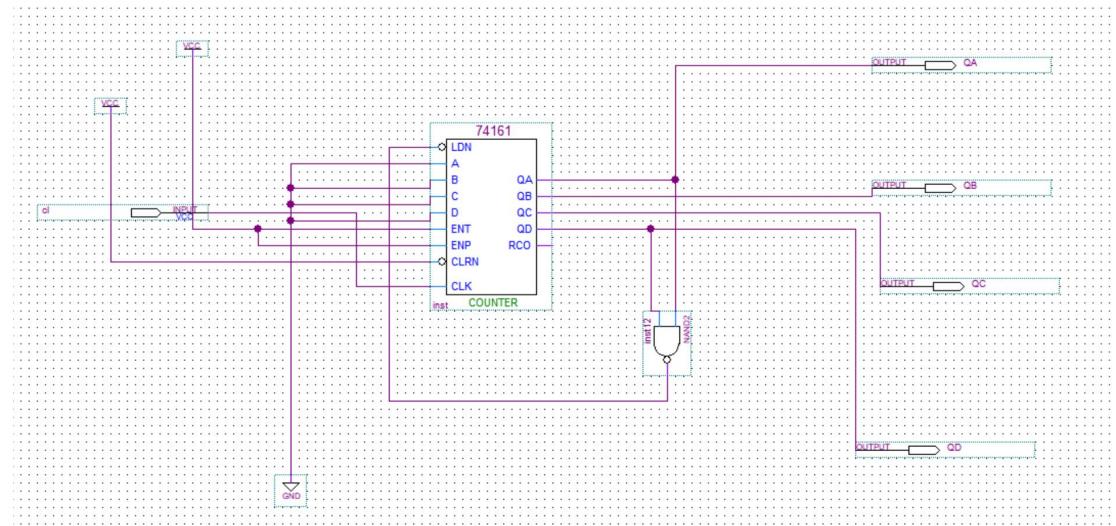


图 4 逻辑电路图设计

(3) 数据记录、分析与处理

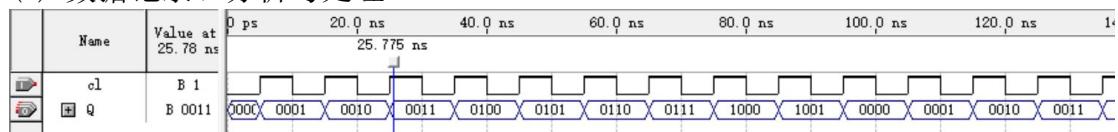


图 5 仿真波形图

(4) 实验结论

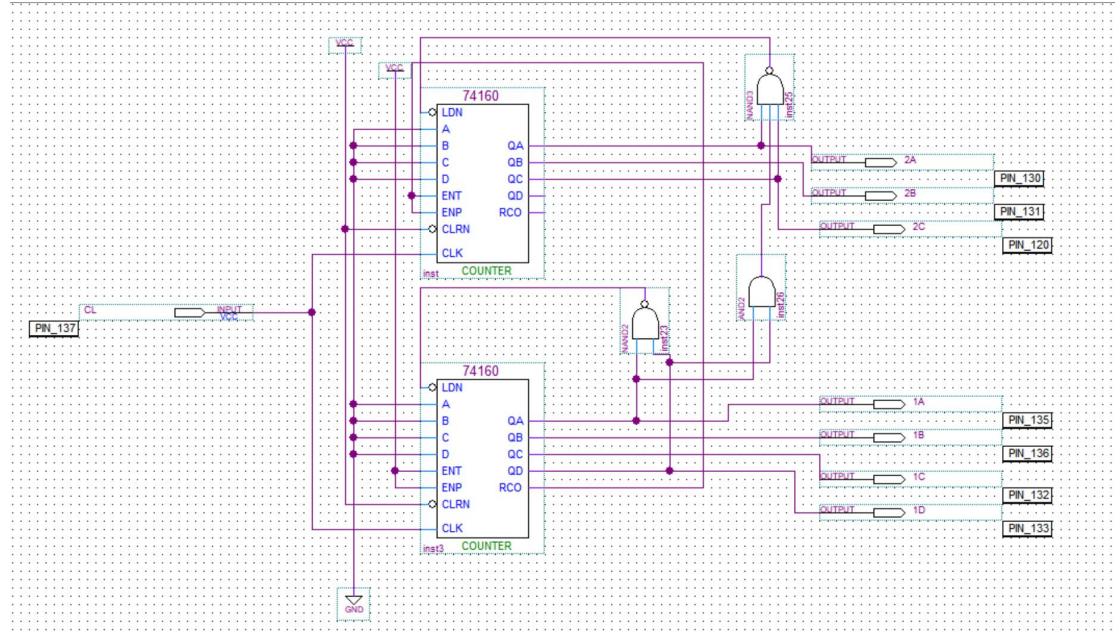
计数器由 0000->0001—>...->1001->0000 不断循环，说明成功设计了模 10 计数器。

2. 实验任务二

(1) 实验步骤

在 Quartus II 中完成用两片模 10 计数器 74LS160 构成模 60 计数器的设计。软件模拟成功后，下载到 FPGA 进行测试，记录波形图和测试结果

(2) 实验现象



初次设计时直接把高位 QA,QC 与非接到 LDN 来置为 0，出现高位由 5 到 6 的情况，改进之后选用三输入的与非门，接上低位进位，从而解决这个问题。

图 6 逻辑电路图设计

(3) 数据记录、分析与处理

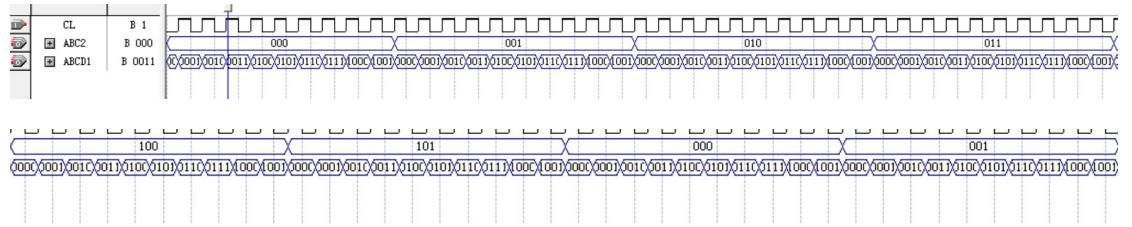


图 7 仿真波形图

(4) 实验结论

这里选用 10Hz 脉冲，高位 000 代表 0, 001 表示 1...101 表示 5，低位 0000 表示 0, 0001 表示 1...1001 表示 9，接到数码管上之后出现 00->01->...58->59->00 的循环，说明模 60 计数器设计成功

四、建议和体会

五、思考题