

上海大学 计算机学院

《数字逻辑实验》报告三

姓名 翟博豪 学号 24122233

时间 周五 1-2 机位 25 指导教师 顾惠昌

实验名称: 组合电路 (二)

一、实验目的

1. 掌握用基本电路实现逻辑函数的原理;
2. 熟悉组合电路的分析方法, 测试组合逻辑电路的功能;
3. 熟悉使用 QuartusII 设计逻辑电路的操作过程

二、实验原理

8421 码又称为 BCD 码, 是十进制代码中最常用的一种。在这种编码方式中, 每一位二值代码的“1”都代表一个固定数值。将每位“1”所代表的二进制数加起来就可以得到它所代表的十进制数字。因为代码中从左至右看每一位“1”分别代表数字“8”“4”“2”“1”, 故得名 8421 码。其中每一位“1”代表的十进制数称为这一位的权。因为每位的权都是固定不变的, 所以 8421 码是恒权码。

余三码是由 8421BCD 码加上 0011 形成的一种无权码, 由于它的每个字符编码比相应的 8421 码多 3, 故称为余三码。BCD 码的一种。余 3 码的特点: 当两个十进制数的和是 9 时, 相应的余 3 码的和正好是 15, 于是可自动产生进位信号, 而不需修正。0 和 9, 1 和 8.....5 和 4 的余 3 码互为反码, 这在求对于模 9 的补码很方便。

十进制数	8421 码	余 3 码
0	0000	0011
1	0001	0100
2	0010	0101
3	0011	0110
4	0100	0111
5	0101	1000
6	0110	1001
7	0111	1010

8	1000	1011
9	1001	1100

表 1 8421 码与余三码对应关系

BCD 码的核心是“用二进制代十进制”，而 2421 码的关键的是 4 位二进制数有固定权值，分别是 2、4、2、1（从左到右，即第 1 位权 2、第 2 位权 4、第 3 位权 2、第 4 位权 1），通过权值相加得到对应的十进制数。

格雷码（又称循环码、反射码）是一种无权二进制编码（每位无固定权重），核心特征是：任意两个相邻的十进制数字，对应的格雷码仅有一位二进制位不同。这种设计能最大程度减少数字切换时的信号干扰，避免硬件切换过程中产生的“误码”，广泛应用于硬件控制、通信传输等场景。

十进制数	2421 码	Gray 码
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	1011	0111
6	1100	0101
7	1101	0100
8	1110	1100
9	1111	1101

表 2 2421 码与格雷码对应关系

根据以上原理，我们可以做出真值表和卡诺图，从而设计逻辑电路

(1)8421 码->余三码

8421 码				余 3 码			
A	B	C	D	Y3	Y2	Y1	Y0
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

表 3 8421 转余三码真值表

做出卡诺图如下：

Y3

AB\CD	00	01	10	11
00	0	0	0	0
01	0	1	1	1
10	1	1	×	×
11	×	×	×	×

$$Y3 = A + BD + BC$$

Y2

AB\CD	00	01	10	11
00	0	1	1	1
01	1	0	0	0
10	0	1	×	×
11	×	×	×	×

$$Y2 = \overline{ABC} \overline{D} + \overline{B}D + \overline{B}\overline{C}$$

Y1

AB\CD	00	01	10	11
00	1	0	0	1
01	1	0	0	1
10	1	0	×	×
11	×	×	×	×

$$Y1 = \overline{C} \overline{D} + CD$$

Y0

AB\CD	00	01	10	11
00	1	0	1	0
01	1	0	1	0
10	1	0	×	×

AB\CD	00	01	10	11
11	x	x	x	x
Y1= \overline{D}				

(2) 2421 码->格雷码

2421 码				gray 码			
A	B	C	D	G3	G2	G1	G0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
1	0	1	1	0	1	1	1
1	1	0	0	0	1	0	1
1	1	0	1	0	1	0	0
1	1	1	0	1	1	0	0
1	1	1	1	1	1	0	1

做出卡诺图如下:

G3

AB\CD	00	01	10	11
00	0	0	0	0
01	0	x	x	x
10	x	x	x	0
11	0	0	1	1

$G3 = BC$

G2

AB\CD	00	01	10	11
00	0	0	0	0
01	1	x	x	x
10	x	x	x	1

AB\CD	00	01	10	11
11	1	1	1	1
G2=A+B				

G1

AB\CD	00	01	10	11
00	0	0	1	1
01	1	×	×	×
10	×	×	×	1
11	0	0	0	0

$$G1 = \bar{A}B + \bar{B}C + A\bar{B} = \bar{B}C + A \oplus B$$

G0

AB\CD	00	01	10	11
00	0	1	1	0
01	0	×	×	×
10	×	×	×	1
11	1	0	0	1

$$G0 = A \oplus C \oplus D$$

三、实验内容

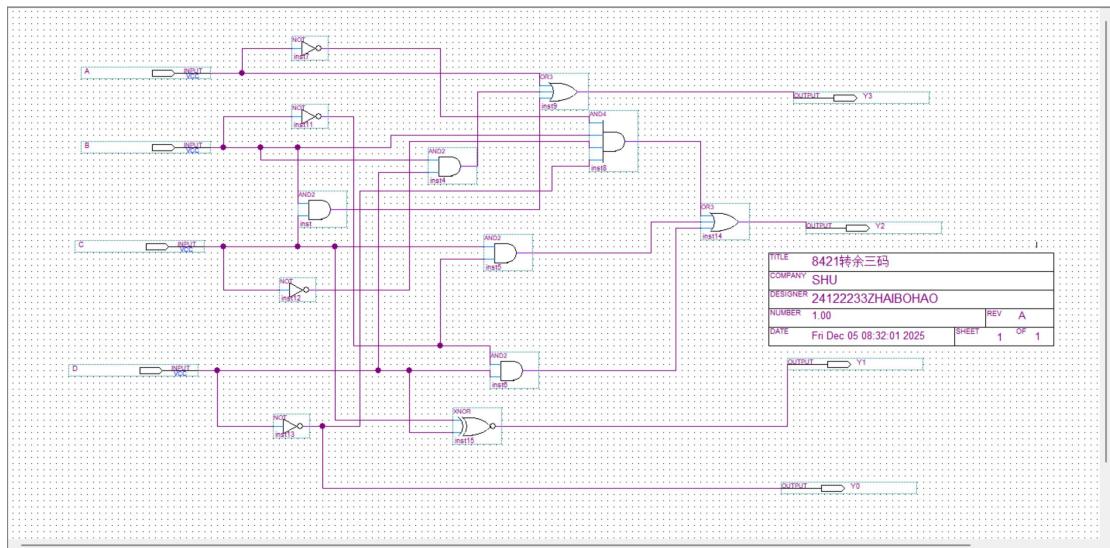
1. 实验任务一：设计 8421 码到余 3 码的转换电路

(1) 实验步骤

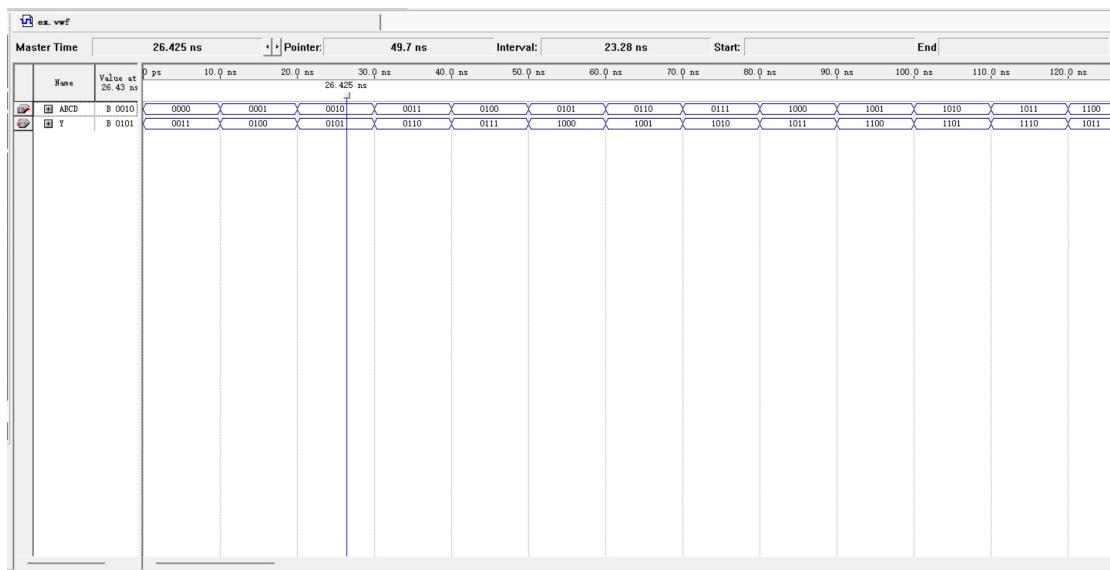
- 在 Quartus II 中选用基本门电路器件，设计一个 8421 码到余 3 码的转换电路逻辑图。
- 使用模拟工具进行模拟验证，并通过验证。
- 定义 FPGA 的 IO 引脚功能。
- 将设计的逻辑电路下载到 FPGA 中。
- 用开关和发光二极管测试下载到 FPGA 中的逻辑电路功能。

(2) 实验现象

逻辑电路图



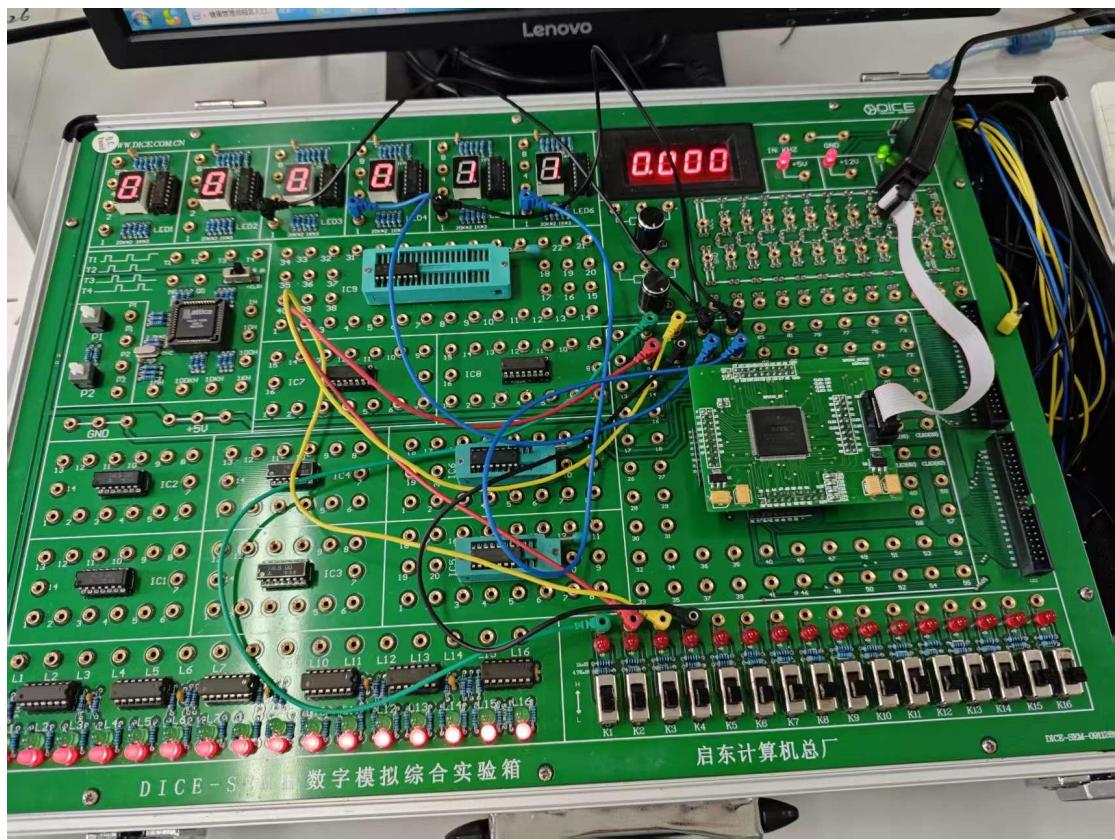
仿真波形图



(3) 数据记录、分析与处理

输入				输出			
A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

拨动开关，数码管显示数字与真值表一致



如图，输入 0000，输出 0011

(4) 实验结论

成功完成了 8421 码转换为余三码的电路设计

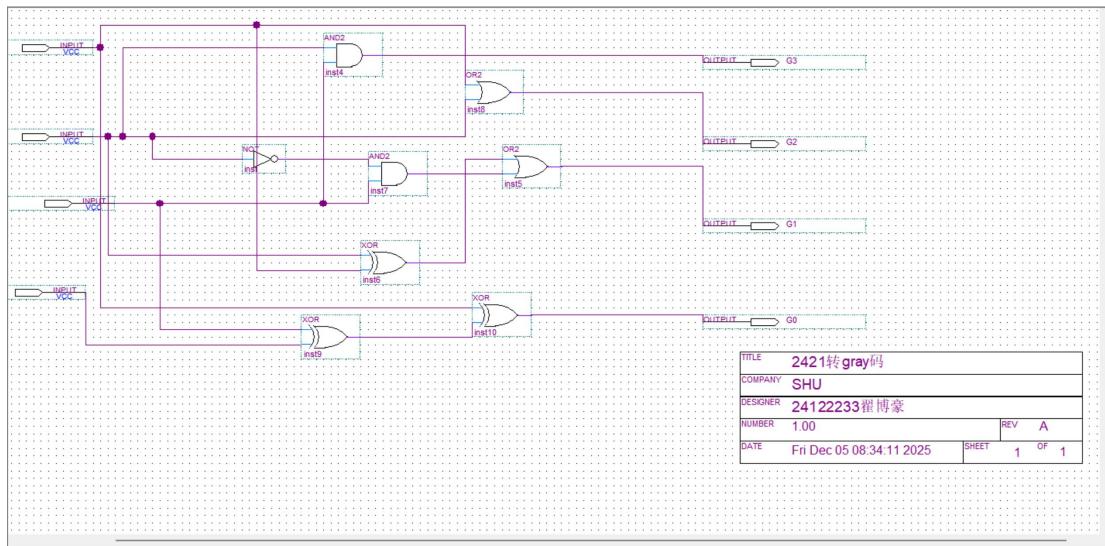
2. 实验任务二

(1) 实验步骤

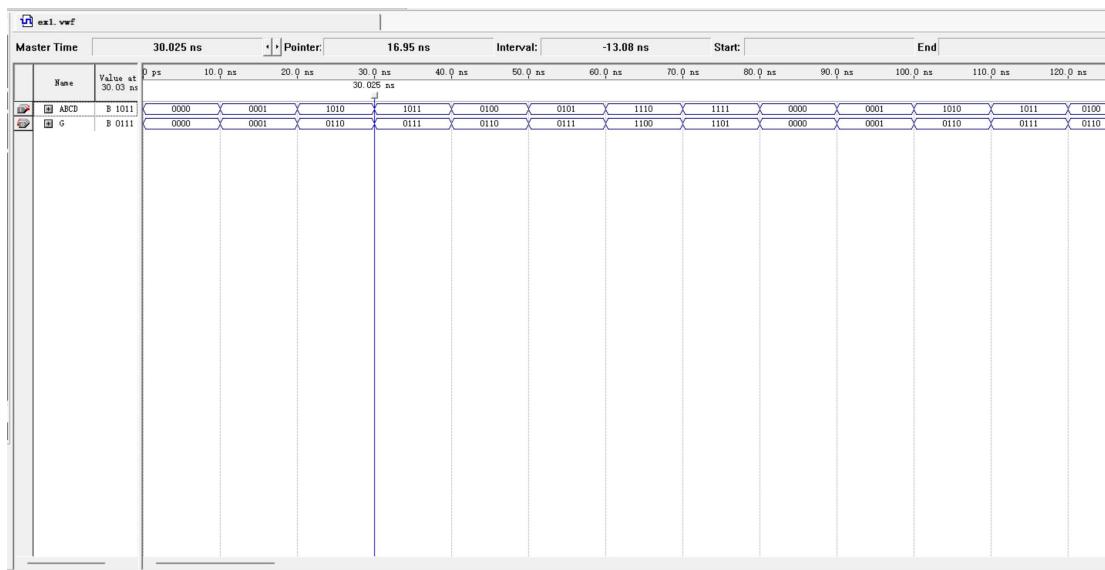
1. 在 Quartus II 中选用基本门电路器件，设计一个 2421 码到 gray 码的转换电路逻辑图。
2. 使用模拟工具进行模拟验证，并通过验证。
3. 定义 FPGA 的 IO 引脚功能。
4. 下载设计的电路到 FPGA 中。
5. 用开关和发光二极管测试下载到 FPGA 中的电路功能。

(2) 实验现象

逻辑电路图

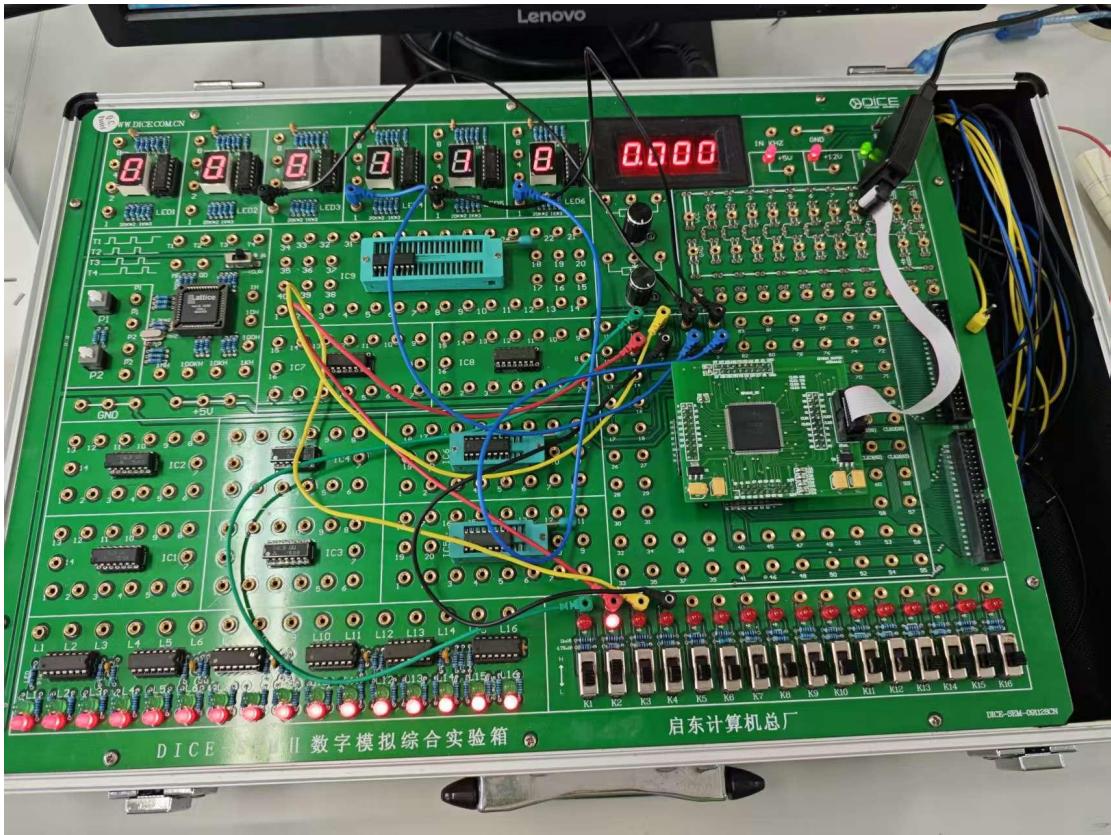


仿真波形图



(3) 数据记录、分析与处理

依次拨动开关，数码管数值与真值表一致



如图，输入 0100，输出 0110

(4) 实验结论

成功设计 2421 码转换 gray 码的逻辑电路

四、建议和体会

五、思考题