

上海大学 计算机学院

《数字逻辑实验》报告六

姓名 翟博豪 学号 24122233

时间 周五 1-2 机位 25 指导教师 顾惠昌

实验名称: 时序电路

一、实验目的

- 掌握计数器的工作原理及电路组成。
- 掌握移位寄存器的工作原理及电路组成，设计并测试移位寄存器。
- 掌握利用移位寄存器设计完成计数器，并利用 Quartus II 进行测试。

二、实验原理

同步时序逻辑电路又称为时钟同步时序逻辑电路，是以触发器状态为标志的。它的状态存储器是触发器，时钟输入信号连接到所有触发器的时钟控制端，在时钟信号的有效触发边沿才改变状态，即同步改变。

同步计数器就是将每个触发器的时钟端均接在同一个时钟脉冲源上，各触发器如要翻转，应在时钟脉冲作用下同时翻转，因此时钟端不能再由其它触发器来控制。

1. 同步二进制加计数器

本实验利用了两个 JK 触发器完成设计 2 位同步二进制加计数器

Q2Q1	次态	J1	K1	J2	K2
00	01	1	1	0	d
01	10	1	1	1	d
10	11	1	1	d	0
11	00	1	1	d	1

图 1 二位二进制加法器状态转移真值表

观察真值表得到：

$$J1=K1=1$$

$$J2=K2=Q$$

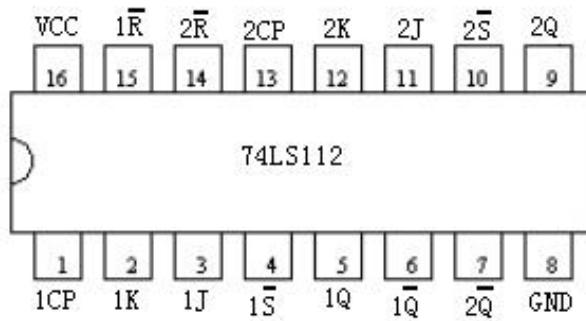


图 2 74LS112 引脚图

据此完成设计 2 位同步二进制加计数器

2. 移位寄存器

寄存器由多个锁存器或触发器组成，用于存储一组二进制信号，是数字系统中常用的器件。

在时钟信号的控制下，所寄存的数据依次向左（由低位向高位）或向右（由高位向低位）移位的寄存器称为移位寄存器。根据移位方向的不同，有左移寄存器、右移寄存器和双向寄存器之分。

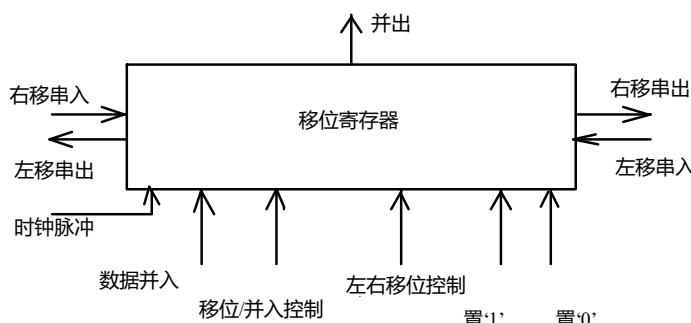


图 3 移位寄存器框图

下面两个图所示的是由 D 触发器连接组成的移位寄存器，这是同步的时序电路。每个触发器的输出连到下级触发器的控制输入端，在时钟脉冲作用下，存储在寄存器中的信息，逐位左移或右移。图 4 所示电路是由 D 触发器组成的四位右移位寄存器。图 5 所示电路是左移位寄存器。

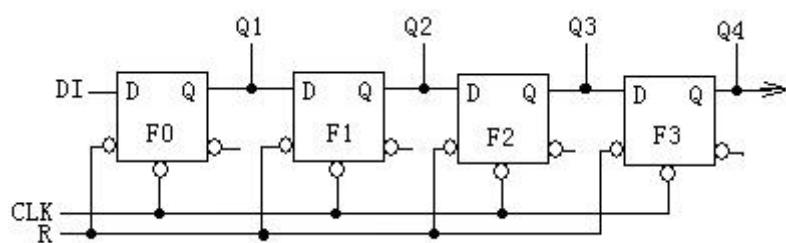


图 4 D 触发器组成的右移位寄存器

移位寄存器的清零方式有两种：一种是将所有触发器的清零端 R 连在一起，置位端 S 连在一起；当 R=0, S=1 时，Q 端为 0。这种方式称为异步清零。另一种方法是在串型输入端输入“0”电平，接着从 CLK 端送 4 个脉冲，则所有触发器也可清到零状态。这种方式称为同步清零。

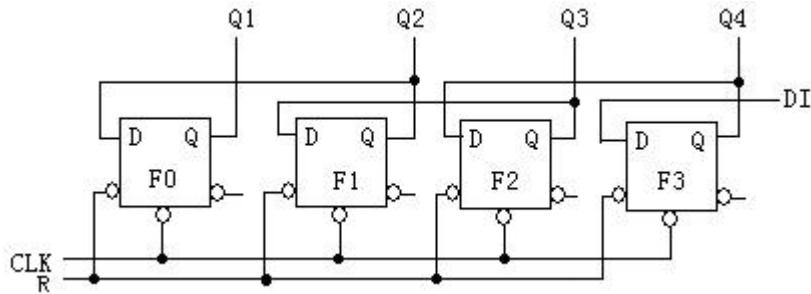


图 5 D 触发器组成的左移位寄存器

本次实验用 7474 原件构成单向移位寄存器

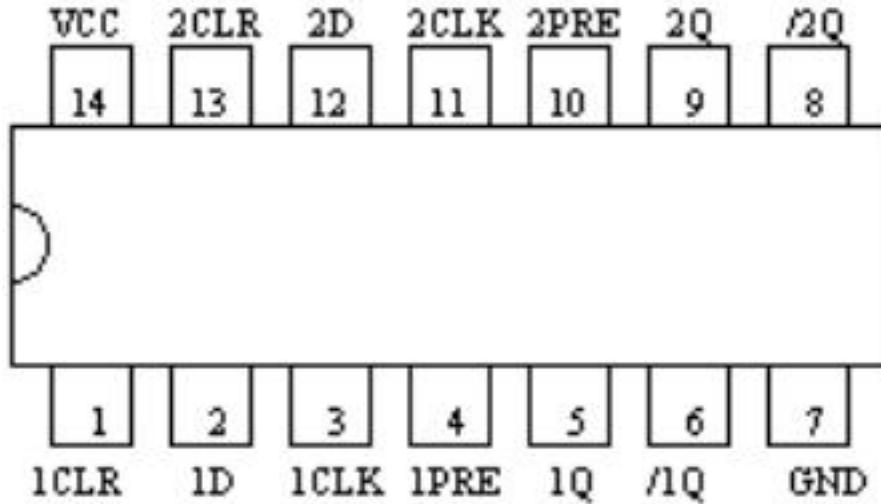


图 6 7474 引脚图

3、利用移位寄存器设计计数器

3.1 环形计数器

环形计数器是将单向移位寄存器的串行输入端和串行输出端相连，构成一个闭合的环，如图 7 所示。

实现环形计数器时，必须设置适当的初态，且输出 $Q_3Q_2Q_1Q_0$ 端初始状态不能完全一致(即不能全为“1”或“0”)，这样电路才能实现计数，环形计数器的进制数 N 与移位寄存器内的触发器个数 n 相等，即 $N=n$ ，状态变化如图 7(b) 所示(电路中初态为 0100)。

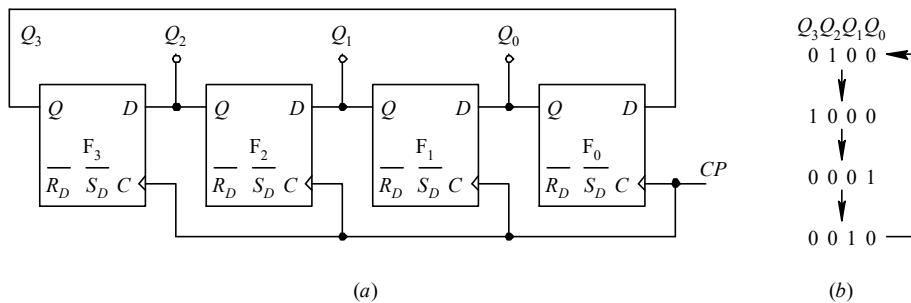


图 7 环形计数器 (a) 逻辑电路图 (b) 状态图

3.2 扭环计数器

扭环计数器状态变化如图 8(b)所示

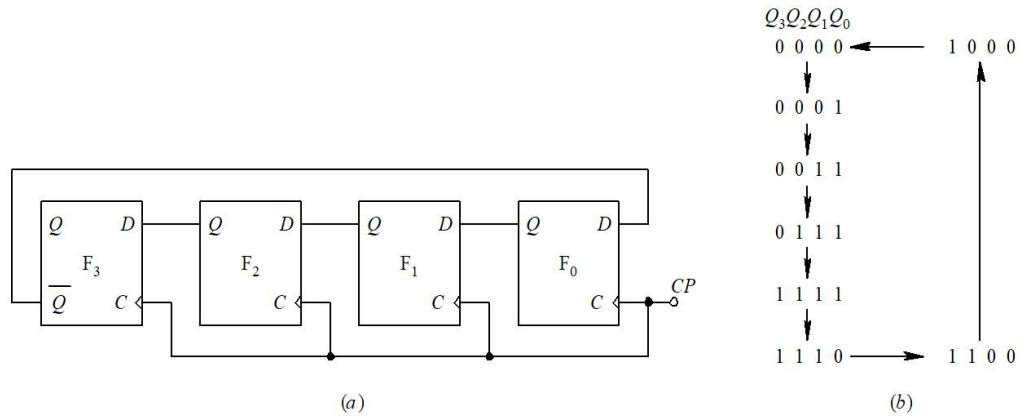


图 8 扭环计数器 (a) 逻辑电路图 (b) 状态图

三、实验内容

1. 实验任务一. 用分立元件构成 2 位同步二进制加计数器。

(1) 实验步骤

1. 打开实验箱，根据真值表和表达式连接好电路
2. 将高位输出端接在数码管的插孔 2 里，低位输出接在数码管的插孔 1 里。

(2) 实验现象

数码管中的数字不断循环 $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 0 \dots$

(3) 数据记录、分析与处理

现态	次态
0	1
1	2
2	3
3	0

图 9 数据记录

(4) 实验结论

同步二位二进制加法器设计完成，并且完成了在数字综合模拟箱中的验证。

2. 实验任务二. 用寄存器设计环形计数器

(1) 实验步骤

1. 根据实验原理设计逻辑电路图。
2. 在 Quartus II 中新建工程文件，完成逻辑电路图的连接。
3. 进行编译，检测连接是否有误。

4.若编译无误，则进行波形仿真模拟，并且记录波形图。

5.定义引脚。

6.将电路文件下载到FPGA中。

7.初态设置为0110，进行验证并记录实验现象。

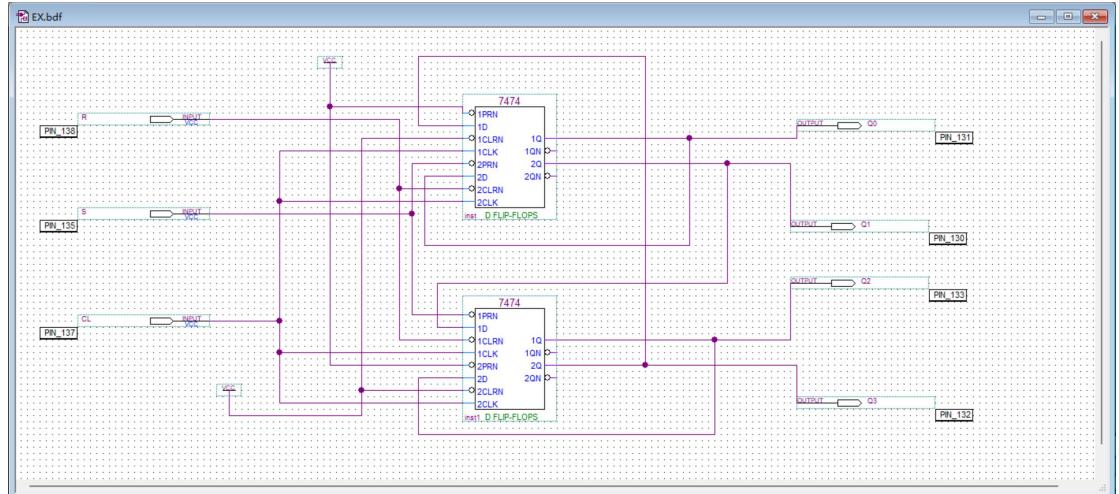


图 10 环形计数器逻辑电路图

(2) 实验现象

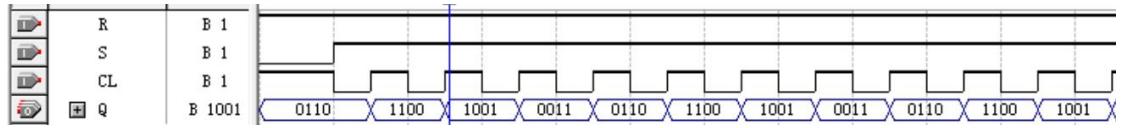


图 11 仿真波形图

首先对电路进行异步置0.此时数码管显示为“0000”；

将R置为1，将S置为0，数码管出现“0110”后将S电平开关迅速拨到1.此时发现数码管数字变化为“0110”、“0011”、“1001”、“1100”、“0110”…的循环。

(3) 数据记录、分析与处理

现态	次态
0110	0011
0011	1001
1001	1100
1100	0110

图 12 数据记录

(4) 实验结论

完成了利用7474双D触发器构造环形计数器的设计。

四、建议和体会

五、思考题

1.如果构成3位同步二进制加(减)计数器该如何构建?

列出表达式

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = Q_0;$$

$$J_2 = K_2 = Q_0 Q_1;$$

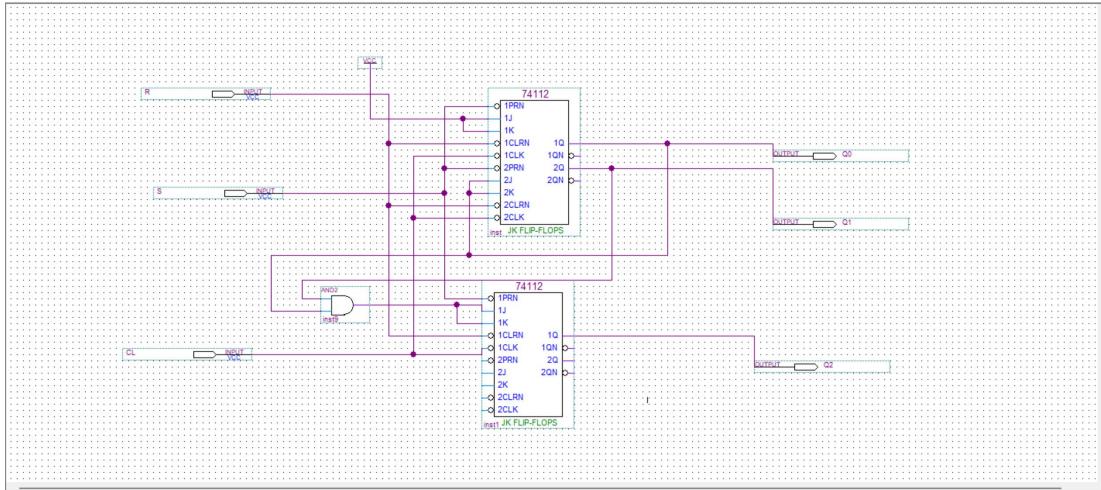


图 13 电路图设计

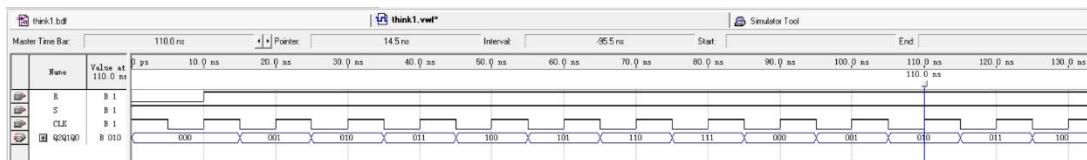


图 14 波形仿真图

3. 如何用 74LS74 构成双向移位寄存器?

对于第n级触发器，其输入D_n的逻辑关系为:

$$D_n = (Q_{n-1} \cdot S) + (Q_{n+1} \cdot \bar{S})$$

S = 1时，执行右移（接收左侧Q_{n-1}的信号）

S = 0时，执行左移（接收右侧Q_{n+1}的信号）

$$D1 = D \cdot Q_2 + \bar{D} \cdot Q_4$$

$$D2 = D \cdot Q_3 + \bar{D} \cdot Q_1$$

$$D3 = D \cdot Q_4 + \bar{D} \cdot Q_2$$

$$D_4 = D \cdot Q_1 + \bar{D} \cdot Q_3$$

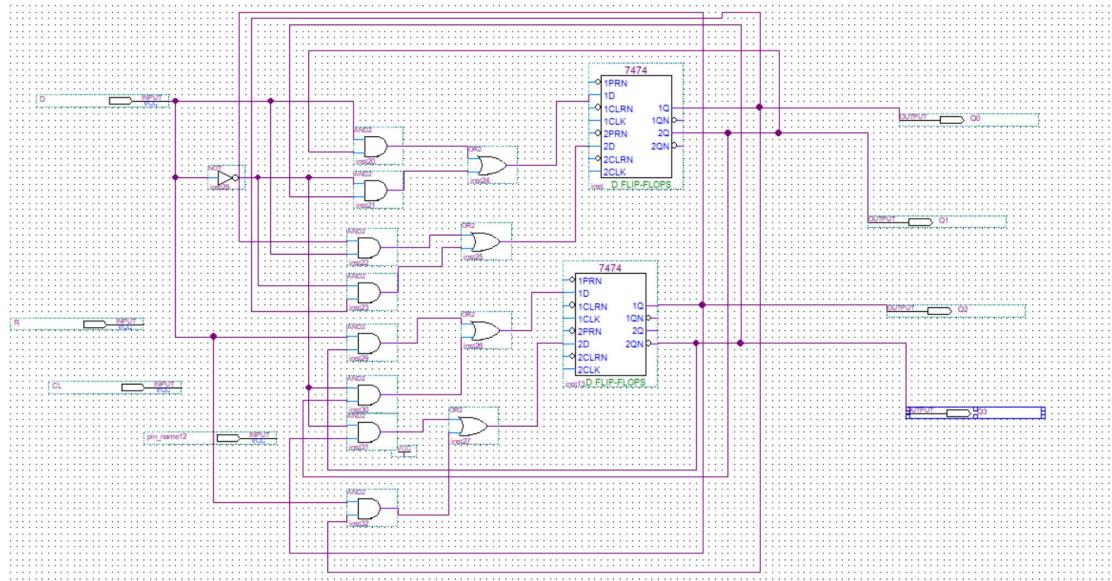


图 15 电路图设计