

上海大学 计算机学院

《数字逻辑实验》报告四

姓名 翟博豪 学号 24122233

时间 周五 1-2 机位 25 指导教师 顾惠昌

实验名称: 组合电路（三）

一、实验目的

1. 熟悉编码器、译码器、数据选择器和数值比较器及它们的构成方法。
2. 掌握用逻辑门实现不同的组合逻辑电路的基本原理。
3. 熟练掌握可编程逻辑器件的开发工具 Quartus II 设计电路的方法。

二、实验原理

数据选择器，或称多路复用器是一种可以从多个模拟或数字输入信号中选择一个信号进行输出的器件。一个有 $2n$ 输入端的数据选择器有 n 个可选择的输入—输出线路，可以通过控制端来选择其中一个信号被选择作为输出。数据选择器主要用于增加一定量的时间和带宽内的可以通过网络发送的数据量。

本次实验我们选择 8 路选择器 74LS151 完成对函数 $Y = \Sigma_m(0,2,3,4,6,7)$ 的模拟。

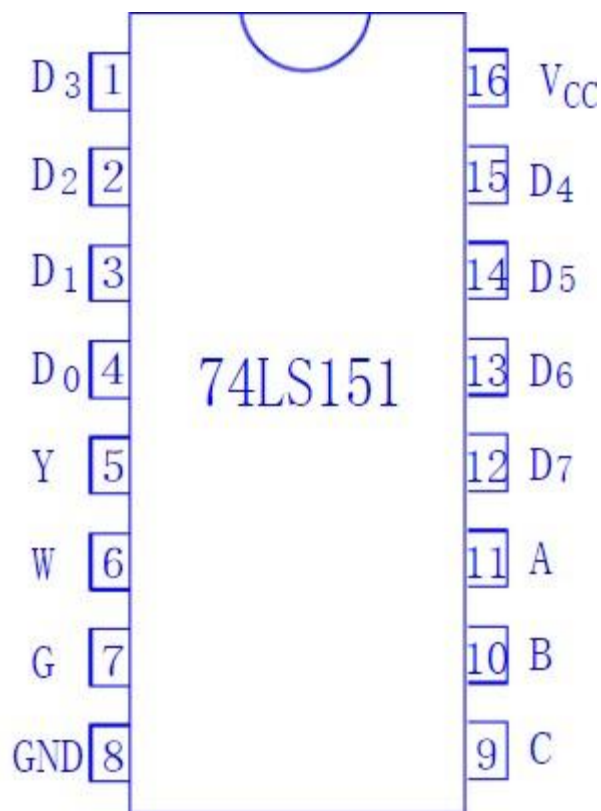


图 1. 74151 引脚图

输入				输出	
使能 \overline{G}	选择			Y	$W=\overline{Y}$
	C	B	A		
1	X	X	X	0	1
0	0	0	0	D0	$\overline{D0}$
0	0	0	1	D1	$\overline{D1}$
0	0	1	0	D2	$\overline{D2}$
0	0	1	1	D3	$\overline{D3}$
0	1	0	0	D4	$\overline{D4}$
0	1	0	1	D5	$\overline{D5}$
0	1	1	0	D6	$\overline{D6}$
0	1	1	1	D7	$\overline{D7}$

图 2 74151 功能表

使用 74LS151 模拟三变量函数时，只需要把三个输入端与 CBA 相连接，再按照逻辑函数的真值表将各函数值储存在 D0~D7 中。这样，当 CBA 输入时，Y

端就会输出对应的值。

A	B	C	Y
0	0	0	1 (D0)
0	0	1	0 (D1)
0	1	0	1 (D2)
0	1	1	1 (D3)
1	0	0	1 (D4)
1	0	1	0 (D5)
1	1	0	1 (D6)
1	1	1	1 (D7)

译码器是编码器的逆过程，是将二进制代码所代表的特定对象还原出来的组合逻辑电路。根据译码对象不同，可以分成二进制译码器（变量译码器）和二-十进制译码器（码制变换译码器、显示译码器等）。以下所示是二进制译码器。二-十进制译码器通常有 4 个输入端和 10 个输出端，主要功能是将输入的 BCD 码翻译成 10 个高、低电平的输出信号。

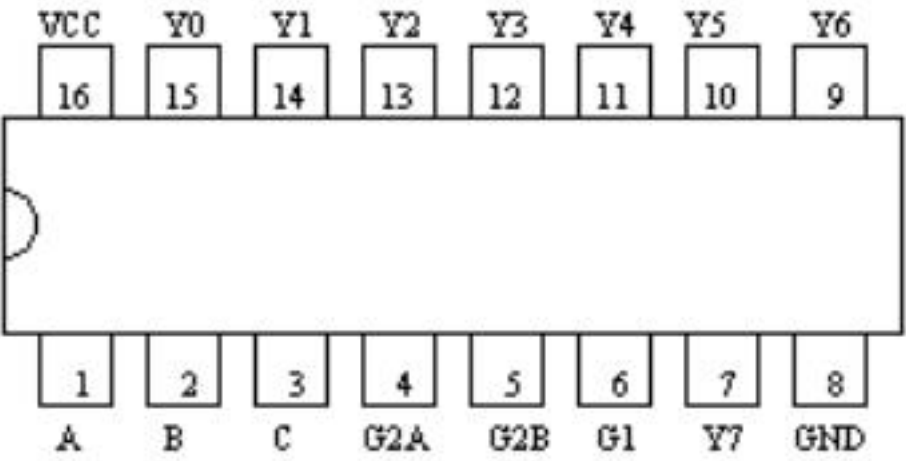


图 3 74138 引脚图

G1	G2A	G2B	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	1	X	X	X	1	1	1	1	1	1	1	1
0	X	X	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

图 4 74138 功能表

G1、G2A、G2B 是控制脚（又叫片选），只有当 G1 为高电平而 G2A、G2B 都为低电平时，74LS138 才对 A、B、C 脚的输入进行译码，选择和从这三个管脚输入的三位二进制码相对应的某一个输出脚输出低电平，否则所有的输出脚都是输出高电平。

本次实验就用译码器 74138 来实现逻辑函数 $Y=\Sigma_m(2,4,6,8,10,11,14)$

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1

1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

三、实验内容

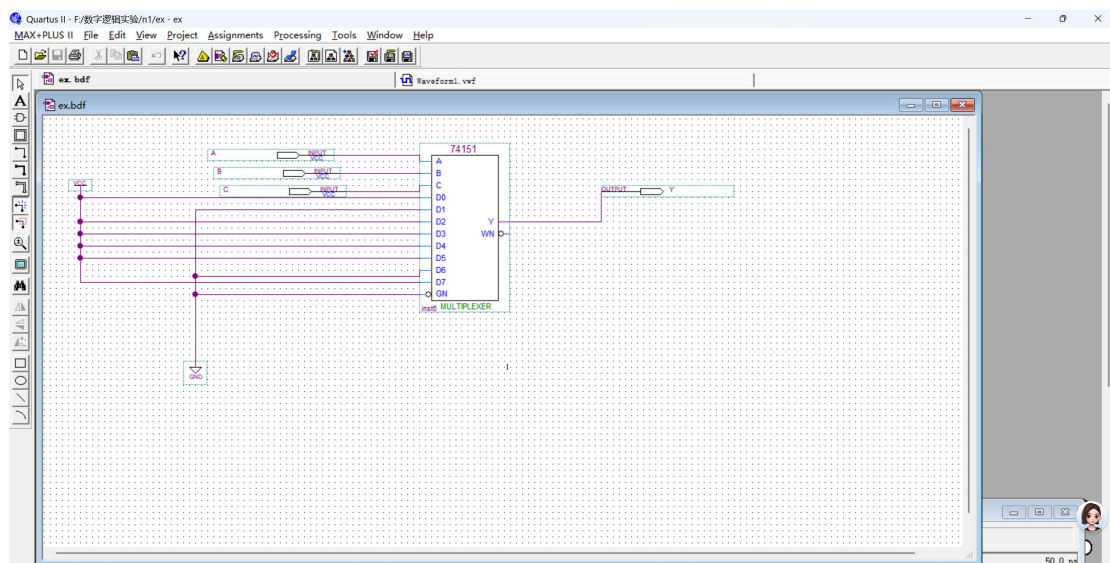
1. 实验任务一

(1) 实验步骤

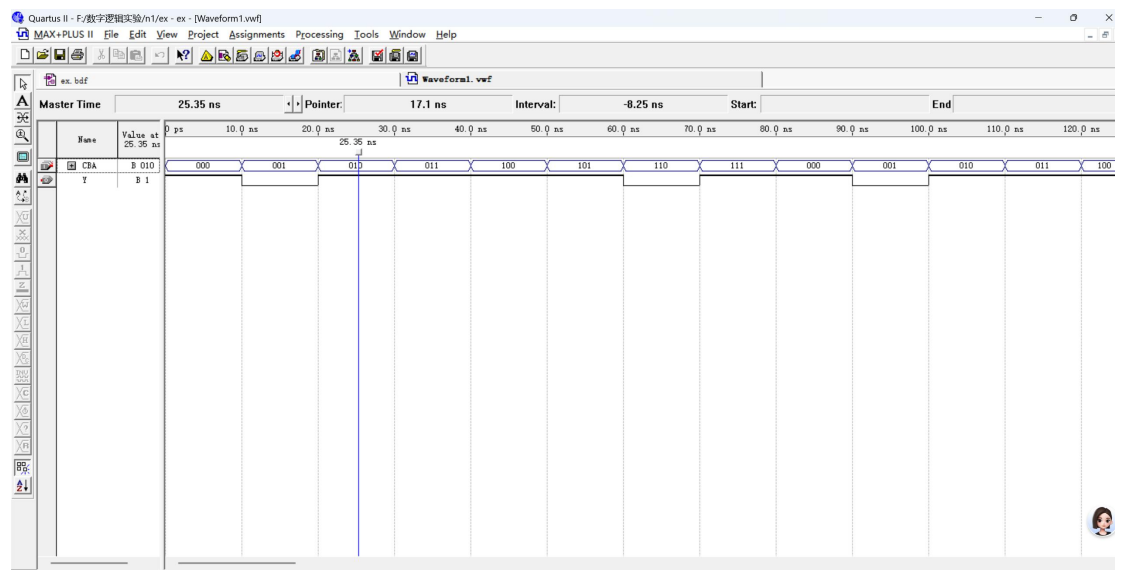
1. 在 Quartus II 中选用 74LS151 ，设计函数的逻辑电路图。
2. 使用模拟工具进行模拟验证，并通过验证。
3. 定义 FPGA 的 IO 引脚功能。
4. 下载设计的电路到 FPGA 中。
5. 用开关和发光二极管测试下载到 FPGA 中的电路功能。

(2) 实验现象

逻辑电路图设计：



波形仿真图：



(3) 数据记录、分析与处理

拨动开关时数码管的示数记录如下表所示

C	B	A	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

对比真值表得知，电路图设计正确

(4) 实验结论

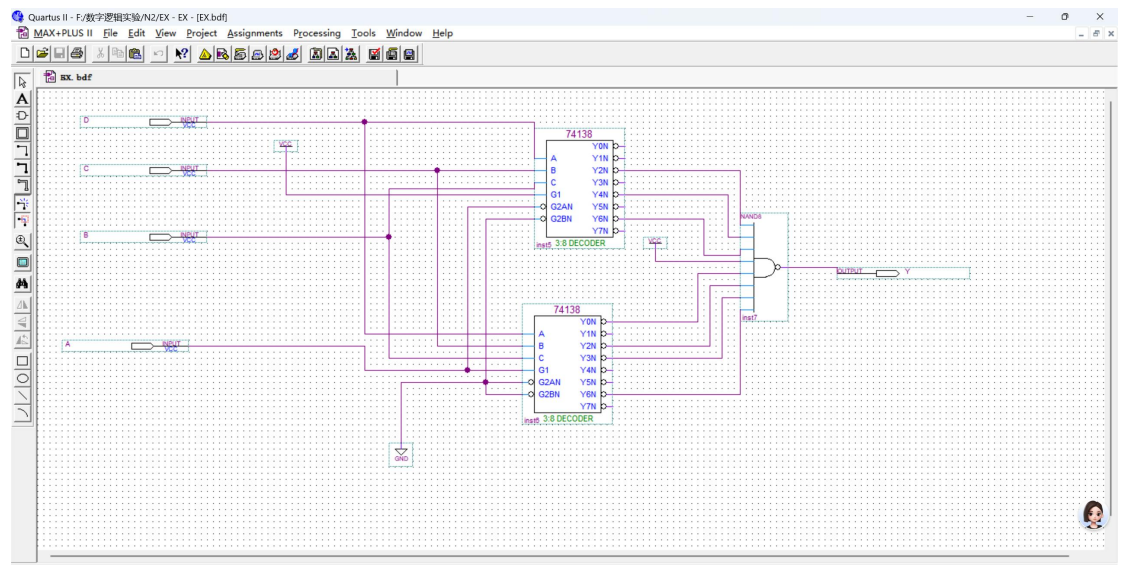
成功设计并验证逻辑电路图。

2. 实验任务二

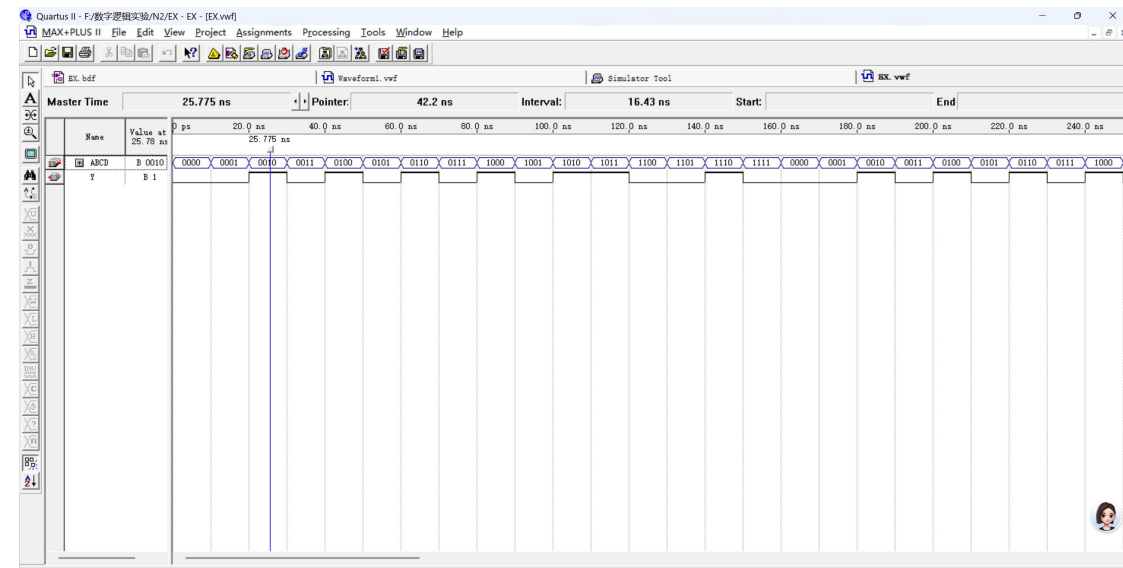
(1) 实验步骤

1. 在 Quartus II 中选用 74LS138，设计函数的逻辑电路图。
2. 使用模拟工具进行模拟验证，并通过验证。
3. 定义 FPGA 的 IO 引脚功能。
4. 下载设计的电路到 FPGA 中。
5. 用开关和发光二极管测试下载到 FPGA 中的电路功能。

(2) 实验现象
逻辑电路图：



仿真波形图：



(3) 数据记录、分析与处理
拨动电平开关时数码管的示数记录如下表所示

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1

0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

对比真值表，发现结果正确

(4) 实验结论

成功用译码器实现了函数 $Y(A,B,C,D)=\sum m(2,4,6,8,10,12,14)$

四、建议和体会

五、思考题