

上海大学 计算机学院

《数字逻辑实验》报告一

姓名 翟博豪 学号 24122233

时间 周五 1-2 机位 25 指导教师 顾惠昌

实验名称: 基本门电路

一、实验目的

- 了解和掌握基本逻辑门电路的输入与输出之间的逻辑关系及使用规则;
- 掌握用基本逻辑门电路构造复合逻辑门电路的原理和基本方式。
- 学习使用可编程逻辑器件的开发工具 Quartus II。

二、实验原理

实现基本逻辑运算和常用逻辑运算的单元电路通称为逻辑门电路。如实现“与”运算的电子电路称为与逻辑门，简称与门；实现“与非”运算的电子电路称为与非门。与基本逻辑运算和常见逻辑运算相对应，常用的简单逻辑门电路有与门、或门、非门；复合逻辑门电路有与非门、或非门、与或非门和异或门等。

1. 与非门 74LS00 ($Y=\overline{AB}$)

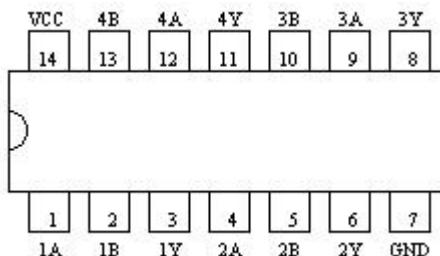


图 1 74LS00 引脚图

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

图 2 74LS00 真值表

- 本次实验中我们用 74LS00 构成与门，非门等基本门电路并测试功能
- 与非门构成其他基本门
 - (1) 非门：

非门功能: $Y = \bar{A}$

推导:

$$\begin{aligned} Y &= \overline{\bar{A} \cdot B} \\ &= \overline{\bar{A} \cdot \bar{A}} \\ &= \bar{A} \end{aligned}$$

<i>A</i>	<i>Y</i>
0	1
1	0

图 3 非门真值表

(2) 与门:

与门功能: $Y = A \cdot B$

推导 (需 2 个与非门):

第 1 个与非门 (与非运算): $Y_1 = \overline{A \cdot B}$

第 2 个与非门 (作非门): $Y = \overline{Y_1} = \overline{\overline{A \cdot B}}$

$$Y = A \cdot B$$

<i>A</i>	<i>B</i>	<i>Y</i>
0	0	0
0	1	0
1	0	0
1	1	1

图 4 与门真值表

(3) 或门:

或门功能: $Y = A + B$

推导 (需 3 个与非门):

2 个与非门作非门: $\bar{A} = \overline{A \cdot A}, \bar{B} = \overline{B \cdot B}$

摩根定律转换: $A + B = \overline{\overline{A} + \overline{B}} = \overline{\bar{A} \cdot \bar{B}}$

第 3 个与非门: $Y = \overline{\bar{A} \cdot \bar{B}}$

<i>A</i>	<i>B</i>	<i>Y</i>
0	0	0
0	1	1
1	0	1
1	1	1

图 5 或门真值表

(4) 异或门:

异或门功能: $Y = A \oplus B = \overline{A} \cdot B + A \cdot \overline{B}$
 推导 (需 5 个与非门):
 2 个非门 (与非门输入短接): $\overline{A} = \overline{\overline{A} \cdot A}, \quad \overline{B} = \overline{\overline{B} \cdot B}$
 2 个与门 (各需 2 个与非门):

$$\overline{A} \cdot B = \overline{\overline{\overline{A}} \cdot B}, \quad A \cdot \overline{B} = \overline{\overline{A} \cdot \overline{B}}$$

1 个或门:

$$Y = \overline{A} \cdot B + A \cdot \overline{B} = \overline{\overline{A} \cdot B} \cdot \overline{A \cdot \overline{B}}$$

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

图 6 异或门真值表

3. QuartusII 软件

用 Quartus II 开发可编程逻辑器件的开发流程可分为四个步骤, 它们分别是功能模块设计、项目编译处理、项目分析校验和器件下载编程。下面依次对这四个步骤进行简述。

(1) 功能模块设计

Quartus II 的功能模块设计可以通过集成环境的各种设计工具来完成。Quartus II 具有多种设计输入方法, 其中包括:

- 原理图输入和符号编辑
- 硬件描述语言输入
- 波形设计输入
- 平面布局编辑
- 层次设计输入

Quartus II 集成环境使信息可在各种应用程序间交流, 设计者可以在一个工程内直接从某个设计文件切换到其他设计文件, 而不必理会它是图形格式、文本格式, 还是波形格式。

(2) 项目编译处理

Quartus II 处理一个设计项目时由软件编译器读取设计文件, 产生用于器件编程、仿真和定时分析的输出文件。由消息处理器产生在编译过程中发现的错误或警告。

(3) 项目分析校验

Quartus II 提供的设计校验包括设计仿真和定时分析, 以此来测试设计项目的逻辑操作和内部时序。其中设计仿真又分为功能仿真、时序仿真和多器件仿真三种。

(4) 器件下载编程

Quartus II 编程器用来生成多种格式的编程文件。对于不同器件所生成的下载编程/配置文件是不同的。由于我们使用的是 Altera 器件, 所以我们首先生成针对 Altera 器件的下载编程/配置文件, 然后将生成的下载编程/配置文件下载到 Altera 器件中并进行测试, 观察其实际输出的结果与时序仿真输出的波形结果是否一致, 以验证实际逻辑电路是否正常工作。

三、实验内容

1. 实验任务一. 与非门逻辑功能测试

(1) 实验步骤

将 74LS00 的输入引脚连接到任一开关，输出连接到任一对数码管。

注意：引脚 7 连接“接地插孔”，用黑色线连接；引脚 14 连接+5V 电源插孔，用红色线连接。输入线用黄色连接，输出线用蓝色连接。

拨动开关，观察数码管的变化，填表。

(2) 实验现象

拨动开关，当输入为 00 时，数码管输出 1

当输入为 01 时，数码管输出 1

当输入为 10 时，数码管输出 1

当输入为 11 时，数码管输出 0

(3) 数据记录、分析与处理

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

图 7 与非门测试

(4) 实验结论

与实验原理中分析一致，与非门测试成功

2. 实验任务二. 复合门和基本门的关系

(1) 实验步骤

按照表达式或者电路图连接 74LS00 的引脚。

使用开关和发光二极管进行测试。

画出接线电路图，记录结果。

(2) 实验现象

非门：

输入为 0 时，输出 1

输入为 1 时，输出 0

A	Y
0	1
1	0

图 8 非门测试

与门：

拨动开关，当输入为 00 时，数码管输出 0

当输入为 01 时，数码管输出 0

当输入为 10 时，数码管输出 0

当输入为 11 时，数码管输出 1

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

图 9 与门测试

或门：

拨动开关，当输入为 00 时，数码管输出 0

当输入为 01 时，数码管输出 1

当输入为 10 时，数码管输出 1

当输入为 11 时，数码管输出 1

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

图 10 或门测试

异或门：

拨动开关，当输入为 00 时，数码管输出 0

当输入为 01 时，数码管输出 1

当输入为 10 时，数码管输出 1

当输入为 11 时，数码管输出 0

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

图 11 异或门测试

(3) 数据记录、分析与处理

对比测试得到的结果和真值表，结果与分析一致

(4) 实验结论

成功用与非门分别构成与门、或门、非门等基本门并测试其功能。用与非门构成异或门并测试其功能。

3. 实验任务三. Quartus II 操作初步

(1) 实验步骤

熟悉 Quartus II 的操作步骤和环境。

在 Quartus II 中创建一个图形文件，包含一个异或门。

使用模拟软件工具进行模拟。

(2) 实验现象

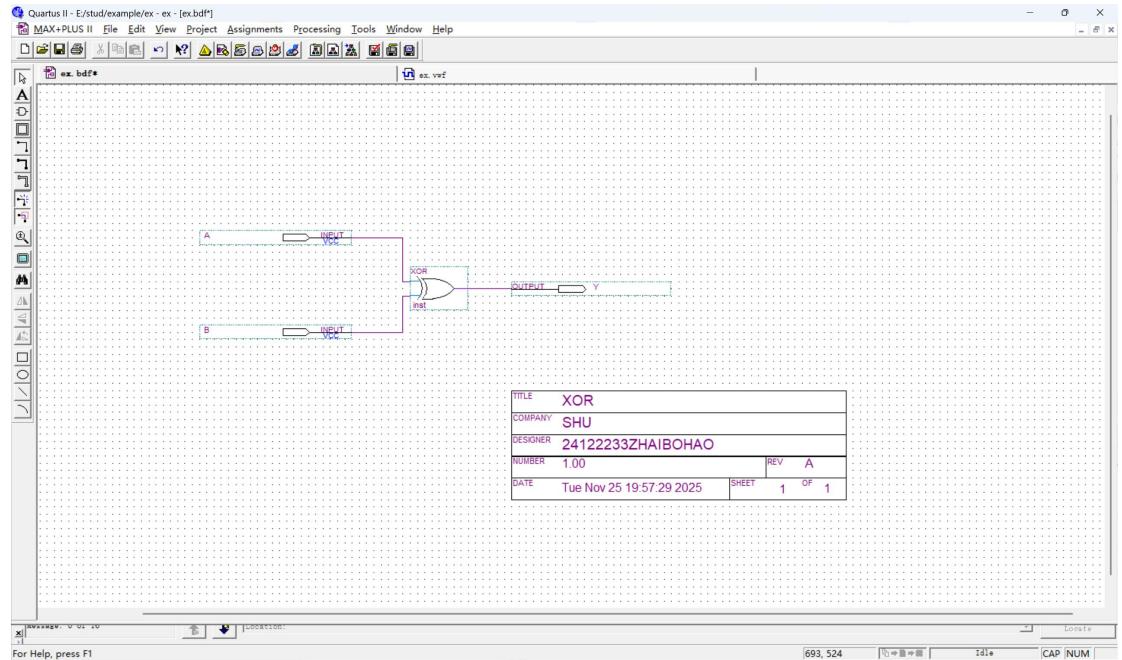


图 12 用 QuartusII 设计异或门

两个输入信号 A 和 B，通过“INPUT”元件定义为输入引脚。

中间的“XOR”元件是异或门，实现逻辑运算 $Y = A \oplus B$ （异或运算，即“相同为 0，不同为 1”）。

信号 Y 通过“OUTPUT”元件定义为输出引脚。

(3) 数据记录、分析与处理

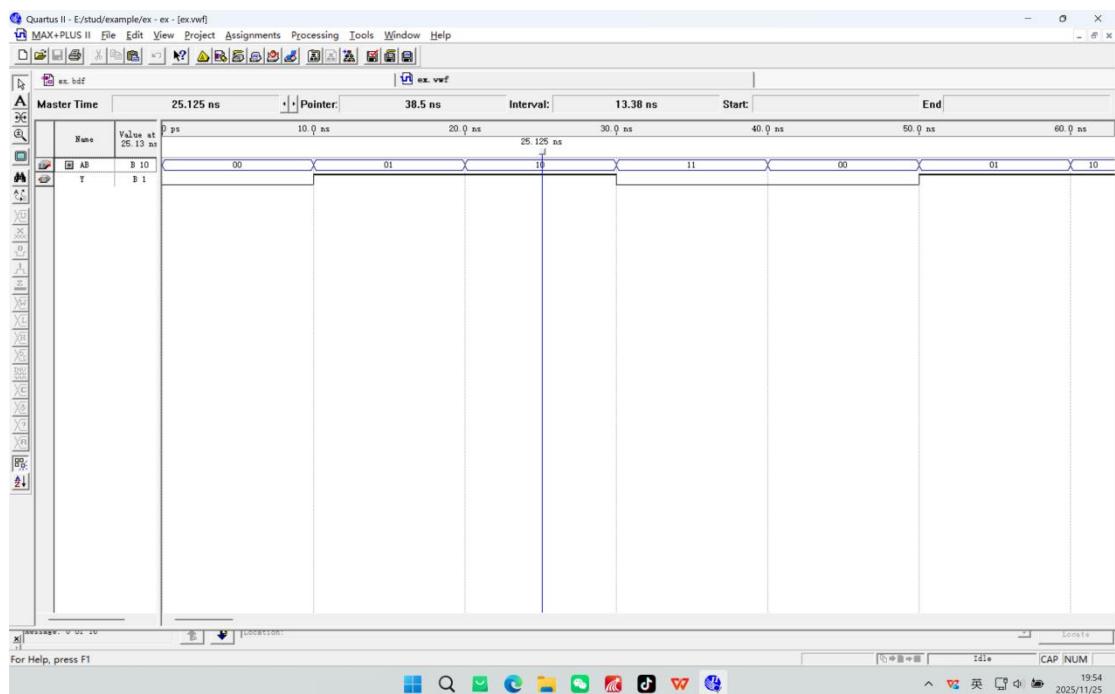


图 13 仿真波形图

波形图展示了输入 A、B 和输出 Y 的关系

$A=0, B=0$ 时， $Y=0$

$A=0, B=1$ 时， $Y=1$

A=1B=1 时， Y=0

A=1B=0 时， Y=1

说明该异或门电路设计是正确的。

(4) 实验结论

成功使用 QuartusII 设计并测试了异或门

四、建议和体会

五、思考题