

上海大学 计算机学院

《数字逻辑实验》报告二

姓名 翟博豪 学号 24122233

时间 周五 1-2 机位 25 指导教师 顾惠昌

实验名称: 组合电路 (一)

一、实验目的

- 掌握组合逻辑电路的功能测试。
- 学会二进制数的运算规律。
- 掌握构造半加器和全加器的逻辑功能。
- 学习使用可编程逻辑器件的开发工具 Quartus II 设计电路。

二、实验原理

1. 异或门逻辑测试

异或门(xor)是一种常见的符合逻辑门电路, 逻辑表达式为 $Y = A \oplus B = \overline{AB} + A\overline{B}$ 。本次实验测试异或门 74LS86 芯片的逻辑功能。

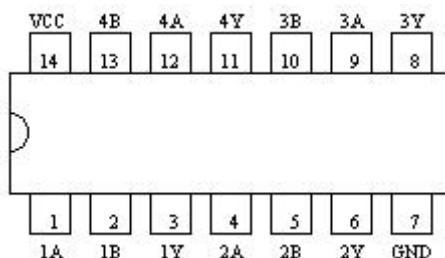


图 1 74LS86 引脚图

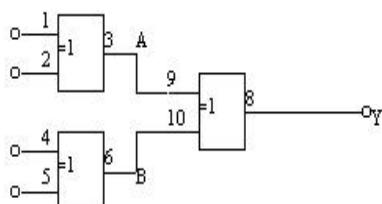


图 2 异或门功能测试

将电平开关按照下表设置, 观察实验是否与其相符。

输入		输出		
		A	B	Y
L L	L L	0	0	0
H L	L L	1	0	1
H H	L L	0	0	0
H H	H L	0	1	1
H H	H H	0	0	0
L H	L H	1	1	0

表 1 异或门的测试

2. 分立元件构成半加器和全加器

半加器是对两个一位二进制数进行相加，产生“和”与“进位”。根据半加器的逻辑表达式可知，半加器的“和”Y是A、B的异或，而“进位”Z是A、B相与。故半加器可用一个集成异或门和二个与非门组成。

全加器将两个一位二进制数及来自低位的进位 C_{i-1} 进行相加，产生“和”与“进位 C_i ”。构成全加器的方法有多种：可用异或门和与非门等门电路组成可用若干与门组成也可用半加器和或门组成。

下图为全加器的真值表：

输入			输出	
<i>Ai</i>	<i>Bi</i>	<i>Ci-1</i>	<i>Si</i>	<i>Ci</i>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

表 2 全加器真值表

<i>AiBi\Ci-1</i>	0	1
00	0	1
01	1	0
11	0	1
10	1	0

表 3 Si 卡诺图

<i>AiBi\Ci-1</i>	0	1
00	0	0
01	0	1
11	1	1
10	0	1

表 4 Ci 卡诺图

根据卡诺图化简出 S_i 和 C_i

$S_i = A_i \oplus B_i \oplus C_{i-1}$ 标准与或形式为：

$$S_i = A_i \overline{B_i} \overline{C_{i-1}} + \overline{A_i} B_i \overline{C_{i-1}} + \overline{A_i} \overline{B_i} C_{i-1} + A_i B_i C_{i-1}$$

$$C_i = A_i B_i + A_i C_{i-1} + B_i C_{i-1} C_i = (A_i \oplus B_i) C_{i-1} + A_i B_i$$

写成异或和与非格式为 $\overline{(A_i \oplus B_i) C_{i-1}} A_i B_i$

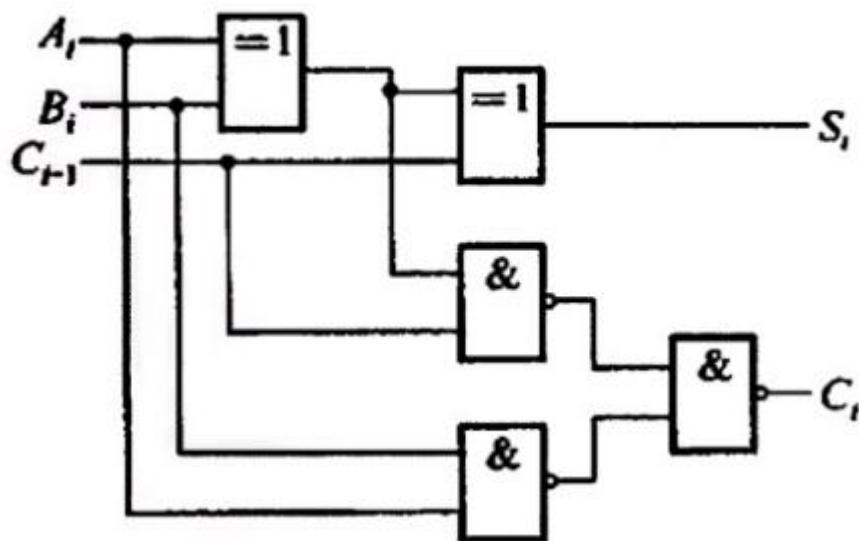


图 3 全加器电路图

3. 用 Quartus2 完成二位全加器设计

本次使用 Quartus II 设计二位二进制数的加法器（不考虑低位进位）两个二进制数的相加，输出端为高位和，低位和以及高位的进位。

输入				输出		
A1	A0	B1	B0	C1	S1	S0
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	1	0	1	1
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	0	1	1
0	1	1	1	1	0	0
1	0	0	0	0	1	0

1	0	0	1	0	1	1
1	0	1	0	1	0	0
1	0	1	1	1	0	1
1	1	0	0	0	1	1
1	1	0	1	1	0	0
1	1	1	0	1	0	1
1	1	1	1	1	1	0

表 5 二位全加器真值表

$A_1 B_1 \wedge C_0$	0	1	$A_0 \wedge B_0$	0	1	$A_1 B_1 \wedge C_0$	0	1
00	0	0	0	0	1	00	0	0
01	1	0	1	1	0	01	0	1
11	1	1				11	1	1
10	0	1				10	0	1

S1

S0

C1

$$S_0 = S_0 = \overline{A_0}B_0 + A_0\overline{B_0} = A_0 \oplus B_0$$

$$S_1 = A_1 \oplus B_1 \oplus (A_0 B_0)$$

$$C_1 = A_1 B_1 + (A_1 \oplus B_1) \cdot (A_0 B_0) = \overline{\overline{A_1} \cdot B_1} \cdot \overline{A_1 \cdot A_0 B_0} \cdot \overline{B_1 \cdot A_0 B_0}$$

据此可以在 Quartus II 中选取基本电路元件，设计出电路图。之后进行模拟验证，波形仿真测试。

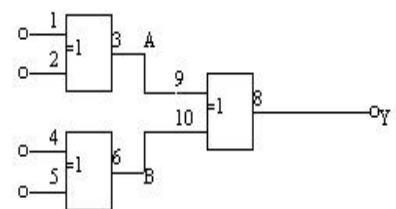
三、实验内容

1. 实验任务一：异或门逻辑功能测试

(1) 实验步骤

如图完成线路的连接

打开数字逻辑模拟箱的电源，按照输入输出表中从上到下的顺序调节开关，观察数码管的示数是否与预期一致，一致则说明该芯片功能正常。



(2) 实验现象

当输入“LLLL”时，显示“0 0 0”；

输入“HLLL”时，显示“1 0 1”；
 输入“HHLL”时，显示“0 0 0”；
 输入“HHHL”时，显示“0 1 1”；
 输入“HHHH”时，显示“0 0 0”；
 输入“LHLH”时，显示“1 1 0”；

(3) 数据记录、分析与处理

输入		输出		
		A	B	Y
L L	L L	0	0	0
H L	L L	1	0	1
H H	L L	0	0	0
H H	H L	0	1	1
H H	H H	0	0	0
L H	L H	1	1	0

结果与分析一致

(4) 实验结论

当输入信号相同时，异或门输出“0”，当输入信号不同时，异或门输出“1”；

2. 实验任务二：分立元件构成半加器和全加器

(1) 实验步骤

用 74LS00 和 74LS86 芯片搭建成一位全加器，并测试其功能，记录结果

(2) 实验现象

当输入为“0 0 0”时，读数为“0 0”；
 当输入为“0 0 1”时，读数为“1 0”；
 当输入为“0 1 0”时，读数为“1 0”；
 当输入为“0 1 1”时，读数为“0 1”；
 当输入为“1 0 0”时，读数为“1 0”；
 当输入为“1 0 1”时，读数为“0 1”；
 当输入为“1 1 0”时，读数为“0 1”；
 当输入为“1 1 1”时，读数为“1 1”；

(3) 数据记录、分析与处理

输入			输出	
<i>Ai</i>	<i>Bi</i>	<i>Ci-1</i>	<i>Si</i>	<i>Ci</i>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1

1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

与分析一致

(4) 实验结论

全加器设计正确，功能正常

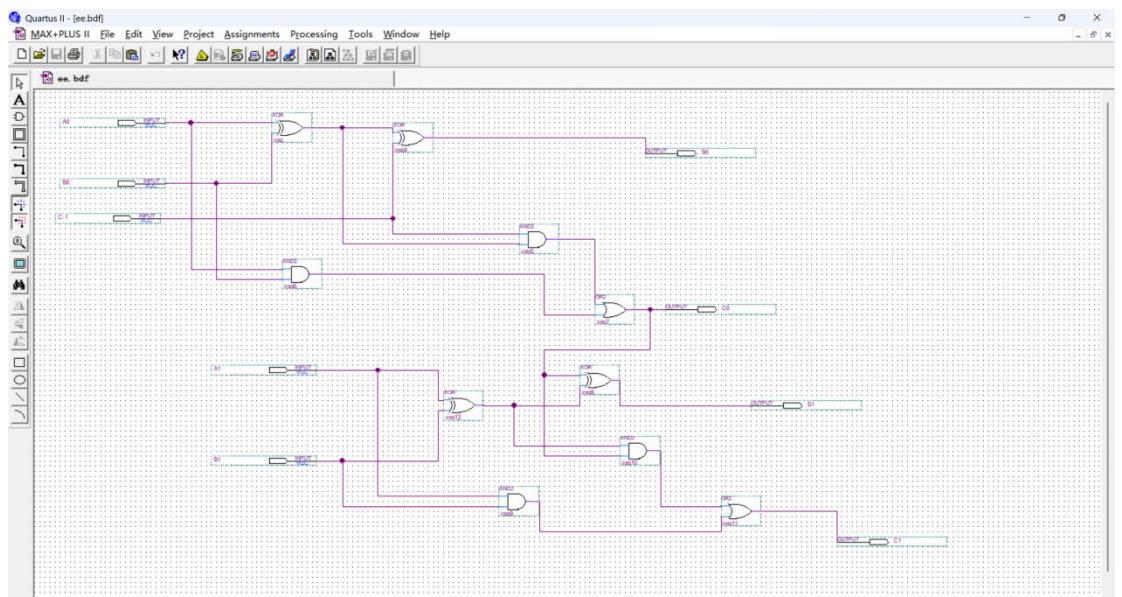
3. 实验任务三、使用 Quartus II 设计二位加法器

(1) 实验步骤

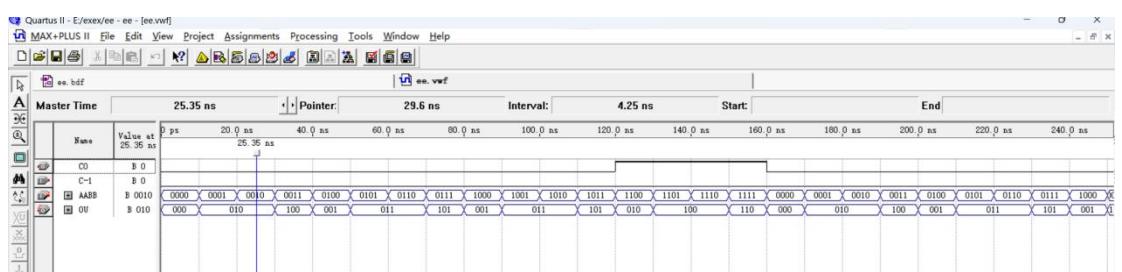
- 在 Quartus II 中选用基本门电路器件，构成一个两位全加器逻辑图。
- 使用模拟工具进行模拟验证，并通过验证。
- 定义 FPGA 的 IO 引脚功能。
- 下载设计的电路到 FPGA。
- 用开关和发光二极管测试 FPGA 的功能。

(2) 实验现象

电路图绘制：



仿真波形图：



(3) 数据记录、分析与处理

输入				输出		
A1	A0	B1	B0	C1	S1	S0

0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	1	0	1	1
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	0	1	1
0	1	1	1	1	0	0
1	0	0	0	0	1	0
1	0	0	1	0	1	1
1	0	1	0	1	0	0
1	1	0	0	0	1	1
1	1	0	1	1	0	0
1	1	1	0	1	0	1
1	1	1	1	1	1	0

与分析一致

(4) 实验结论

全加器设计正确

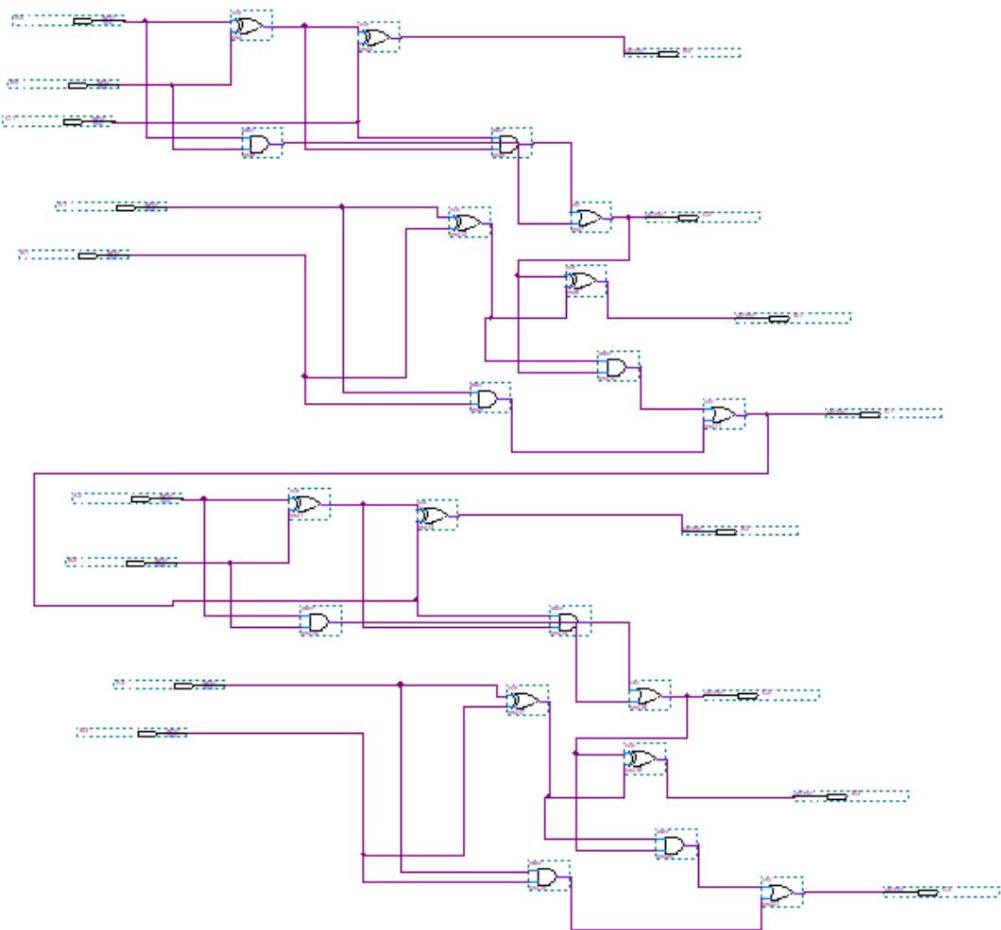
四、建议和体会

建议：提前预习实验，实验中做好记录

体会：这次试验让我对 Quartus2 的操作更加熟练

五、思考题

1.用可编程逻辑器件的开发工具 Quartus II 对 ACEX 编程，设计实现四位的二进制并行加法器。



在原来二位上再嵌套一个二位即可