

武汉大学计算机学院

2016~2017 学年第二学期 2016 级《数字逻辑》

期末考试试卷 (闭卷考试) A 卷参考答案

一、填空 (每空 1 分, 共 16 分)

1、 $(3C.E)_{16} = (60.875)_{10} = (111100.111)_2$

2、 $(-1011)_2 = (11011)_{\text{原}} = (10101)$

3、 $B=1, C=1$

4、冒险现象或险象 临界竞争 非临界竞争

5、 $\bar{F} = (\bar{A} + B) \cdot (\bar{B} + \bar{C})$

6、0, 2

7、 $J=D, K=\bar{D}$

8. 流程表、总态图

二、选择题 (每空 2 分, 共 16 分)

1、 D

2、 A

3、 B

4、 C

5、 B

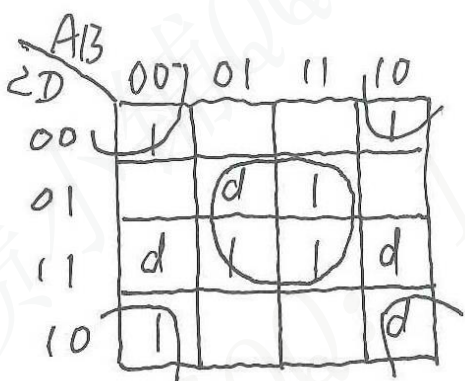
6、 A

7、 D

8、 C

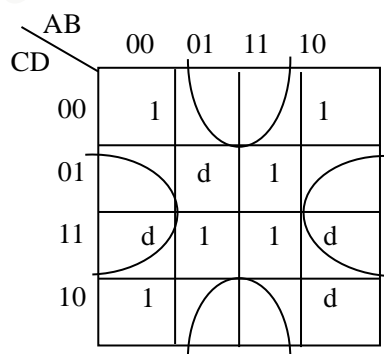
三、化简题 (8 分)

把 $F(A,B,C,D) = \bar{A}\bar{B}\bar{D} + \sum m(7,8,13,15) + \sum d(3,5,10,11)$ 化成最简“与一或”式和最简或与式



最简与一或表达式:

$$F = BD + \bar{B}\bar{D}$$



最简与一或表达式:

$$F = (B + \bar{D})(\bar{B} + D)$$

四、分析题（每小题 12 分，共 24 分）

1、分析图 1 所示组合逻辑电路（每问 4 分）

① 写出输出函数表达式

$$S = A \oplus B \oplus C$$

$$Ci = \overline{\overline{AB}(A \oplus B)C} = AB + (A \oplus B)C = AB + \overline{A}BC + A\overline{B}C = AB + AC + BC$$

② 列出真值表

输入 ABC	输出 S Ci
0 0 0	0 0
0 0 1	1 0
0 1 0	1 0
0 1 1	0 1
1 0 0	1 0
1 0 1	0 1
1 1 0	0 1
1 1 1	1 1

③ 电路功能：该电路实现全加器的功能，A 是被加数，B 是加数，C 是低位进位，S 是本位和，Ci 是本位向高位的进位，即

$$S = \sum m = (1, 2, 4, 7); \quad Ci = \sum m = (3, 5, 6, 7)$$

2、分析图 2 所示同步时序逻辑电路（每问 4 分）

① 写出激励函数表达式

$$J_3 = Q_2 Q_1$$

$$J_2 = Q_1$$

$$J_1 = \overline{Q_3 Q_2}$$

$$K_3 = Q_2$$

$$K_2 = \overline{\overline{Q_3 Q_1}}$$

$$K_1 = 1$$

$$Y = \overline{\overline{Q_3 Q_2}}$$

电路属于 Moore 模型

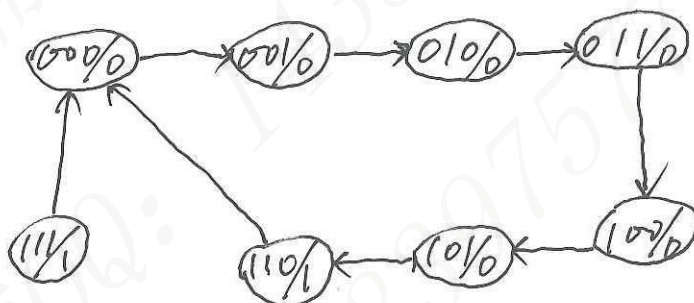
② 作出状态表和状态图

$Q_3 Q_2 Q_1$	$J_3 K_3$	$J_2 K_2$	$J_1 K_1$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$	Y
0 0 0	0 0	0 0	1 1	0 0 1	0
0 0 1	0 0	1 1	1 1	0 1 0	0
0 1 0	0 1	0 0	1 1	0 1 1	0
0 1 1	1 1	1 1	1 1	1 0 0	0
1 0 0	0 0	0 1	1 1	1 0 1	0
1 0 1	0 0	1 1	1 1	1 1 0	0
1 1 0	0 1	0 1	0 1	0 0 0	1
1 1 1	1 1	1 1	0 1	0 0 0	1

状态表

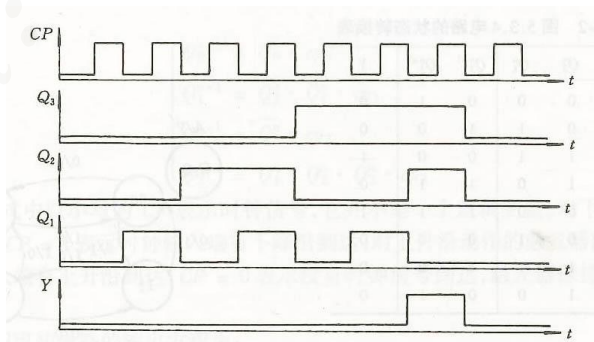
$Q_3 Q_2 Q_1$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$	Y
0 0 0	0 0 1	0
0 0 1	0 1 0	0
0 1 0	0 1 1	0
0 1 1	1 0 0	0
1 0 0	1 0 1	0
1 0 1	1 1 0	0
1 1 0	0 0 0	1
1 1 1	0 0 0	1

状态图



③ 说明电路功能, 作出 Q_3 、 Q_2 、 Q_1 、 Y 的波形图

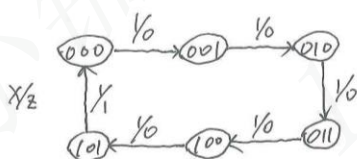
功能: 电路是 7 进制 (或模 7) 加法 (加 1) 计数器, 输出表示进位。电路具备自启动功能。



五、设计题 (12 分)

1、

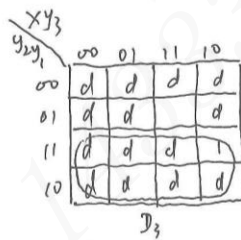
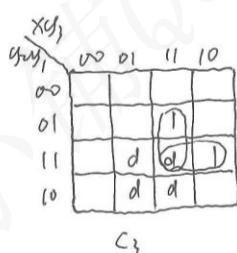
1. 4-状态图和状态表



$y_3 y_2 y_1$	z
0 0 0	0 0 1 / 0
0 0 1	0 1 0 / 0
0 1 0	0 1 1 / 0
0 1 1	1 0 0 / 0
1 0 0	1 0 1 / 0
1 0 1	0 0 0 / 1

2. 确定激励函数和输出函数

输入	次态	输出	激励
$x y_3 y_2 y_1$	$y_3^{n+1} y_2^{n+1} y_1^{n+1}$	z	$C_3 D_3 \quad C_2 D_2 \quad C_1 D_1$
1 0 0 0	0 0 1	0	0 d 0 d 1 1
1 0 0 1	0 1 0	0	0 d 1 1 1 0
1 0 1 0	0 1 1	0	0 d 0 d 1 1
1 0 1 1	1 0 0	0	1 1 1 0 1 0
1 1 0 0	1 0 1	0	0 d 0 d 1 1
1 1 0 1	0 0 0	1	1 0 0 d 1 0
1 1 1 0	d d d	d	d d d d d d
1 1 1 1	d d d	d	d d d d d d

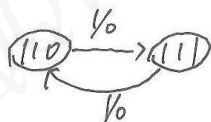


$$\begin{cases} C_3 = x y_3 y_1 + x y_2 y_1 \\ D_3 = y_2 \text{ 或 } D_3 = \bar{y}_3 \\ z = x y_3 \bar{y}_2 y_1 \end{cases}$$

3. 画逻辑图 (略)

4. 检查电路能否自启动

① 经检查得知, 若用 $D_3 = y_2$, 则电路不能自启动, 则需修改设计



② 若用 $D_3 = \bar{y}_3$, 则电路能够自启动。



六 综合应用题 (每小题 12 分, 共 24 分)

1、① 电路工作原理

v_i 是输入触发负脉冲, 平时为 1。

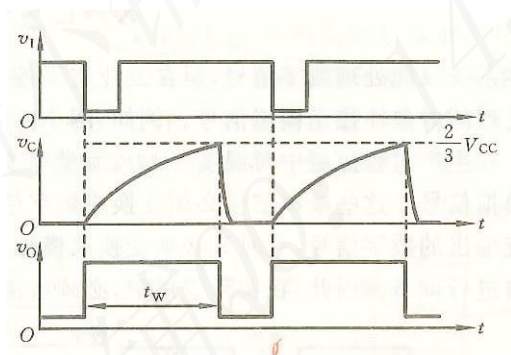
稳态 0: 若 v_o 初态为 0, 则放电三极管导通, 电容 c 通过 T 放电, v_c 即 V_{TH} 迅速下降, 直到 $v_c \approx 0$, 此时 v_i 即 $V_{\overline{TR}} > 1/3V_{CC}$, 而 $V_{TH} < 1/3V_{CC}$, 输出不变, 即 $v_o = 0$

若 v_o 初态为 1, 则放电三极管截止, 电源经 R 向电容 c 充电, v_c 上升, 当 v_c 上升到 $< 2/3V_{CC}$ 时, v_o 都为 1 不变, 直到 v_c 上升到 $> 2/3V_{CC}$, 此时 $V_{\overline{TR}} > 1/3V_{CC}$, $V_{TH} > 2/3V_{CC}$ 输出 v_o 变为 0, 放电三极管导通, 电容 c 通过 T 放电, 直到 $v_c \approx 0$, 一直维持 $v_o = 0$ 不变, 所以 $v_o = 0$ 是稳态。

暂稳态: 当 v_i 输入一个触发负脉冲时 (之后 v_i 迅速回到 1), $V_{\overline{TR}} < 1/3V_{CC}$, $V_{TH} < 2/3V_{CC}$, v_o 由 0 变为 1, 放电三极管截止, 电源经 R 向电容 c 充电, v_c 上升, 当 v_c 上升到 $< 2/3V_{CC}$ 时 (此时 v_i 的负脉冲已撤销 v_i 即 $V_{\overline{TR}} > 1/3V_{CC}$), v_o 都为 1 不变, 直到 v_c 上升到 $> 2/3V_{CC}$ 时, 又出现了 $V_{\overline{TR}} > 1/3V_{CC}$, $V_{TH} > 2/3V_{CC}$, 这时输出 v_o 变为 0, 放电三极管导通, 电容 c 通过 T 放电, 直到 $v_c \approx 0$ 一直维持 $v_o = 0$ 不变, 所以 $v_o = 1$ 是暂稳态。

每触发一次, 在输出端输出一个正脉冲, 脉冲宽度为充电时间常数 $T_w \approx 1.1RC$

② v_i 、 v_c 、 v_o 的工作波形如下:



2、

因为要产生的序列是: 0110100, $T_P=8$, 所以需要移位寄存器的位数 $n \geq 8$ 。把序列的 3 位作为一组, 每次移一位, 共 8 组:

100, 010, 101, 110, 111, 011, 001, 000

因为 8 组代码不重复, 所以 $n=3$

① 选图 74194 的高 3 位 $Q_D Q_C Q_B$ 右移, 从 Q_B 输出, 每来一个时钟脉冲从右移输入端 D_R 移入 1 位, 并将 $Q_D Q_C Q_B$ 初始状态预置成 100。列出电路状态表如下:

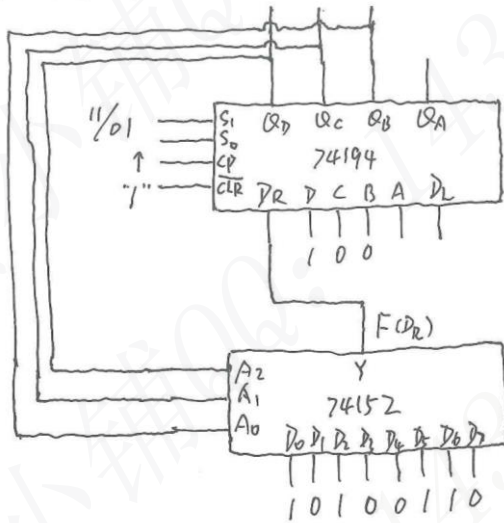
$F(D_R)$	Q_D	Q_C	Q_B
0	1	0	0
1	0	1	0
1	1	0	1
1	1	1	0
0	1	1	1
0	0	1	1
0	0	0	1
1	0	0	0

② 用 $Q_D Q_C Q_B$ 作为 8 选 1 mux 的 3 个选择控制变量 $A_2 A_1 A_0$, $F(D_R)$ 作为数据输入端 $D_0 \sim D_7$

由上面的状态表可知

$$D_1 = D_3 = D_4 = D_7 = 0 \quad D_0 = D_2 = D_5 = D_6 = 1$$

③ 逻辑图



工作之前

让 $S_1S_0=11$, 把 $QAQBQCQD$ 送之 100

然后有 $S_1S_0=01$, 每来一个 CP 右移一位, 依次从 QA 端输出以序列。