

武汉大学计算机学院
《数字逻辑》期末考试试题 (A 卷)
2007—2008 学年第二学期 (闭卷考试)

班号: _____ 学号: _____ 姓名: _____ 成绩: _____

(注: 答案全部写在答题纸上)

一、填空题 (每空 1 分, 共 16 分)

- 1、 $(27.5)_{10} = (\quad)_2 = (\quad)_{16}$
- 2、已知 $x = -0.1011$, 则 $[x]_{\text{补}} = (\quad)$
- 3、奇偶校验码可检测 (\quad) 位错, 但不能定位和纠错
- 4、每个双稳态触发器可记录 (\quad) 位二进制码
- 5、十进制数 347 对应的 8421BCD 码是 (\quad)
- 6、三态门的三种输出状态是 (\quad) 、 (\quad) 、 (\quad)
- 7、有两个相同型号的 TTL 与非门, 甲的开门电平为 1.6V, 乙的开门电平为 1.7V, 试问在输入相同高电平时, (\quad) 的抗干扰能力强。
- 8、 $F = A\bar{B} + \bar{C}D$ 的反函数是 (\quad) , 对偶函数是 (\quad)
- 9、组合逻辑电路的竞争可分为 (\quad) 竞争和 (\quad) 竞争两种类型。
- 10、用 5G555 构成的单稳触发器的暂稳态持续时间 t_w 的宽度与 (\quad) 有关。
- 11、脉冲异步时序逻辑电路的状态 (\quad) 同时变化的。

二、单项选择题 (每空 2 分, 共 14 分)

- 1、能够直接将输出端相连实现“线与”的逻辑门是 (\quad)
A. 与门 B. 或门 C. OC 门 D. 与或非门
- 2、三一八译码器 74138 能够正常工作的条件是使能端 $S_1 \overline{S_2} \overline{S_3}$ (或为 $G_1 \overline{G_{2A}} \overline{G_{2B}}$) 必须为 (\quad)
A. 100 B. 011 C. 101 D. 110

- 3、对上升沿触发的钟控触发器, 其状态翻转的时刻发生在 ()
 A. CP 为 0 时 B. CP 由 0 到 1 时
 C. CP 由 1 到 0 时 D. CP 为 1 时
- 4、同步时序逻辑电路中, 状态编码采用相邻编码法的主要目的是 ()
 A. 减少触发器个数 B. 提高电路可靠性
 C. 提高电路工作速度 D. 减少电路中的逻辑门, 使电路结构最简
- 5、电平异步时序逻辑电路, 不允许两个或两个以上输入信号 ()
 A. 同时为 1 B. 同时为 0 C. 同时改变 D. 同时出现
- 6、对完全确定原始状态表中的 5 个状态 A、B、C、D、E 进行化简, 若有 (B、C)、(B、D) 等效, 则最简状态表中只有 () 个状态
 A. 2 B. 3 C. 4 D. 5
- 7、某同步时序逻辑电路的最简状态表中有 11 个状态, 则设计该电路最少需要 () 个触发器。
 A. 3 B. 4 C. 5 D. 15

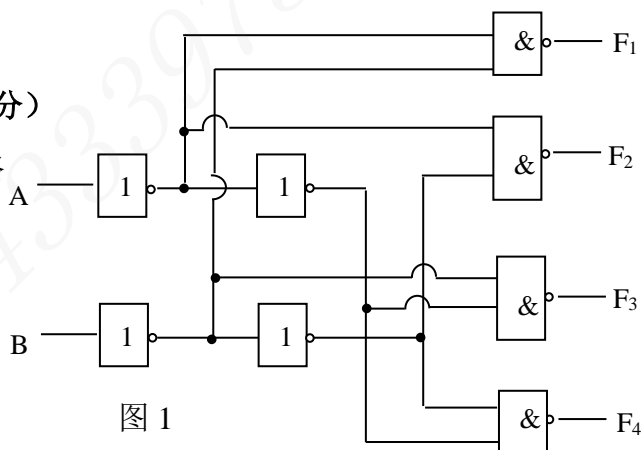
三、化简逻辑函数 (每小题 5 分, 共 10 分)

- 1、用代数法把函数 $F = AB + \bar{A}\bar{B} + \bar{A}\bar{B}CD + \bar{A}BCD$ 化成最简与一或式
- 2、用卡诺图法把函数 $F(A,B,C,D) = \sum m(2,5,7,8,10,13) + \sum d(0,3,14,15)$ 化成最简或一与式

四、分析题 (每小题 10 分, 共 20 分)

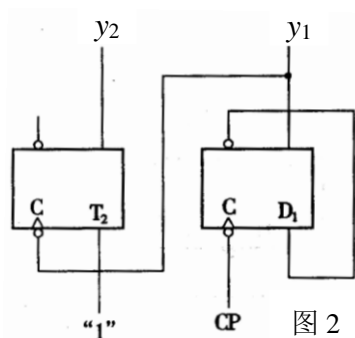
- 1、分析图 1 所示组合逻辑电路

- ① 写出输出函数表达式
- ② 列出真值表
- ③ 说明电路功能



- 2、分析图 2 所示脉冲异步时序逻辑电路

- ① 写出激励函数表达式
- ② 作出状态表和状态图
- ③ 作出时间图并说明电路功能 (设初态



$y_2y_1=00$)

五、设计题（每小题 10 分，共 20 分）

1、作出“1111”序列检测器的 Moore 模型原始状态图和状态表，电路有一个串行输入端 x ，一个输出端 z 。当 x 输入的随机序列中出现连续 4 个或 4 个以上 1 时，输出 z 为 1，否则 z 为 0，其典型输入输出序列如下：

输入 x : 0 1 1 0 1 1 1 1 1 0 1 0

输出 z : 0 0 0 0 0 0 0 1 1 0 0 0

2、用 J-k 触发器和适当的逻辑门设计一个 Mealy 模型同步八进制可逆计数器。电路有一个输入 x ，一个输出 z 。 $x=0$ 在时钟脉冲作用下，作加 1 计数， $x=1$ 作减 1 计数；输出 z 等于 1 表示进位或借位。（J-k 触发器激励表如下）：

$Q \rightarrow Q^{n+1}$		J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

六、综合应用题（每小题 10 分，共 20 分）

1、用 PLA 设计一个组合逻辑电路，该电路用于比较二个一位二进制数 A 、 B 的大小，产生大于 (F_1)、小于 (F_2)、等于 (F_3) 三种比较结果

2、用四位二进制同步可逆计数器 74193，七段显示译码器 7448，七段显示器设计一个“秒”时钟，循环显示“0~9”秒。假设秒脉冲已设计好，可直接接到计数器的 CP 端。（写出设计过程，说明工作原理，画出逻辑图）

