

武汉大学计算机学院

2020~2021 学年第二学期 2020 级《数字逻辑与数字电路》

期末考试试卷（闭卷考试） A 卷

班级_____学号_____姓名_____成绩_____

注：全部答案均要求写在答题纸上，写在试卷上无效

一、填空（每空 1 分，共 16 分）

- 1、 $(-10101)_2 = (\quad)$ 反 $= (\quad)$ 补
- 2、 $(37.75)_{10} = (\quad)_2 = (\quad)_{8421BCD}$
- 3、包含 5 变量 ABCDE 的逻辑函数中，最小项 m_5 对应的与项是 (\quad) ，最大项 M_{27} 对应的或项是 (\quad)
- 4、逻辑函数 $F(A,B,C) = (\bar{A}+B) \cdot (\bar{B}+C)$ 的反函数是 (\quad) ，对偶函数是 (\quad)
- 5、Mealy 型时序逻辑电路输出函数表达式的形式是 (\quad)
- 6、维持阻塞 D 触发器通常是 CP 的 (\quad) 沿触发
- 7、或非门的多余输入端应该接 (\quad)
- 8、由 8 级触发器构成的二进制计数器模值是 (\quad)
- 9、按采用的半导体器件分，目前市场上广泛使用的集成电路芯片可以分为 (\quad) 和 (\quad) 两大类
- 10、脉冲异步时序逻辑电路中所有触发器的时钟脉冲 (\quad) 连在一起。
- 11、若完全给定原始状态表中有 ABCDEFG 7 个状态，假设等效状态对有(A,E)，(B,C)，(C,D)，则最简状态表中有 (\quad) 个状态

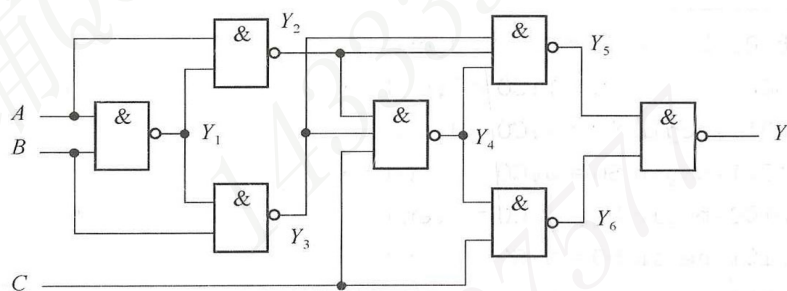
二、证明与化简题（二小题，每小题 6 分，共 12 分）

- 1、证明 $AB + \bar{A}C + BC = AB + \bar{A}C$
- 2、把 $F(A,B,C,D) = \bar{A}\bar{B}\bar{C}D + \sum m(2,6,7,8,15) + \sum d(0,4,10,)$ 化成最简“与—或”式

三、分析题（二小题，每小题 12 分，共 24 分）

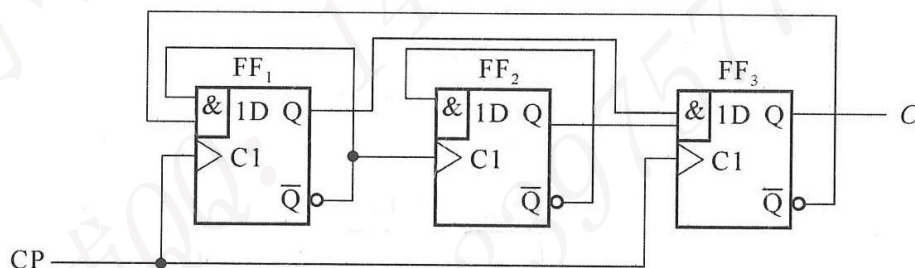
- 1、分析下列组合逻辑电路（每问 4 分，共 12 分）
 - (1) 写出输出函数表达式
 - (2) 列出真值表

(3) 说明电路功能



2、分析下列脉冲异步时序逻辑电路（每问 4 分，共 12 分）

- (1) 写出输出方程和驱动方程
- (2) 作出状态表和状态图
- (3) 说明电路功能，画出波形图



四、设计题（共 2 题，每小题 12 分，共 24 分）

1、用 Verilog HDL 设计 Mealy 模型“101”序列检测器，“101”序列可重叠。其典型输入输出序列如下：

输入 x: 0 1 0 0 1 0 1 0 0 1 0 1 0 1 0 0

输出 z: 0 0 0 0 0 0 1 0 0 0 0 1 0 1 0 0

- (1) 建立原始状态图和状态表（6 分）
 - (2) 用 Verilog HDL 语言描述状态图（6 分）
- 2、用 J-K 触发器实现下列同步时序逻辑电路的最简二进制状态表
- (1) 求出激励函数和输出函数（6 分）
 - (2) 画出逻辑图（3 分）
 - (3) 检查能否自启动（3 分）

现态		$y_2^{n+1} \ y_1^{n+1} / z$	
y_2	y_1	$X=0$	$X=1$
0	0	10/1	01/0
0	1	00/0	10/0
1	0	01/0	00/1
1	1	dd/d	dd/d

J—K 触发器激励表			
$Q \rightarrow Q^{n+1}$		J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

五、综合应用题（第 1 小题 8 分，第 2 小题 16 分，共 24 分）

1、画出用 PLA 实现下列逻辑函数的阵列图：

$$F1(A,B,C) = \sum m(2,3,5,7)$$

$$F2(A,B,C) = \overline{A}B\overline{C} + BC + \overline{A}BC$$

2、现有 7 个数字逻辑功能部件需要轮流通过总线传送信息。每个功能部件都有一个片选端，且低电平有效。试用计数器 74LS193 和三八译码器 74LS138 设计产生各个功能部件的片选信号。以便在 7 个 CP 时钟周期内，每个功能部件都能够分时通过总线传送一次信息，并依此循环工作。（提示：把 74LS193 设计成 7 进制计数器，让其计数状态作为 74LS138 的译码输入）

① 说明设计过程（8 分）

② 画出实现原理图（8 分）

