

## 武汉大学计算机学院

### 2006-2007 学年第二学期 2006 级《数字逻辑》

#### 期末考试试题 A 卷参考答案

##### 一、填空题（每空 1 分，共 14）

解答：

1.  $(21.5)_{10} = (10101, 1)_2 = (25.4)_8 = (15.8)_{16}$
2.  $[x]_{\text{补}} = 1.0011$
3. 100000001001
4. 0
5. 组合逻辑电路，时序逻辑电路
6. 逻辑表达式，流程表，总态图
7.  $\bar{F} = \bar{A}\bar{B} + C\bar{D}$
8. 指与非门的输出端连接同类门的最多个数，它反映了与非门的带负载能力。
9. BC

##### 二、选择题（每空 2 分，共 16 分）

解答

1. D
2. D
3. B
4. C
5. B
6. B
7. A
8. A

##### 三、逻辑函数化简（6 分）

解答

先画出函数  $F(A, B, C, D)$  的卡诺图

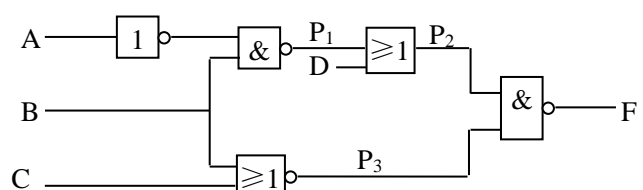
AB \ CD	00	01	11	10
00	1	d	d	
01	1	1		
11		d	1	d
10			1	d

化简得最简与\_\_或表达式：  $F = \bar{A}\bar{C} + AC$

##### 四、分析题（每小题 12 分，共 24 分）

1. 解答

① 逐级写出输出函数表达式



## ②列真值表

$$P_1 = \overline{AB}$$

$$P_2 = P_1 + D = \overline{AB} + D$$

$$P_3 = \overline{B+C}$$

$$F = \overline{P_2 \cdot P_3} = \overline{(\overline{AB} + D) \cdot \overline{B+C}} = \overline{\overline{AB} + D} + B + C$$

$$= \overline{AB} \cdot \overline{D} + B + C = B + C$$

## ③功能说明

由真值表可知, 当输入 ABCD 取值为 0010、0011、0100、0101、0110、0111、1010、1011、1100、1101、1110、1111 时输出 F 为 1, 否则 F 为 0。或者说当输入 ABCD 中 B 或 C 为 1 时, F 为 1, 否则 F 为 0。

输入 ABCD	输入 F
0000	0
0001	0
0010	1
0011	1
0100	1
0101	1
0110	1
0111	1
1000	0
1001	0
1010	1
1011	1
1100	1
1101	1
1110	1
1111	1

## 2. 解答

### ① 输出函数和激励函数表达式

$$Z = xy_2y_1 \quad \text{电路属 Mealy 模型}$$

$$J_2 = k_2 = 1 \quad c_2 = y_1 \quad (cp_2 = y_1)$$

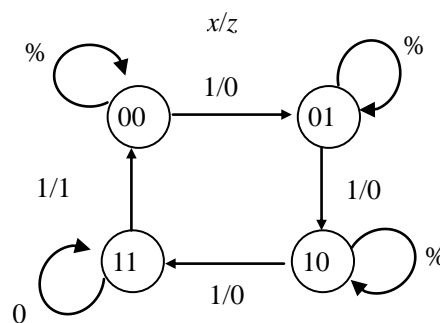
$$J_1 = k_1 = 1 \quad c_1 = x \quad (cp_1 = x)$$

### ② 列次态真值表, 作状态表和状态图

输入 $x$	现态 $y_2y_1$	激励函数					输出 $Z$	次态 $y_2^{n+1}y_1^{n+1}$
		$J_2k_2$	$C_2$	$J_1$	$k_1$	$C_1$		
1	0 0	1 1		1 1		↓	0	0 1
1	0 1	1 1	↓	1 1		↓	0	1 0
1	1 0	1 1		1 1		↓	0	1 1
1	1 1	1 1	↓	1 1		↓	1	0 0

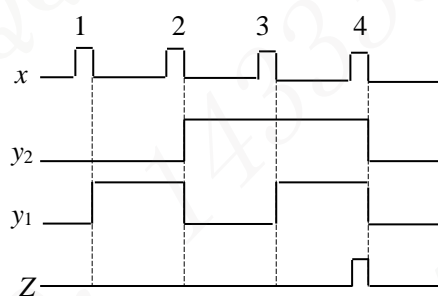
### 状态表

现在 $y_2y_1$	次真 $y_2^{n+1}y_1^{n+1} / Z$
0 0	0 1 / 0
0 1	1 0 / 0
1 0	1 1 / 0
1 1	0 0 / 1



### ③ 电路功能: 异步模 4 加 1 计数器, 输出 Z 表示进位

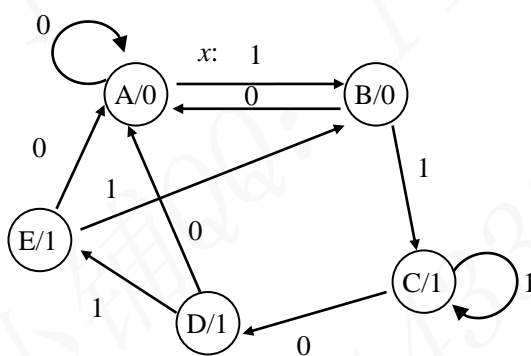
④ 时间图



五、设计题 (每小题 10 分, 共 20 分)

1. 解答 设初态为  $\textcircled{A/0}$

原始状态图如下



原始状态表

现态	次态		输出
	$x=0$	$x=1$	
A	A	B	0
B	A	C	0
C	D	C	0
D	A	E	0
E	A	B	1

2. 解答

(1) 作输出函数和激励函数真值表

输入			次态		激励函数		输出
$x$	$y_2$	$y_1$	$y_2^{n+1}$	$y_1^{n+1}$	$D_2$	$D_1$	$Z$
0	0	0	0	1	0	1	0
0	0	1	1	1	1	1	0
0	1	1	0	1	0	1	0
0	1	0	0	0	0	0	0
1	0	0	1	0	1	0	0
1	0	1	1	0	1	0	0
1	1	1	0	0	0	0	0
1	1	0	1	1	1	1	1



输入 ABC	输出 F
000	0
001	0
010	0
011	1
100	0
101	1
110	1
111	1

② 输出函数表达式

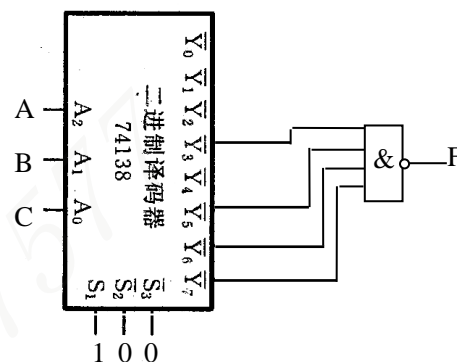
$$F = \sum m(3, 5, 6, 7)$$

③ 变换表达式形式

$$F = m_3 + m_5 + m_6 + m_7$$

$$= \overline{m_3} \cdot \overline{m_5} \cdot \overline{m_6} \cdot \overline{m_7}$$

④ 画逻辑图



## 2. 解答

① 把 74193 设计成 8 进制计数器，计数规律为  $Q_D Q_C Q_B Q_A$ :

0000 → 0001 → 0010 → 0011

↑

↓

0111 ← 0110 ← 0101 ← 0100

当  $Q_D Q_C Q_B Q_A$  向 1000 进位时，强迫计数器产生清 0 信号，所以  $CLR = Q_D$

② 用  $Q_C Q_B Q_A$  作八选一数据选择的地址选择端

③ 数据选择器的输入端  $D_0 \sim D_7$  依次接入待产生序列的各位 10010010

④ 设置工作启动按钮，提供清 0 脉冲， $CP_U$  外接工作脉冲， $CP_D$  按 “1”

⑤ 逻辑图如下

