

## 一. 选择题

1、假设将系统中的某一部件处理速度加快到 10 倍，且该部件在原处理时间中占 40%，则采用加速措施后，整个系统的性能能提高到（ ）倍。

- A. 1                  B. 1.56                  C. 2                  D. 2.5

2、某计算机主频为 1.2GHz，其指令分为 4 类，它们在基准程序中所占比例及 CPI 如下。

| 指令类型 | 所占比例 | CPI |
|------|------|-----|
| A    | 50%  | 2   |
| B    | 20%  | 3   |
| C    | 10%  | 4   |
| D    | 20%  | 5   |

则该机的 MIPS 数是：（ ）

- A. 100    B. 200    C. 400    D. 600

3、已知带符号整数用补码表示，变量 x、y、z 的机器数分别为 FFFDH、FFDFH、7FFCH 下列结论中，正确的是（ ）

- A. 若 x、y 和 z 为无符号整数，则  $z < x < y$   
B. 若 x、y 和 z 为无符号整数，则  $x < y < z$   
C. 若 x、y 和 z 为带符号整数，则  $x < y < z$   
D. 若 x、y 和 z 为带符号整数，则  $y < x < z$

4、对于指令 `bne $t0, $s5, Exit`，当前指令的地址为 80008（十进制），当前指令的 MIPS 机器码 0x15150002，那么该条指令发生跳转时，会跳转到下列哪个地址？（ ）

- A. 80010  
B. 80020  
C. 80016  
D. 80024

5、下列寄存器中，汇编语言程序员可见的是（ ）

I. 指令寄存器    II. 微指令寄存器    III. 基址寄存器    IV. 标志/状态寄存器

- A. 仅 I、II    B. 仅 I、IV    C. 仅 II、IV    D. 仅 III、IV

6、由于在数据通路中存在多个源部件向单个部件发送数据，可能会导致冲突，因此需在基本结构上添加多路选择器，这些多路选择器如何选择哪条通路应该由什么来决定？（ ）

- A. 指令寄存器    B. 程序计数器    C. 算术运算器    D. 控制器

7、下列关于数据通路的叙述中，**错误**的是（ ）

- A. 数据通路包含 ALU 等组合逻辑（操作）元件  
B. 数据通路包含寄存器等时序逻辑（状态）元件  
C. 数据通路不包含用于异常事件检测及响应的电路  
D. 数据通路中的数据流动路径由控制信号进行控制

8、下列选项中，能引起外部中断的事件是（）

- A. 键盘输入      B. 除数为 0      C. 浮点运算下溢      D. 访存缺页

9、假定执行一条指令最多划分为 IF、ID、EX、MEM、WB 等 5 个阶段，各阶段时间分别为：IF 阶段 180ps，ID 阶段 150ps，EX 阶段 200ps，MEM 阶段 220ps，WB 阶段 150ps，对于指令 ADDI \$t1,\$t2, 20，分别按照单周期方式、多周期方式、流水线方式执行，则执行该单条指令花费总时间最少的方式是：（）

- A、单周期方式      B、多周期方式  
C、流水线方式      D、不确定

10、某机器具备 2 级缓存，其中 L1 Cache 命中率为 90%，访问时间 1T；L2 Cache 命中率为 80%，访问时间 10T；主存访问时间 100T。则该 2 级缓存总的有效访问时间是：（）

- A、1.9T      B、3.7T      C、4.0T      D、5.5T

## 二. 指令设计题

假定计算机 M 字长为 16 位，按字节编址，连接 CPU 和主存的系统总线中地址线为 20 位、数据线为 8 位，采用 16 位定长指令字，指令格式及其说明如下：

| 格式  | 6 位    | 2 位    | 2 位 | 2 位 | 4 位 | 指令功能或指令类型说明              |
|-----|--------|--------|-----|-----|-----|--------------------------|
| R 型 | 000000 | rs     | rt  | rd  | op1 | R[rd]<- R[rs] op1 R[rt]  |
| I 型 | op2    | rs     | rt  | imm |     | 含 ALU 运算、条件转移和访存操作 3 类指令 |
| J 型 | op3    | target |     |     |     | PC 的低 10 位<-target       |

其中，op1 ~ op3 为操作码，rs、rt、和 rd 为通用寄存器编号， $R[r]$  表示寄存器 r 的内容，imm 为立即数，target 为转移目标的形式地址。请回答下列问题。

(1) ALU 的宽度是多少位？可寻址主存空间大小为多少字节？指令寄存器、主存地址寄存器 (MAR) 和主存数据寄存器 (MDR) 分别应有多少位？

(2) R 型格式最多可定义多少种操作？I 型和 J 型格式总共最多可定义多少种操作？通用寄存器最多有多少个？

(3) 假定 op1 为 0010 和 0011 时，分别表示带符号整数减法和带符号整数乘法指令，则指令 01B2H 的功能是什么（参考上述指令功能说明的格式进行描述）？若 1、2、3 号通用寄存器当前内容分别为 B052H、0008H、0020H，则分别执行指令 01B2H 和 01B3H 后，3 号通用寄存器内容各是什么？各自结果是否溢出？

(4) 若采用 I 型格式的访存指令中 imm（偏移量）为带符号整数，则地址计算时应对 imm 进行零扩展还是符号扩展？

(5) 无条件转移指令可以采用上述哪种指令格式？

## 三. 计算题

1、若  $X=9.625$ ，以 IEEE754 单精度数表示， $Y=-67$ ，以 32 位整形补码表示。

(1) 若依次将 X、Y 以大数端存放方式写入从起始地址 2020H 开始的内存区域，请以图示方式描述出 X 和 Y 在内存中的十六进制形式。

(2) 若某程序进行了  $Z=X+Y$  计算，请按照浮点运算方法计算出 Z，结果以十六进制形式表示。

2、假定一个磁盘的转速为 7200RPM，磁盘的平均寻道时间为 8ms，内部数据传输率为 4MB/s，不考虑排队等待时间，则读一个 512B 扇区的平均时间大约为多少毫秒？结果保留两位小数。

3、假定主存地址为 32 位，按字节编址，主存和 Cache 之间采用直接映射方式，主存块大小为 4 个字，每字 32 位，采用回写方式，则能存放 4K 字数据的 Cache 的总容量按位计算至少是多少？

#### 四. 编码设计题

为保证在小于 1 位错情况下 8 位数据的可靠传输，为之设计海明校验码 SEC（1 位纠错），要求海明位编号是从 MSB（Most Significant Bit）向 LSB（Least Significant Bit）方向增大。请问答：

(1) 需要设置多少校验位才能实现该海明校验码 SEC，并给出原因。

(2) 针对该海明码，如果接收端收到的编码为 0x945，判断是否出错？若有错误，请指出正确的数据信息，并给出计算过程。

#### 五. 处理器设计题

以下是一段 MIPS 指令序列：

```
1 loop:add $t1, $s3, $s3
2      add $t1, $t1, $t1
3      add $t1, $t1, $s6
4      lw  $t0, 0($t1)
5      bne $t0, $s5, exit
6      add $s3, $s3, $s4
7      j  loop
8 exit:
```

假定在一个采用“取指、译码/取数、执行、访存、写回”的五段流水线中执行上述指令序列，该流水线数据通路中寄存器写口和寄存器读口分别安排在一个时钟周期的前、后半个工作日内独立工作。要求回答以下问题：

(1) 哪些指令之间发生数据相关？请以“第 x 条指令与第 y 条指令关于 z 相关”的形式描述数据相关。

(2) 哪些指令执行会发生控制相关？

(3) 如果不采用“转发”技术进行数据冒险处理，那么应该在何处、加入几条 nop 指令才能避免数据冒险？

(4) 假定采用“转发”技术，是否可以完全解决冒险？如果不行，需要在发生数据相关的指令前加几条 nop 指令，才能使这段指令的执行消除数据冒险？

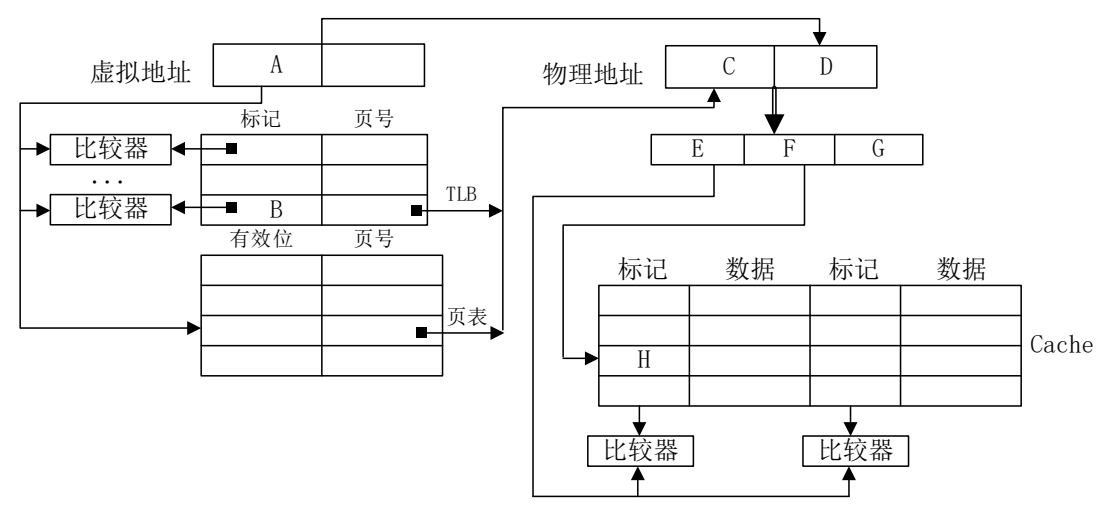
(5) 对于第 5 条分支指令引起的控制冒险，假定将检测结果是否为“零”并更新 PC 的操作放在“访存（Mem）”阶段进行，在何处加入几条 nop 指令可以消除分支冒险？若将检测结果

是否为“零”并更新 PC 的操作放在“执行（Ex）”阶段进行，则在何处加入几条 nop 指令可以消除分支冒险？

（6）对于第 7 条指令，假定更新 PC 的操作在“执行（EX）”阶段进行，则流水线会被阻塞几个时钟周期？假定更新 PC 的操作在“译码（ID）”阶段进行，流水线又将被阻塞几个时钟周期？

### 六．虚拟存储器分析题

某计算机采用页式虚拟存储管理方式，按字节编址，虚拟地址为 32 位，物理地址为 24 位，页大小为 4KB；TLB 采用全相联映射；Cache 数据区大小为 64KB，Cache 数据块大小为 128B，按 2 路组相联方式组织。存储访问过程的示意图如下。



部分页表内容：

| 虚拟页号    | 有效位 | 物理页号  | ... |
|---------|-----|-------|-----|
| ...     | ... | ...   | ... |
| 0x12345 | 1   | 0x012 | ... |
| 0x12346 | 1   | 0x123 | ... |
| 0x12347 | 0   | 0x088 | ... |
| ...     |     |       |     |

请回答下列问题。

- 图中字段 A~G 的位数各是多少？
- 虚拟地址 0x12346789 所在的页面是否在主存中？若在主存中，则该虚拟地址对应的物理地址是什么？将该主存块装入到 Cache 中时，所映射的 Cache 组号是多少？