

武汉大学计算机学院

2015~2016 学年第二学期 2015 级《数字逻辑》

期末考试试卷（闭卷考试） A 卷

班级_____学号_____姓名_____成绩_____

注：全部答案均要求写在答题纸上，写在试卷上无效

一、判断改错题（每小题 3 分，共 18 分）

- 1、等效状态和相容状态都具有传递性。 ()
- 2、奇偶效验码能发现并纠正奇数位错误。 ()
- 3、超前进位二进制并行加法器比串行进位二进制并行加法器运算速度快。()
- 4、Moore 型电路的状态表可以用 Mealy 型电路状态表的形式表示,反之不能。()
- 5、PLA 的与阵列不可编程，或阵列可编程。 ()
- 6、同步十进制可逆计数器 74LS192 的最大计数模是 16。 ()

二、单选题（每空 2 分，共 20 分）

从下列各题的四个答案中，选出一个正确答案，并将其代号填入括号内

1、TTL 与非门的关门电平为 0.8V，开门电平为 1.9V，当其输入低电平为 0.3V，高电平为 3.6V 时，其低电平噪声容限为 ()

- A. 0.8V B. 1.8V C. 0.5V D. 1.5V

2、数字信号的典型代表是 ()

- A. 正弦波 B. 矩形波 C. 尖峰波 D. 三角波

3、 $(27.5)_{10}$ 对应的二进制数和十六进制数是 ()

- A. $(11011.5)_2$ 、 $(1B.8)_{16}$ B. $(11011.1)_2$ 、 $(1B.4)_{16}$
C. $(11100.5)_2$ 、 $(1C.8)_{16}$ D. $(11011.1)_2$ 、 $(1B.8)_{16}$

4、不属于 PLD 基本结构部分的是 (A)

- A. 与非门阵列 B. 与门阵列 C. 或门阵列 D. 输入缓冲器

5、若要把正弦波变换成同频率的矩形波，应选择 () 电路

- A. 施密特触发器 B. 基本 R-S 触发器
C. 多谐振荡器 D. 单稳触发器

6、异步清除计数器是指 (D) 的计数器

- A. 具有清除功能的同步型 B. 具有清除功能的异步型
C. 清除信号与时钟信号同时有效才能清除 D. 清除信号与时钟信号无关

- 7、 $F(A,B,C) = AB + \overline{A}\overline{C} + \overline{B}\overline{C}$ 的最简与-或表达式是 ()
- A. \overline{C} B. $A + \overline{C}$ C. $B + \overline{C}$ D. $AB + \overline{C}$
- 8、数字系统由 (A) 组成
- A. 控制器和信息处理器 B. 控制器
- C. 信息处理器 D. CPU 和存储器
- 9、电平异步时序逻辑电路中反馈回路间的临界竞争, 可导致电路 ()
- A. 速度下降 B. 发生错误状态转移 C. 时延增加 D. 3 信号减弱
- 10、 $F(A,B,C) = AB + BC + AC$ 与 $P(A,B,C) = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{A}\overline{C}$ (C)
- A. 相等 B. 互为对偶式 C. 互为反函数 D. 以上都不正确

三、分析题 (每小题 12 分, 共 24 分)

1、分析图 1 所示组合逻辑电路, 其中 16 引脚的集成电路为三一八译码器 74138。要求:

- ① 写出函数表达式 (4 分)
- ② 列出函数真值表 (4 分)
- ③ 说明电路功能 (4 分)

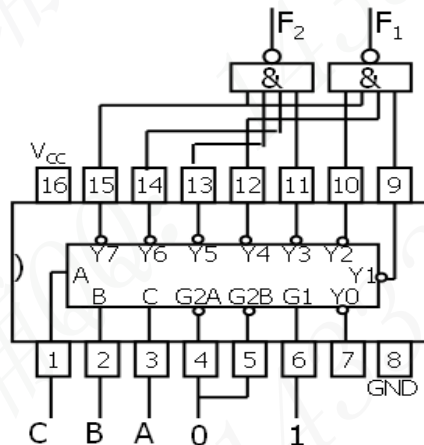


图 1

2、分析图 2 所示电路, 设 $Q_1Q_2=00$, 输入 x 和 CP 的波形如图, 要求:

- ① 写出激励函数表达式 (4 分)
- ② 判断电路是同步还是异步时序逻辑电路, 是 Moore 型还是 Mealy 型 (4 分)
- ③ 画出输出 Q_1 、 Q_2 的波形图。(4 分)

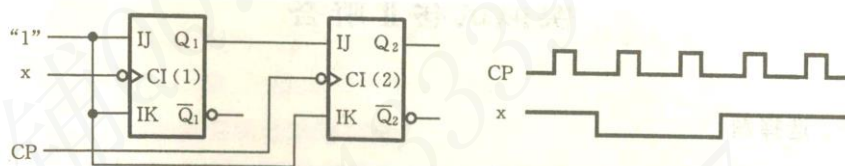


图 2

四、设计题（每小题 12 分，共 24 分）

1、某工厂有 A、B、C 三个车间，每个车间各需 1kw 电力，工厂有两台功率分别为 1kw 和 2kw 发电机。试设计一个能自动完成配电的组合逻辑电路，要求用 2 个四选一多路选择器 74153 实现，用 AB 作地址选择端。（提示：A、B、C 是输入，有用电和不用电二种情况，两台功率发电机是输出，有停机和开机二种情况）。

- ① 列出真值表（4 分）
- ② 写出输出函数表达式，确定各个数据输入端的 D_i 表达式（4 分）
- ③ 画出逻辑图（4 分）

2、用 T 触发器作为存储元件，设计一个 Mealy 型模 4 可逆同步计数器，输入 $X=0$ 时加 1 计数、 $X=1$ 时减 1 计数，当有进位/借位时输出 Z 为 1，否则 Z 为 0。

要求：①作出状态图和状态表（4 分）

②确定激励函数和输出函数（4 分）

③画出逻辑图（4 分）

五、应用题（14 分）

用二片 4 位超前进位二进制并行加法器 74283 设计一个用 8421BCD 码表示的 2 个 1 位十进制数 $A_4A_3A_2A_1$ 和 $B_4B_3B_2B_1$ 相加的加法器，输出结果任然用 8421BCD 码表示。

- ① 说明设计思路和实现步骤（7 分）
- ② 画出逻辑图（7 分）

附：集成电路逻辑符号如下：

