

目录	
PIC MCU	4
1 PIC16F_LF722A_723A高性能 RISC CPU	5
2 PIC16F_LF722A_723A特性	6
高精度内部振荡器	6
模拟特性	7
外设特性	9
引脚	9
Timer0	10
增强型 Timer1	10
Timer2	11
资源	13
封装	14
引脚说明	16
结构框图	17
存储器	18
程序存储器构成	18
程序存储器分页	19
数据存储器构成	20
寄存器	22
间接寻址、INDF 和FSR 寄存器	22
STATUS 寄存器	23
OPTION 寄存器	24
电源控制 (PCON) 寄存器	25
程序计数器PC	26
堆栈	27
片上复位电路的简化框图	28
复位	29
MCLR复位	32
上电复位 (POR)	33
上电延迟定时器 (PWRT)	34
看门狗定时器 (WDT)	35
欠压复位 (BOR)	37
超时序列	38

中断	43
中断工作原理	45
中断响应延时	46
休眠期间的中断	47
外部中断INT	48
中断现场保护	49
INTCON: 中断控制寄存器	50
PIE1 寄存器包含中断允许位	51
PIE2 寄存器包含中断允许位	52
PIR1 寄存器	53
PIR2 寄存器	54
低压差 (LDO) 稳压器	55
I/O 端口	56
PORT A	57
-PORT B	65
PORT C	73
PORT E	82
振荡器模块	84
频率选择位 (IRCF)	85
振荡器控制	86
振荡器调节	86
振荡器起振定时器 (OST)	87
外部时钟EC 模式	89
石英晶振工作原理 (LP、XT 和 HS 模式)	90
器件配置	93
CONFIG1: 配置字寄存器1	94
CONFIG2: 配置字寄存器2	95
模数转换器	96
Timer0	97
带门控的 TIMER1	98
TIMER2	99
电容触摸传感	100
可寻址通用同步异步收发	101
同步串行端口 (SSP) 模	102

The header banner features a blue world map background. On the left, there is a small image of a traditional Chinese building. On the right, the Wuhan University logo is displayed, consisting of a circular emblem with a building illustration and the university's name in English, "WUHAN UNIVERSITY", and Chinese, "武汉大学".

PIC MCU

以PIC16F_LF722A_723A为例

PIC (Peripheral Interface Controller) 是一种微处理器芯片，由 Microchip Technology 公司生产。它是一种嵌入式控制器，具有低功耗、高性能、易于编程等特点，广泛应用于自动化、控制、通信等方面。

MCU (Microcontroller Unit) 也是一种微处理器芯片，它集成了处理器核心、存储器、输入/输出接口、时钟电路和其他外设，可以实现单片机的功能。MCU 具有体积小、功耗低、成本低等优点，广泛应用于电子产品中，如家电、智能手机、电动工具等。

4

1 PIC16F_LF722A_723A高性能 RISC CPU

高性能 RISC CPU:

- 只有35 条指令: **除跳转指令外所有的指令都是单周期**
- 工作速度:
 - DC—振荡器/时钟的输入频率为 20 MHz
 - DC—指令周期为 200 ns (**1:4**)
- 4Kx**14位**闪存程序存储器 (编程保护, 擦写**1000**次, 数据保持时间**>40年**)
- 192 字节的数据存储器 (RAM)
- 中断功能
- **8 级深硬件堆栈**
- 直接、间接和相对寻址模式
- 处理器对程序存储器的读访问

5

2020/6/8

2

1 PIC16F_LF722A_723A特性

高精度内部振荡器：

- 16 MHz 或 500 kHz 工作频率
- 出厂时校准为 $\pm 1\%$ （典型值）
- 软件可调
- 软件可选择 $\div 1$ 、 $\div 2$ 、 $\div 4$ 或 $\div 8$ 分频器
- 1.8V-5.5V 工作电压 ——PIC16F722A/723A
- 1.8V-3.6V 工作电压 ——PIC16LF722A/723A
- 上电复位（Power-on Reset, POR）、上电延时定时器（Power-up Timer, PWRT）和振荡器起振定时器（Oscillator Start-up Timer, OST）
- 欠压复位（Brown-out Reset, BOR）：
 - 可在 2 个跳变点之间进行选择
 - 可选择在休眠模式下禁止

6

2020/6/8

3

1 PIC16F_LF722A_723A特性（续）

- 可通过两个引脚进行在线串行编程（In-Circuit Serial Programming, **ICSP**）
- 与上拉 / 输入引脚复用的主复位
- 工业级和扩展级温度范围
- 节能的休眠模式：
休眠模式：20 nA
看门狗定时器：500 nA
Timer1 振荡器：32 kHz 时为 600 nA

模拟特性

- **A/D 转换器：**
 - 8 位分辨率并且多达 14 路通道
 - 可在休眠期间进行转换
 - 可选择 1.024/2.048/4.096V 参考电压
- 片上 3.2V 稳压器（仅限 PIC16F722A/723A 器件）

外设特性

- 24 个 I/O 引脚和 1 个仅用于输入的引脚：
 - 高拉 / 灌电流可**直接驱动 LED**
 - **电平变化中断**
 - 独立的可编程**弱上拉**

7

8

9

外设特性

- Timer0：带 8 位**预分频器**的 8 位定时器 / 计数器
- 增强型 Timer1：
 - **专用的低功耗 32 kHz 振荡器**
 - 带有预分频器的 16 位定时器 / 计数器
 - 外部门控输入模式（具有翻转和单事件模式）
 - 门控输入完成时中断

外设特性

- Timer2：带 8 位周期寄存器、预分频器和**后分频器**的 8 位定时器 / 计数器
- 2 个**捕捉 / 比较** /PWM（CCP）模块：
 - 16 位**捕捉**，最大分辨率为 12.5 ns
 - 16 位**比较**，最大分辨率为 200 ns
 - 10 位 **PWM**，最高频率为 20 kHz

外设特性

- 可寻址通用**同步/异步收发器**
- **同步串行端口**
 - **SPI**（主 / 从）
 - 具有地址掩码的 **I2C**（从）
- **mTouchTM** 触摸传感振荡器模块：
 - 最多 16 路输入通道

10

11

12

器件	闪存程序存储器 (字)	SRAM (字节)	I/O	中断	8 位 A/D (通道数)	AUSART	CCP	8/16 位 定时器
PIC16F722A/ PIC16LF722A	2048	128	25	12	11	有	2	2/1
PIC16F723A/ PIC16LF723A	4096	192	25	12	11	有	2	2/1

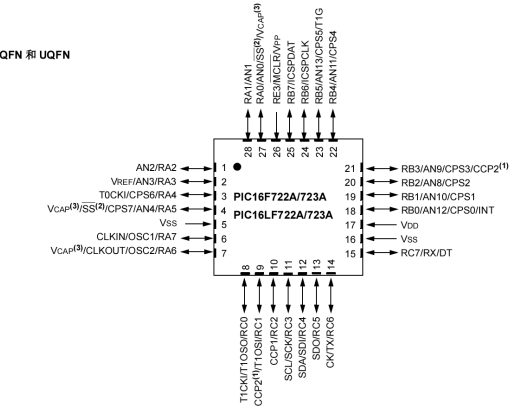
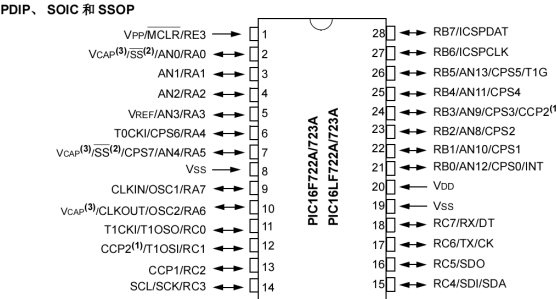
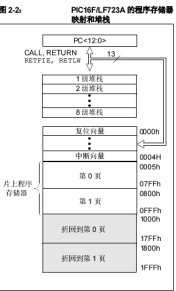
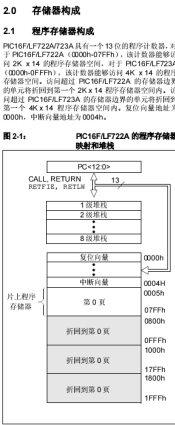
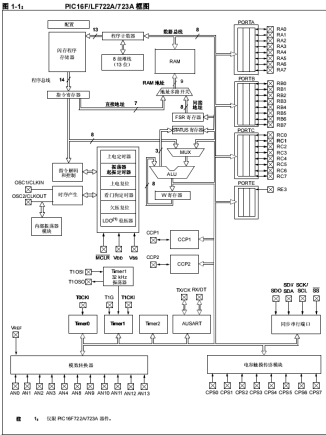


表 1: 28 引脚 PDIP/SOIC/SSOP/QFN/UQFN 汇总 (PIC16F722A/723A)

IO	28 引脚 PDIP/ SOIC/ SSOP	28 引脚 QFN/ UQFN	A/D	电压检测 寄存器	定时器	CCP	AUSART	SSP	中断	上拉	基本功能
RA0	2	27	AN0	—	—	—	—	SS ⁽²⁾	—	—	V _{DD} ⁽⁴⁾
RA1	3	28	AN1	—	—	—	—	—	—	—	—
RA2	4	1	AN2	—	—	—	—	—	—	—	—
RA3	5	2	AN3/VREF	—	—	—	—	—	—	—	—
RA4	6	3	—	CP56	T0CKI	—	—	—	—	—	—
RA5	7	4	AN4	CP57	—	—	—	SS ⁽²⁾	—	—	V _{DD} ⁽⁴⁾
RA6	10	7	—	—	—	—	—	—	—	—	OSC2/CLKOUT/V _{DD} ⁽⁴⁾
RA7	9	6	—	—	—	—	—	—	—	—	OSC1/CLKIN
RB0	21	18	AN12	CP50	—	—	—	—	IOCPINT	有	—
RB1	22	19	AN10	CP51	—	—	—	—	IOC	有	—
RB2	23	20	AN8	CP52	—	—	—	—	IOC	有	—
RB3	24	21	AN9	CP53	—	—	—	—	IOC	有	—
RB4	25	22	AN11	CP54	—	—	—	—	IOC	有	—
RB5	26	23	AN13	CP55	T1G	—	—	—	IOC	有	—
RB6	27	24	—	—	—	—	—	—	IOC	有	ICSPCLK/CCLK
RB7	28	25	—	—	—	—	—	—	IOC	有	ICSPDAT/CCDAT
RC0	11	8	—	—	T1OSI/T1CKI	—	—	—	—	—	—
RC1	12	9	—	—	T1OSI	CCP2 ⁽²⁾	—	—	—	—	—
RC2	13	10	—	—	—	CCP1	—	—	—	—	—
RC3	14	11	—	—	—	—	—	—	—	—	—
RC4	15	12	—	—	—	—	—	—	—	—	—
RC5	16	13	—	—	—	—	—	—	—	—	—
RC6	17	14	—	—	—	—	—	—	—	—	—
RC7	18	15	—	—	—	—	—	—	—	—	—
RE3	1	26	—	—	—	—	—	—	—	—	—
—	20	17	—	—	—	—	—	—	—	—	V _{DD}
—	8,19	5,16	—	—	—	—	—	—	—	—	V _{SS}

注 1: 仅在使用外部 MCLR 配置时可接上拉。
2: RC1 与 CCP2 默认引脚中心, 可通过改变 APFCON 寄存器中的 CCPSEL 位选择 RB3。
3: RA5 与 SS 默认引脚中心, 可通过改变 APFCON 寄存器中的 SSSEL 位选择 RA0。
4: 仅用 PIC16F722A/723A 器件。



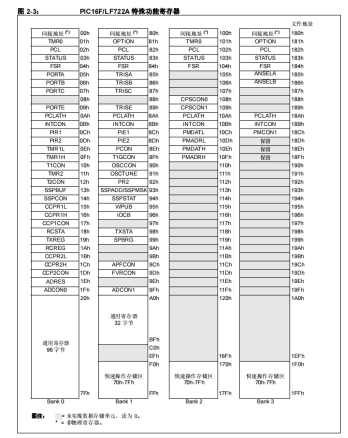
程序存储器分页

- 所有器件都能够对程序存储器的连续8K 字存储区进行寻址。
- CALL 和GOTO 指令只提供11 位地址，以允许在任何2K 程序存储器页面内跳转。执行CALL 或GOTO 指令时，地址的高2 位由PCLATH<4:3> 提供。执行CALL或GOTO指令时，用户必须确保对页面选择位进行编程，以便对所需程序存储器页面进行寻址。如果从CALL 指令执行返回（或中断），整个13 位PC 弹出堆栈。因此，RETURN 指令不需要对PCLATH<4:3> 位进行操作，该指令将从堆栈弹出地址。

数据存储器构成

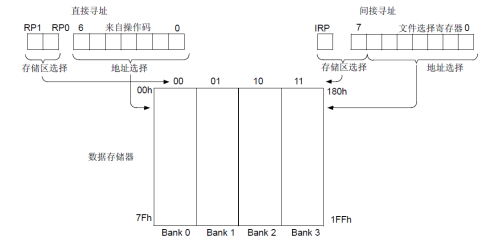
- 数据存储器可划分为多个存储区，包含通用寄存器（General Purpose Register, GPR）和特殊功能寄存器（Special Function Register, SFR）
 - RP1 RP0（存储区选择位）:00=Bank0, 01=Bank1, 10=Bank2, 11=Bank3
 - 每个存储区可以最大扩展到7Fh （128 字节）。每个存储区的低地址单元保留用于特殊功能寄存器。特殊功能寄存器的上方是通用寄存器，实现为静态RAM。所有实现的存储区都包含特殊功能寄存器。一些常用的特殊功能寄存器可从一个存储区镜像到另一个存储区，以缩减代码，加快访问速度
 - 通用寄存器
- PIC16F/LF722A 为128 x 8 位，PIC16F/LF723A 为192 x 8 位。每个寄存器可直接访问，或通过选择寄存器（File Select Register, FSR）间接访问

数据存储器构成



间接寻址、INDF 和FSR 寄存器

- INDF 寄存器不是物理寄存器。对INDF 寄存器寻址将导致间接寻址。
- 间接寻址可以通过使用INDF 寄存器来实现。使用INDF寄存器的所有指令实际上都访问选择寄存器（FSR）所指向的数据。读取INDF 自身会间接产生00h。写入INDF 寄存器会间接导致不执行任何操作（尽管可能会影响状态位）。有效的9 位地址通过将8 位FSR 寄存器和STATUS 寄存器的IRP 位结合起来获得，如图所示。



STATUS 寄存器

- bit 7 IRP: 寄存器存储区选择位 （用于间接寻址）
1 = 存储区2 和3 （100h-1FFh）/0 = 存储区0 和1 （00h-FFh）
- bit 6-5 RP<1:0>: 寄存器存储区选择位 （用于直接寻址）
00 = 存储区0, 01 = 存储区1 , 10 = 存储区2 , 11 = 存储区3
- bit 4 TO: 超时位 1 = 在上电后,CLRWDWT或SLEEP指令 0 = WDT 超时
- bit 3 PD: 掉电位 1 = 上电复位后或CLRWDWT指令 0 = SLEEP 指令
- bit 2 Z: 零位 1=算术或逻辑运算为零, 0=算术或逻辑运算不为零
- bit 1 DC: 半进位/ 半借位
1 = 第4 个低位发生了进位 0 = 第4 个低位未发生进位
- bit 0 C: 进位/ 借位
1 = 结果的最高有效位发生了进位 0 = 结果的最高有效位未发生进位

R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
IRP	RP1	RP0	TO	PD	Z	DC ⁽¹⁾	C ⁽¹⁾
bit 7							bit 0

OPTION 寄存器

- OPTION 寄存器是可读写的寄存器，包含要配置的各种控制位：
- Timer0/WDT 预分频器
- 外部RBO/INT 中断
- Timer0
- PORTB上的弱上拉
- bit 7 RBPu: PORTB 上拉使能位
1 = PORTB 上拉禁止 0 = 上拉由WPUB 寄存器中的位使能
- bit 6 INTEDG: 中断边沿选择位
1 = RBO/INT 引脚上升沿触发 0 = RBO/INT 引脚下降沿触发
- bit 5 TOCS: Timer0 时钟源选择位
1 = RA4/TOCKI 引脚上信号 0 = 内部指令周期时钟（FOSC/4）
- bit 4 TOSE: Timer0 时钟源边沿选择位
1 = 在RA4/TOCKI 引脚下降沿递增 0 = 在RA4/TOCKI 引脚上升沿递增
- bit 3 PSA: 预分频比分配位
1 = 将预分频比分配给WDT 0 = 将预分频比分配给Timer0 模块
- bit 2-0 PS<2:0>: 预分频比选择位 (2-256) (1-128)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
RBPu	INTEDG	TOCS	TOSE	PSA	PS2	PS1	PS0
bit 7							bit 0

电源控制（PCON）寄存器

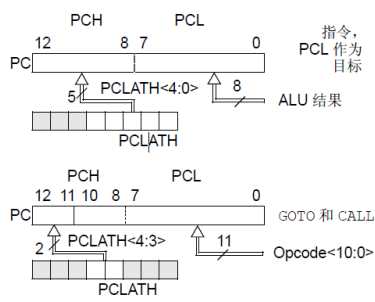
- 电源控制（PCON）寄存器包含区分以下复位的标志位
- 上电复位（POR）
- 欠压复位（BOR）
- 看门狗定时器（WDT）复位
- 外部MCLR 复位
- PCON 寄存器还控制BOR 的软件使能。
- bit 7-2 未实现：读为 0
- bit 1 POR：上电复位状态位
- 1 = 未发生 0 = 发生（须在上电复位发生后用软件置1）
- bit 0 BOR：欠压复位状态位
- 1 = 未发生 0 = 发生（须在上电复位或欠压复位发生后用软件置1）

U-0	U-0	U-0	U-0	U-0	U-0	R/W-q	R/W-q
—	—	—	—	—	—	POR	BOR
bit 7							bit 0

25

PCL和PCLATH

- 程序计数器（PC）为13 位宽。它的低字节来自可读写的PCL寄存器。高字节（PC<12:8>）来自PCLATH，不可直接读写。任何复位都将清零PC



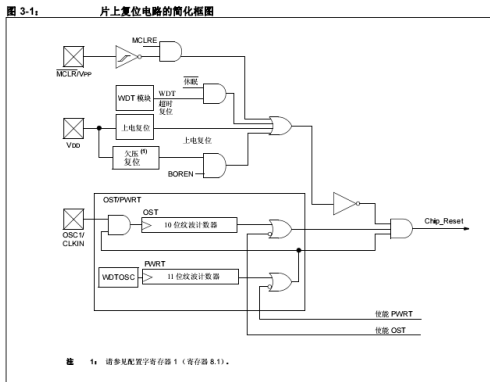
26

堆栈

- 具有一个8级深x13位宽的**硬件堆栈**。
- 堆栈空间不是程序的一部分，也不是数据空间的一部分，**堆栈不可读写**。
- 当执行CALL指令或由于中断导致程序跳转时，PC值会被压入堆栈。当执行RETURN、RETLW 或 RETFIE 指令时，PC值从堆栈弹出。
- PCLATH 的值不受压栈或出栈操作的影响。
- 堆栈为循环缓冲器。这就是说在压栈8次后，第9个压栈操作会覆盖第1 个压栈操作存储的值。第10个压栈操作覆盖第2个压栈操作

27

片上复位电路的简化框图



28

复位

- PIC16F/LF722A/723A 可以区分各种复位：
- a) 上电复位（POR）
- b) 正常工作期间的WDT 复位
- c) 休眠期间的WDT 复位
- d) 正常工作期间的MCLR 复位
- e) 休眠期间的MCLR 复位
- f) 欠压复位（BOR）

表 3-1: 状态位及其含义

POR	BOR	TO	PD	条件
0	x	1	1	上电复位或 LDO 复位
0	x	0	x	非法，TO 在 POR 时置 1
0	x	x	0	非法，PD 在 POR 时置 1
1	0	1	1	欠压复位
1	1	0	1	WDT 复位
1	1	0	0	WDT 唤醒
1	1	1	1	正常工作期间的 MCLR 复位
1	1	1	0	休眠期间的 MCLR 复位或从休眠唤醒中断

29

复位

- 一些寄存器在任何复位条件下都不受影响；其状态在POR 时未知，在任何其他复位时不变。
- 多数其他寄存器在以下复位时会复位为“复位状态”：
- 上电复位（POR）
- MCLR 复位
- 休眠期间的MCLR 复位
- WDT 复位
- 欠压复位（BOR）
- **多数寄存器不受WDT唤醒的影响**，因为WDT唤醒被视为恢复正常工作。在不同的复位条件下，会将TO 和PD 位置1 或清零。这些位在软件中用来确定复位的性质。

30

复位

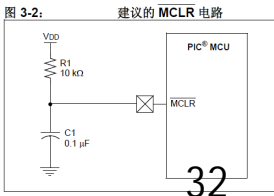
表 3-2: 特殊寄存器的复位条件⁽²⁾

条件	程序计数器	STATUS寄存器	PCON寄存器
上电复位	0000h	0001 1xxx	---- --0x
正常工作期间的 MCLR 复位	0000h	000u uuuu	---- --uu
休眠期间的 MCLR 复位	0000h	0001 0uuu	---- --uu
WDT 复位	0000h	0000 1uuu	---- --uu
WDT 唤醒	PC +1	uuu0 0uuu	---- --uu
欠压复位	0000h	0001 1uuu	---- --u0
从休眠唤醒中断	PC + 1 ⁽¹⁾	uuu1 0uuu	---- --uu

图注: u = 不变, x = 未知, - = 未实现位, 读为 0。
注 1: 如果器件被中断唤醒且全局中断允许位 (GIE) 置 1, 则执行 PC+1 后, 返回地址被压入堆栈且 PC 装入中断向量 (0004h)。
2: 如果状态位未实现, 则该位读为 0。

MCLR

- PIC16F/LF722A/723A在MCLR复位电路中有一个噪声滤波器。滤波器能检测并滤除小脉冲干扰信号。
- 施加到引脚的电压超出其规范将导致MCLR 复位以及ESD 事件期间电流超出器件规范。建议不将MCLR 引脚直接与VDD 连接, 使用图给出的RC 网络。
- 内部MCLR 选项通过清零配置字寄存器中的MCLRE 位来使能。当MCLRE = 0 时, 将内部生成到芯片的复位信号。当MCLRE = 1 时, RE3/MCLR 引脚将成为外部复位输入。在此模式下, RE3/MCLR 引脚具有到VDD 的弱上拉。选择内部MCLR 选项不会影响在线串行编程。



上电复位 (POR)

- 片上POR 电路将芯片保持在复位状态, 直到VDD 达到正常工作所需的电平为止。如果使能BOR, 则不应用最大上升时间规范。BOR 电路将器件保持在复位状态, 直到VDD 达到VBOR 。
- 器件开始正常工作 (退出复位状态) 时, 必须满足器件工作参数 (即, 电压、频率以及温度等) 才能确保其正常工作。如果这些条件未满足, 则器件必须保持在复位状态, 直到满足工作条件为止。

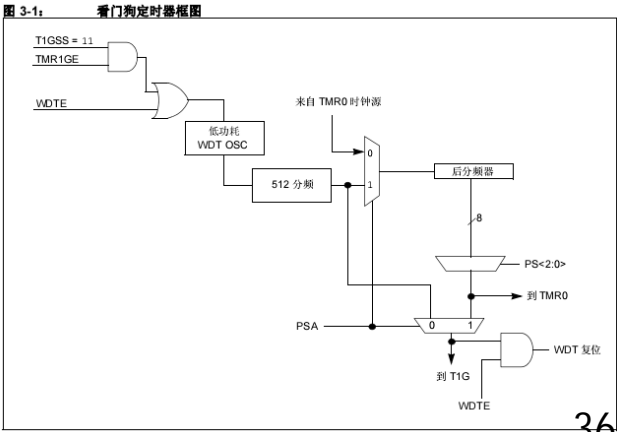
上电延时定时器 (PWRT)

- 上电延时定时器仅在上电时 (从上电复位或欠压复位) 提供一个固定的64 ms (标称值) 超时。
- 上电延时定时器根据WDT 振荡器工作。只要PWRT 有效, 器件就保持在复位状态。PWRT 延时允许VDD 上升到所能接受的电平。配置位PWRTS 可以禁止 (如果置1) 或使能 (如果清零或编程) 上电延时定时器。使能欠压复位时, 尽管不是必需的, 还是应该使能上电延时定时器。
- 各个芯片的上电延时定时器延时都会有所不同, 原因是:
 - VDD 不同
 - 温度不同
 - 工艺不同

看门狗定时器 (WDT)

- WDT 具有如下特性:
 - 与Timer0 共用一个8 位预分频器
 - 超时周期从17 ms 到2.2 s (标称值)
 - 由配置位使能
- WDT 振荡器
 - WDT 以31 kHz 的内部振荡器作为其时基。
- WDT 控制
 - WDTE 位位于配置字寄存器1中, 置1 时, WDT 将持续运行。
 - OPTION 寄存器的PSA 和PS<2:0> 位控制WDT周期。

看门狗定时器 (WDT)

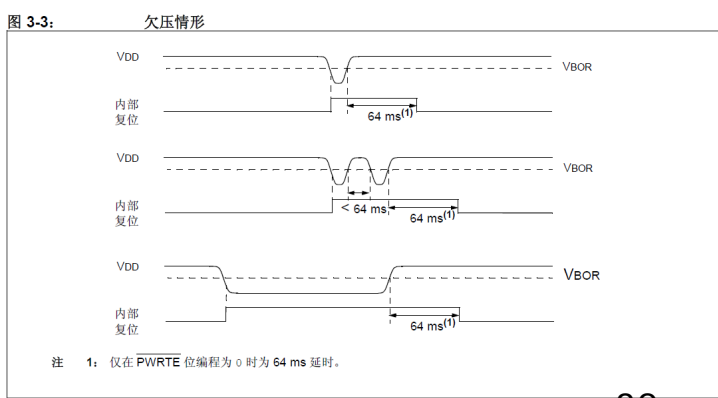


欠压复位 (BOR)

- 欠压复位通过**编程配置寄存器**中的BOREN<1:0> 位来使能。使用两个位来使能BOR。当BOREN = 11 时，将始终使能BOR。当BOREN = 10 时，将使能BOR，但在休眠期间禁止BOR。当BOREN = 0X 时，将禁止BOR。
- 欠压跳变点可以通过配置寄存器中的BORV 位在两个跳变点之间进行选择。
- **在上电复位和欠压复位之间，可为执行保护覆盖实现整个电压范围。**
- 如果VDD 低于VBOR 的时间大于参数TBOR，则欠压条件将复位器件。无论VDD压摆率如何，都将发生此情况。如果VDD 低于VBOR的时间大于参数TBOR，复位不一定会发生。如果上电延时定时器运行时VDD 下降到低于VBOR，芯片将返回到欠压复位状态，并将重新初始化上电延时定时器。一旦VDD 上升到高于VBOR 时，上电延时定时器将执行64 ms 的复位。

37

欠压复位 (BOR)



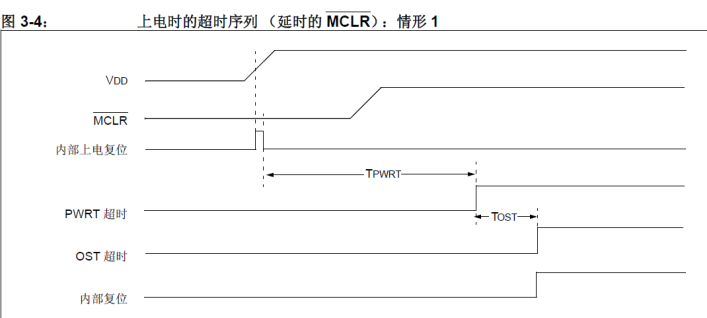
38

超时序列

- 上电时，超时序列如下：
- 首先，将在POR 结束后调用PWRT 超时，然后在PWRT 超时结束后激活OST。
- 总超时将根据振荡器配置和PWRT 位状态而变化。
- 由于超时根据POR 脉冲发生，因此，如果MCLR 保持低电平足够长的时间，超时将结束。然后，MCLR 电平拉高将立即开始执行代码。**这对于测试或同步多个并行工作的PIC16F/LF722A/723A器件来说非常有用。**

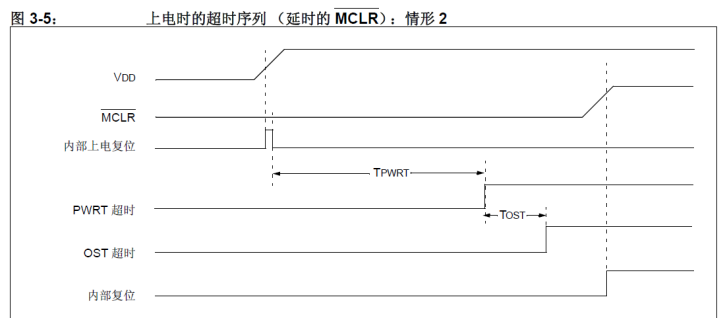
39

超时序列



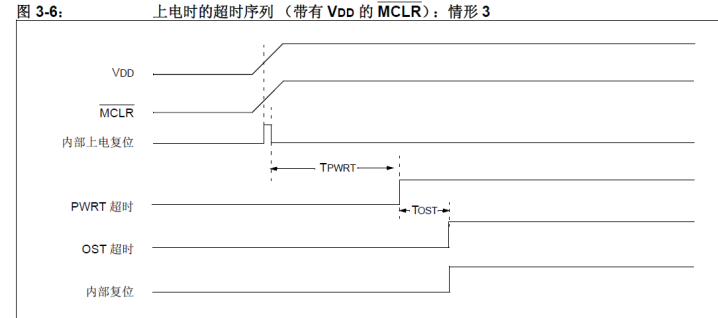
40

超时序列



41

超时序列



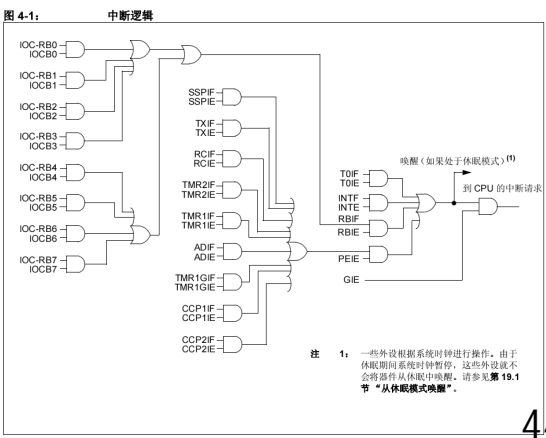
42

中断

- PIC16F/LF722A/723A 系列器件具有可中断内核，允许某些事件的**优先级**高于正常的程序流程。中断服务程序（ISR）用于判断中断源并采取相应的操作。还可配置一些中断将MCU从休眠模式下唤醒。
- PIC16F/LF722A/723A 系列器件有**12 个中断源**，根据相应的中断允许位和标志位进行划分：
 - Timer0溢出中断
 - INT引脚上的外部边沿检测中断
 - PORTB电平变化中断
 - Timer1门控中断
 - A/D转换完成中断
 - USART 接收中断
 - USART 发送中断
 - SSP 事件中断
 - CCP1 事件中断
 - Timer2与PR2 匹配中断
 - Timer1上溢中断
 - CCP2 事件中断

43

中断



44

中断工作原理

- **任何器件复位都将禁止中断**。可通过将以下位置1来允许中断：
 - INTCON寄存器的GIE 位
 - 特殊中断事件的中断允许位
 - INTCON寄存器的PEIE 位（如果中断事件的中断允许位包含在PIE1 和PIE2 寄存器中）
- INTCON、PIR1 和PIR2 寄存器通过中断标志位来记录各个中断。**无论GIE、PEIE 和各个中断允许位的状态如何，中断标志位都会在中断发生时置1。**
- 当GIE 位置1 时，中断事件的发生会引发以下事件：
 - 清除当前预取的指令
 - GIE位清零
 - 当前程序计数器（PC）的值被压入堆栈
 - PC装载中断向量0004h
- **ISR 通过查询中断标志位来判断中断源。在退出ISR 之前必须将中断标志位清零，以避免重复的中断。**由于GIE 位被清零，所以执行ISR 期间发生的任何中断将会通过其中断标志位进行记录，但是不会使处理器重定向到中断向量。
- RETFIE 指令通过将先前地址从堆栈中弹出并将GIE 位置1 来退出ISR。

45

中断响应延时

- 中断响应延时指从发生中断事件到开始执行中断向量处的代码所经过的时间。**同步中断的响应延时为3 个指令周期。对于异步中断，响应延时为3 至4 个指令周期，具体取决于中断发生的时间。**

46

休眠期间的中断

- 有些中断可用于将器件从休眠模式唤醒。要将器件从休眠模式唤醒，相应外设必须能够在无系统时钟的条件下工作。进入休眠模式之前，必须将相应中断源的中断允许位置1。
- **从休眠模式唤醒时，如果GIE 位也被置1，则处理器跳转到中断向量。否则，处理器将继续执行SLEEP 指令后的指令。**在跳转到ISR 之后，始终会执行紧接着SLEEP指令的指令。

47

外部中断INT

- 外部中断INT 引脚用于产生异步、边沿触发的中断。
- OPTION 寄存器的INTEDG 位确定中断发生在哪个边沿。当INTEDG 位置1 时，**上升沿将触发中断**。当INTEDG 位清零时，**下降沿将触发中断**。当INT 引脚上出现有效边沿时，INTCON 寄存器的INTF 位置1。如果GIE 和INTE 位也置1，则处理器将程序执行重定向到中断向量。将INTCON 寄存器的INTE 位清零可禁止该中断。

48

中断现场保护

- 发生中断时，仅将返回的PC地址保存到堆栈中。如果ISR修改或使用用于修改重要寄存器的指令，在ISR开始时必须保存寄存器的值且在ISR结束时恢复。这防止了紧接着ISR的指令使用无效数据。重要寄存器包括W、STATUS、FSR 和PCLATH 寄存器。执行以下操作。
- 保存W 寄存器/• 保存STATUS 寄存器/• 保存PCLATH 寄存器
- 执行ISR 程序
- 恢复PCLATH 寄存器/• 恢复STATUS 寄存器/• 恢复W 寄存器
- 使用SWAPF 指令来保存和恢复W 和STATUS 寄存器，这是因为该指令将不会影响STATUS寄存器的任何位。
- 处理器将通过让PC 装入0004h 跳转到中断向量。PCLATH 寄存器将保持不变。这需要执行ISR 以确保在使用导致PCLATH 装入PC 的指令之前正确设置PCLATH 寄存器。
- 单片机通常不要求保存PCLATH 寄存器。然而，如果使用了计算的GOTO 指令，则必须在ISR 开始时保存PCLATH 寄存器的值且在ISR结束时恢复以确保编程流程正确。

49

INTCON: 中断控制寄存器

- bit 7 GIE: 全局中断允许位
1 = 允许所有非屏蔽中断 0 = 禁止所有中断
- bit 6 PEIE: 外设中断允许位
1 = 允许所有非屏蔽外设中断 0 = 禁止所有外设中断
- bit 5 TOIE: Timer0 上溢中断允许位
1 = 允许Timer0 中断 0 = 禁止Timer0 中断
- bit 4 INTE: RBO/INT 外部中断允许位
1 = 允许RBO/INT 外部中断 0 = 禁止RBO/INT 外部中断
- bit 3 RBIE: PORTB 电平变化中断允许位(1)
1 = 允许PORTB 电平变化中断 0 = 禁止PORTB 电平变化中断
- bit 2 TOIF: Timer0 上溢中断标志位(2)
1 = TMRO 寄存器已上溢（必须用软件清零） 0 = TMRO 寄存器未上溢
- bit 1 INTF: RBO/INT 外部中断标志位
1 = 发生了外部中断（必须用软件清零） 0 = 未发生外部中断
- bit 0 RBIF: PORTB 电平变化中断标志位
1 = 至少一个PORTB 通用I/O 引脚的电平状态发生了改变（必须用软件清零）
0 = 没有一个PORTB 通用I/O 引脚的电平状态发生变化

50

PIE1 寄存器包含中断允许位

- bit 7 TMR1GIE: Timer1 门控中断允许位
1 = 允许Timer1 门控采集完成中断 0 = 禁止Timer1 门控采集完成中断
- bit 6 ADIE: A/D 转换器（ADC）中断允许位
1 = 允许ADC 中断 0 = 禁止ADC 中断
- bit 5 RCIE: USART 接收中断允许位
1 = 允许USART 接收中断 0 = 禁止USART 接收中断
- bit 4 TXIE: USART 发送中断允许位
1 = 允许USART 发送中断 0 = 禁止USART 发送中断
- bit 3 SSPIE: 同步串行端口（SSP）中断允许位
1 = 允许SSP 中断 0 = 禁止SSP 中断
- bit 2 CCP1IE: CCP1 中断允许位
1 = 允许CCP1 中断 0 = 禁止CCP1 中断
- bit 1 TMR2IE: TMR2 与PR2 匹配中断允许位
1 = 允许Timer2 与PR2 匹配中断 0 = 禁止Timer2 与PR2 匹配中断
- bit 0 TMR1IE: Timer1 上溢中断允许位
1 = 允许Timer1 上溢中断 0 = 禁止Timer1 上溢中断

51

PIE2 寄存器包含中断允许位

- bit 7-1 未实现位：读为0
- bit 0 CCP2IE: CCP2 中断允许位
1 = 允许CCP2 中断 0 = 禁止CCP2 中断

52

PIR1 寄存器

- bit 7 TMR1GIF: Timer1 门控中断标志位 1 = Timer1 门控无效 0 = Timer1 门控有效
- bit 6 ADIF: A/D 转换器中断标志位
1 = A/D 转换完成（须软件清零） 0 = A/D 还未完成或还未启动
- bit 5 RCIF: USART 接收中断标志位
1 = USART 接收缓冲器已满（通过读RCREG 清零） 0 = USART 接收缓冲器未满
- bit 4 TXIF: USART 发送中断标志位
1 = USART 发送缓冲器为空（通过写RCREG 清零） 0 = USART 发送缓冲器已满
- bit 3 SSPIF: 同步串行端口（SSP）中断标志位
1 = 发送/ 接收已完成（必须用软件清零） 0 = 等待发送/ 接收
- bit 2 CCP1IF: CCP1 中断标志位
捕捉模式：1 = 发生了TMR1 寄存器捕捉（须软件清零） 0 = 未发生
比较模式：1 = 发生了TMR1 寄存器比较匹配（须软件清零） 0 = 未发生
PWM 模式：在此模式下未使用
- bit 1 TMR2IF: Timer2 与PR2 匹配中断标志位
1 = Timer2与PR2 发生匹配（必须用软件清零） 0 = Timer2与PR2 未发生匹配
- bit 0 TMR1IF: Timer1 上溢中断标志位 1 = 上溢（须软件清零） 0 = 未上溢

53

PIR2 寄存器

- bit 7-1 未实现：读为0
 - bit 0 CCP2IF: CCP2 中断标志位
- 捕捉模式：
1 = 发生了TMR1 寄存器捕捉（须软件清零）
0 = 未发生TMR1 寄存器捕捉
- 比较模式：
1 = 发生了TMR1 寄存器比较匹配（须软件清零）
0 = 未发生TMR1 寄存器比较匹配
- PWM 模式：在此模式下未使用

54

低压差（LDO）稳压器

- LDO(low dropout regulator，是一种低压差线性稳压器)。传统的线性稳压器(如78XX系列)要求输入电压要比输出电压至少高出2V~3V，否则就不能正常工作。但是在一些情况下，如5V转3.3V，输入与输出之间的压差只有1.7v，显然这是不满足传统线性稳压器的的工作条件的。
- PIC16F722A/723A 具有内部LDO 稳压器，而PIC16LF722A/723A没有。
- 将LDO稳压器集成在芯片上。LDO稳压器为内部数字逻辑提供3.2V 的工作电压，而为I/O 提供5.0V 工作电压（VDD）。
- LDO 稳压器需要外部旁路电容以确保其稳定性。三个引脚中的一个引脚（记为VCAP），可配置为连接外部旁路电容引脚。建议采用0.1 至1.0 μF 之间的陶瓷电容。
- VCAP 引脚不为外部负载供电。如果需要此功能，则应使用外部稳压器。此外，外部器件不应向VCAP 引脚供电。

I/O 端口

- 有多达35 个通用I/O 引脚可供使用。通常情况下，当某个外设使能时，其相关引脚可能不能用作通用I/O 引脚。
- 备用引脚功能
 备用引脚功能控制（APFCON）寄存器用于将特定外设输入和输出功能配置到不同的引脚上。对于此器件系列，以下功能可以配置到不同的引脚上：
 - SS（从模式选择） • CCP2
- bit 7-2 未实现：读为0。
- bit 1 SSSEL: SS 输入引脚选择位
 0 = SS功能位于RA5/AN4/CPS7/SS/VCAP 引脚上
 1 = SS功能位于RA0/AN0/SS/VCAP 引脚上
- bit 0 CCP2SEL: CCP2 输入 / 输出引脚选择位
 0 = CCP2功能位于RC1/T10SI/CCP2 引脚上
 1 = CCP2功能位于RB3/CCP2 引脚上

I/O 端口---PORT A

- PORTA 和TRISA 寄存器
 PORTA 是8 位宽的双向端口。其对应的数据方向寄存器是TRISA。将TRISA 某位置1（= 1）可以让相应PORTA 引脚作为输入引脚（即禁止输出驱动器）。清零TRISA 某位（= 0）可以让相应PORTA引脚作为输出引脚（即使能输出驱动器并将输出锁存器的内容输出到所选择的引脚）。
 读PORTA 寄存器读的是引脚的状态，而写该寄存器将会写入端口锁存器。所有写操作都是读- 修改- 写操作。因此，写一个端口就意味着读该端口的引脚电平，修改读到的值，然后再将改好的值写入端口数据锁存器
- ANSELA 寄存器
 ANSELA 寄存器用于将I/O 引脚的输入模式配置为模拟输入模式。ANSELA 位的状态不会影响数字输出功能。TRIS 清零且ANSEL 置1 的引脚仍将作为数字输出引脚工作，但输入模式将变为模拟模式。当在受影响的端口上执行读- 修改- 写指令时，得到的结果可能与预期不符。

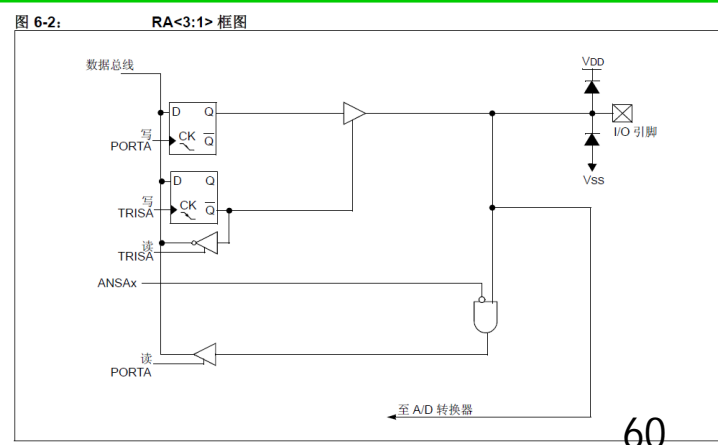
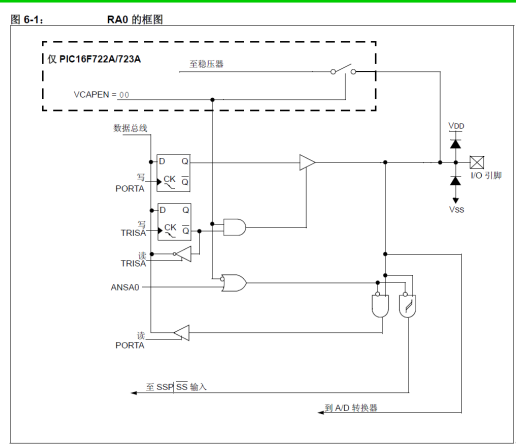
55

56

57

PORT A

- RA0/AN0/SS/VCAP
- RA1/AN1
- RA2/AN2
- RA3/AN3/VREF
- RA4/CPS6/TOCKI
- RA5/AN4/CPS7/SS/VCAP
- RA6/OSC2/CLKOUT/VCAP
- RA7/OSC1/CLKIN

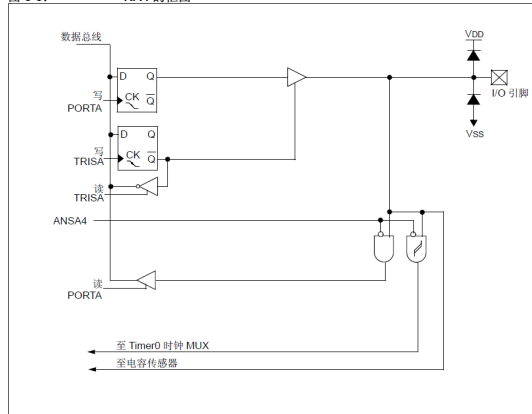


58

59

60

图 6-3: RA4 的框图

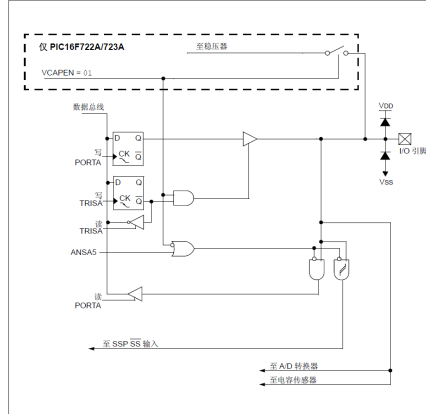


61

2020/6/8

58

图 6-4: RA5 的框图

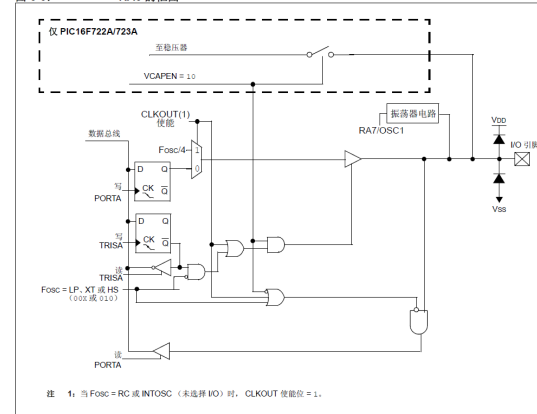


62

2020/6/8

59

图 6-5: RA6 的框图



63

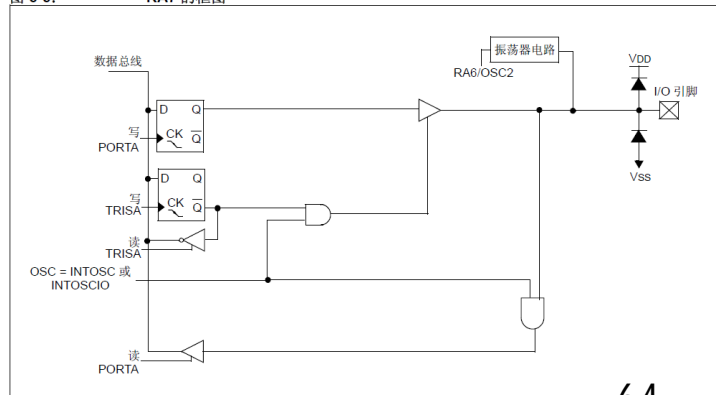
2020/6/8

60

I/O 端口---PORT B

PORT B

图 6-6: RA7 的框图



64

2020/6/8

61

■ PORTB、TRISB、ANSELB 同PORTA、TRISA、ANSELA寄存器

■ 弱上拉

每个PORTB引脚具有独立的可配置内部弱上拉。控制位WPUB<7:0> 可使能或禁止每个上拉。将端口引脚配置为输出时，每个弱上拉电路都会自动切断。在上电复位时，通过OPTION寄存器的RBPU位可禁止所有上拉。

■ 电平变化中断

所有PORTB 引脚都可独立配置为电平变化中断引脚。控制位IOCB<7:0> 可使能或禁止每个引脚的中断功能。电平变化中断功能在上电复位时禁止。

■ RB0/AN12/CPS0/INT

■ RB1/AN10/CPS1

■ RB2/AN8/CPS2

■ RB3/AN9/CPS3/CCP2

■ RB4/AN11/CPS4

■ RB5/AN13/CPS5/T1G

■ RB6/ICSPCLK

■ RB7/ICSPDAT

65

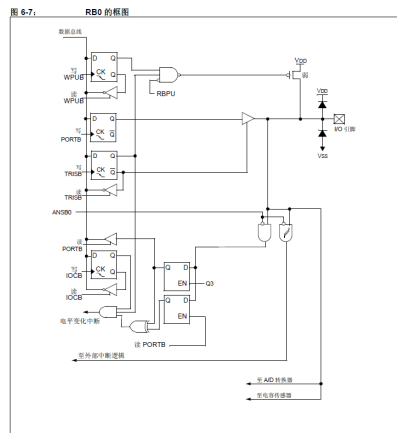
2020/6/8

62

2020/6/8

63

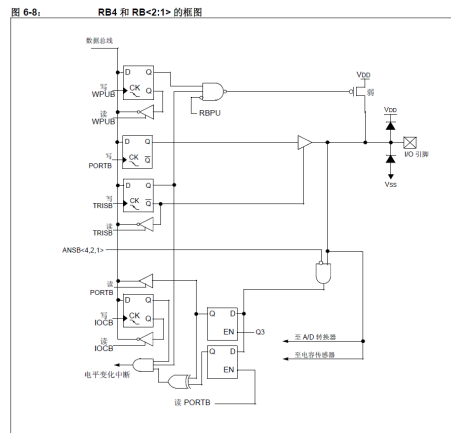
66



67

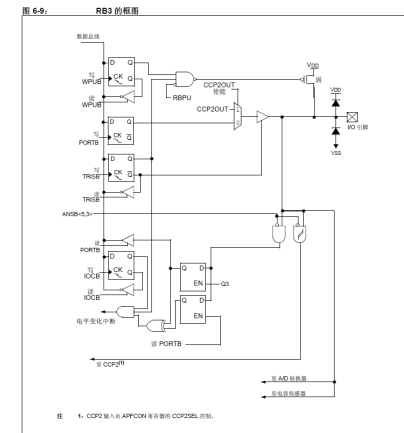
2020/6/8

64



68

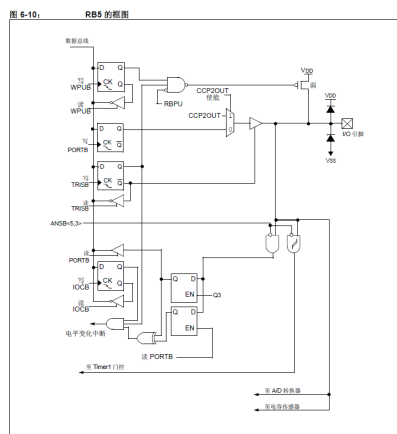
2020/6/8



69

2020/6/8

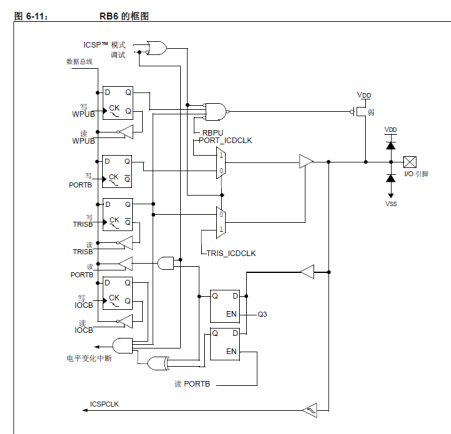
66



70

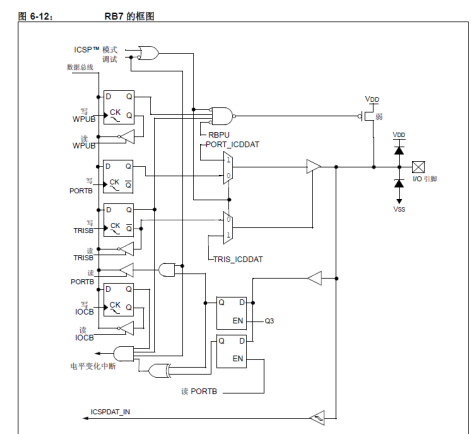
2020/6/8

67



71

2020/6/8



72

2020/6/8

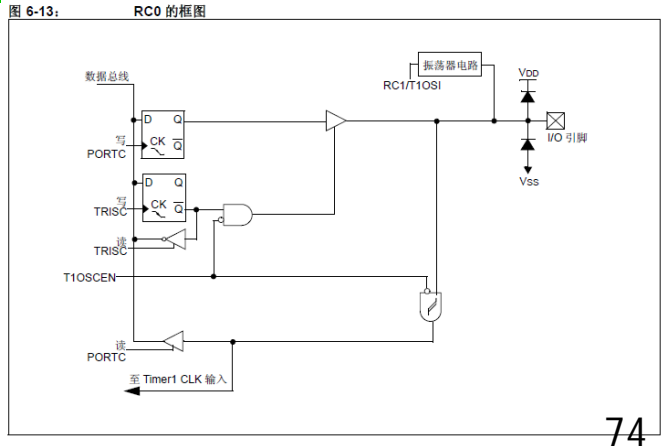
69

I/O 端口---PORT C

- PORTC 、TRISC同PORTA 、TRISA寄存器
- RC0/T10S0/T1CKI
- RC1/T10SI/CCP2
- RC2/CCP1
- RC3/SCK/SCL
- RC4/SDI/SDA
- RC5/SDO
- RC6/TX/CK
- RC7/RX/DT

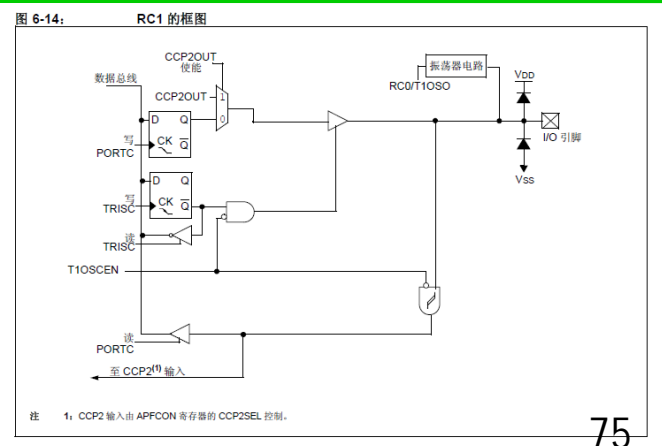
73

图 6-13:



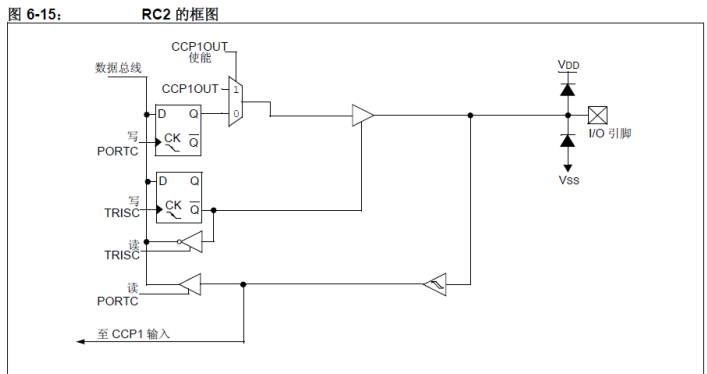
74

图 6-14:



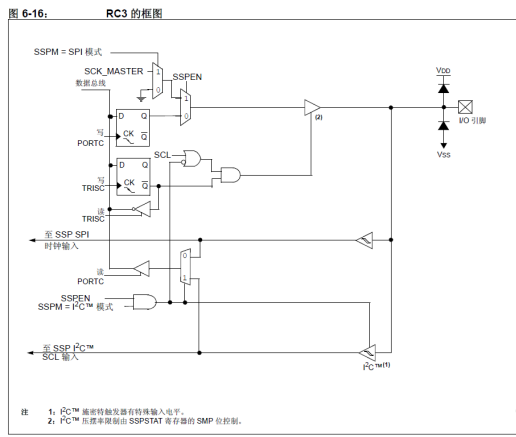
75

图 6-15:



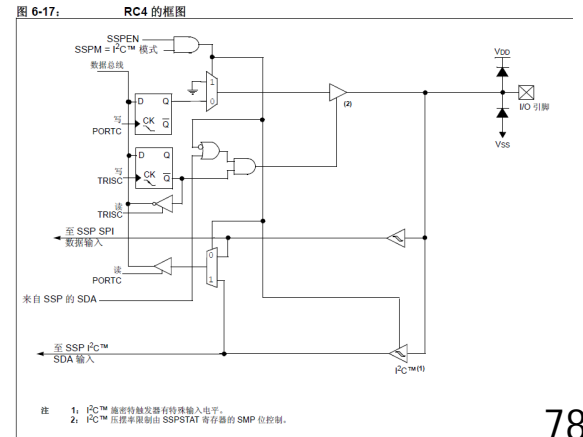
76

图 6-16:

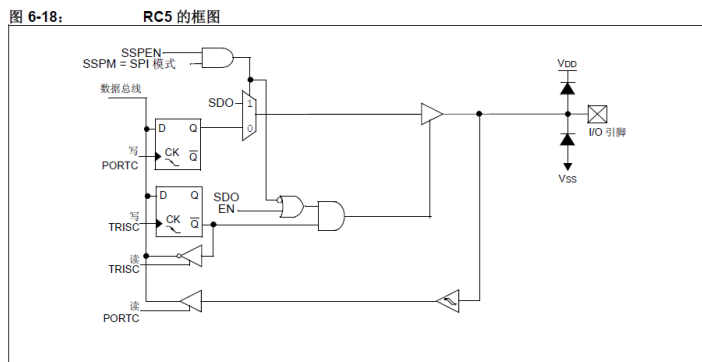


77

图 6-17:



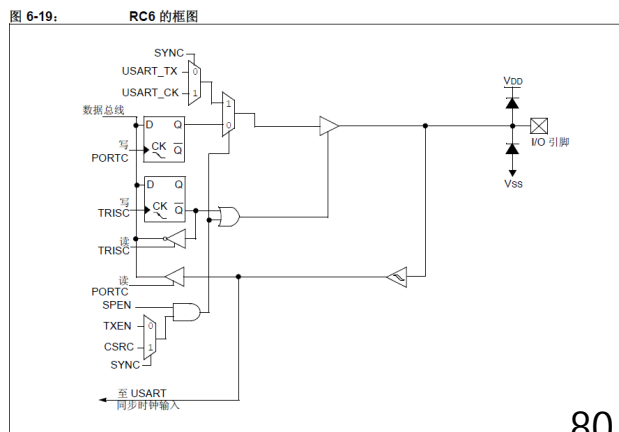
78



79

2020/6/8

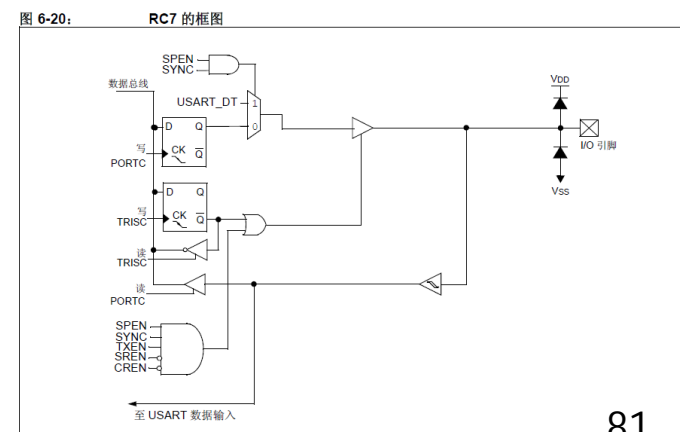
76



80

2020/6/8

77



81

2020/6/8

78

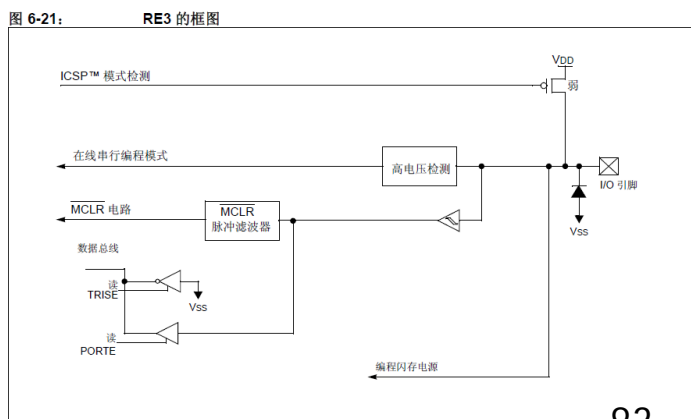
I/O 端口---PORT E

- **PORTE 和TRISE 寄存器**
- PORTE 是16位的输入端口。RE3 仅为输入引脚且它的TRIS 位将始终读为1。
- 读PORTE 寄存器读的是引脚的状态。当MCLRE = 1， RE3 读0。

82

2020/6/8

79



83

2020/6/8

80

振荡器模块

- 该振荡器模块有很多时钟源和选择功能，从而使其应用非常广泛，并可最大限度地提高性能和降低功耗。
 - 时钟源可以由外部振荡器、石英晶体谐振器、陶瓷谐振器以及阻容（Resistor-Capacitor, RC）电路配置。此外，系统可以配置为使用内部校准高频振荡器作为时钟源，并可以通过软件选择可选速度。
 - 时钟源模式由配置字1（CONFIG1）中的FOSC 位配置。振荡器模块可配置为以下八种时钟模式之一。
1. RC——外部阻容（RC），在OSC2/CLKOUT 上具有FOSC/4 输出。
 2. RCIO—— 外部阻容（RC），在OSC2/CLKOUT上具有I/O。
 3. INTOSC—— 内部振荡器，在OSC2上具有FOSC/4输出，且在OSC1上具有I/O。
 4. INTOSCIO——内部振荡器，在OSC1 和OSC2 上都具有I/O。
 5. EC——外部时钟，在OSC2/CLKOUT上具有I/O。
 6. HS—— 高增益晶振或陶瓷谐振器模式。
 7. XT—— 中等增益晶振或陶瓷谐振器振荡模式。
 8. LP—— 低功耗晶振模式。

84

2020/6/8

81

振荡器模块

- 频率选择位 (IRCF)
- 500 kHz INTOSC 和16 MHz INTOSC 的输出（在使能了锁相环的情况下）将连接到后分频器和多路复用器。OSCCON 寄存器的内部振荡器频率选择位（Internal Oscillator Frequency Select, IRCF）选择内部振荡器的输出频率。根据PLEN 位，可以通过软件选择以下两个频率集四个频率的其中之一：
- 如果PLEN = 1，频率选择如下所示：
 - 16 MHz• 8 MHz（复位后的默认频率）• 4 MHz• 2 MHz
- 如果PLEN = 0，频率选择如下所示：
 - 500 kHz• 250 kHz（复位后的默认频率）• 125 kHz• 62.5 kHz

振荡器模块

- 振荡器控制
- 振荡器控制（OSCCON）寄存器显示内部振荡器（INTOSC）系统时钟的状态，并允许进行频率选择。OSCCON 寄存器包含以下位：
 - 频率选择位（IRCF）
 - 状态锁定位（ICSL）
 - 状态稳定位（ICSS）
- 振荡器调节
- INTOSC已经在出厂时校准，但可以通过写入OSCTUNE寄存器（寄存器7-2）用软件调节。OSCTUNE 寄存器的默认值为0。该值是一个6 位的二进制补码。当修改OSCTUNE 寄存器时，INTOSC 频率将开始转换到新的频率。在频率转换期间继续代码执行。不会有任何迹象表明发生了频率转换。

振荡器起振定时器（OST）

- 如果振荡器模块配置为LP、XT 或HS 模式，则振荡器起振定时器（OST）将对OSC1 引脚上的1024 次振荡进行计数，然后该器件才能从复位释放。发生上电复位（POR）后且上电延时定时器（PWRT）延时已结束（如果配置了此延时）时或从休眠状态唤醒时发生该计数行为。在计数期间，程序计数器不会递增，程序执行暂停。OST 确保使用石英晶体谐振器或陶瓷谐振器的振荡电路已起振并且为振荡器模块提供稳定的系统时钟。

振荡器

EC 模式

LP、XT 和HS 模式

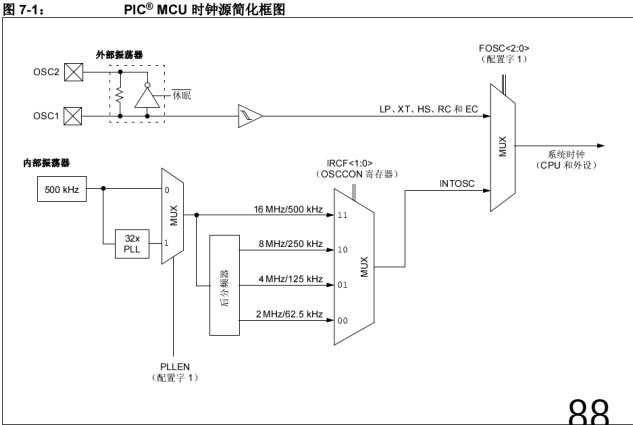
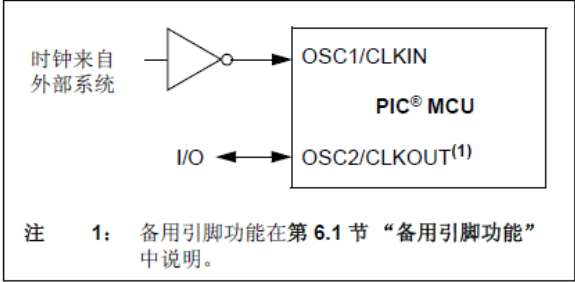
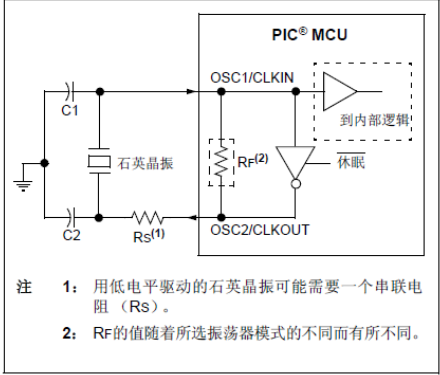


图 7-2: 外部时钟（EC）模式工作原理



注 1: 备用引脚功能在第 6.1 节“备用引脚功能”中说明。

图 7-3: 石英晶振工作原理（LP、XT 或 HS 模式）

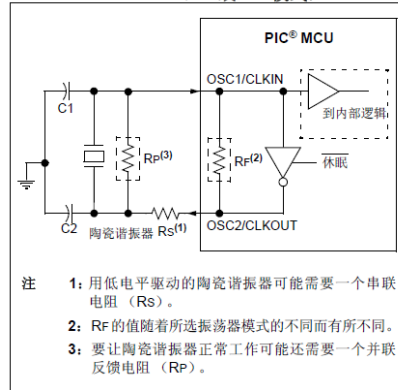


注 1: 用低电平驱动的石晶振可能需要一个串联电阻（Rs）。
2: Rf 的值随着所选振荡器模式的不同而有所不同。

器件配置

- 器件配置包括配置字寄存器1 和配置字寄存器2、代码保护以及器件ID。

图 7-4: 陶瓷谐振器工作原理 (XT 或 HS 模式)

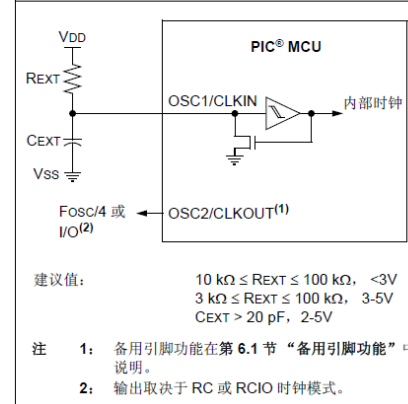


91

2020/6/8

88

图 7-5: 外部 RC 模式



92

89

2020/6/8

93

90

CONFIG1: 配置字寄存器1

- bit 13 DEBUG: 在线调试器模式位
- 1 = 禁止在线调试, RB6/RB7 是通用 I/O 引脚 0 = 在线调试器, RB6/RB7 用于调试器
- bit 12 PLEN: INTOSC PLL 使能位 0 = 500 kHz 1 = 16 MHz (32x)
- bit 11 未实现: 读为1
- bit 10 BORV: 欠压复位电压选择位
- 0: 欠压复位电压 VBOR = 2.5 V 1: 欠压复位电压 VBOR = 1.9 V
- bit 9-8 BOREN<1:0>: 欠压复位选择位 (1)
- 0x = 禁止 BOR 10 = BOR 在工作时使能, 在休眠时禁止 11 = 使能 BOR
- bit 7 未实现: 读为1
- bit 6 CP: 代码保护位 1 = 禁止代码保护 0 = 代码保护
- bit 5 MCLRE: RE3/MCLR 引脚功能选择位
- 1 = RE3/MCLR 为 MCLR 0 = RE3/MCLR 为数字输入, MCLR 内部连接到 VDD
- bit 4 PWRT: 上电延时定时器使能位 1 = 禁止 PWRT 0 = 使能 PWRT
- bit 3 WDTE: 看门狗定时器使能位 1 = 使能 WDT 0 = 禁止 WD
- bit 2-0 FOSC<2:0>: 振荡器选择位

94

2020/6/8

80C51 时钟电路、工作时序、工作方式

91

CONFIG2: 配置字寄存器2

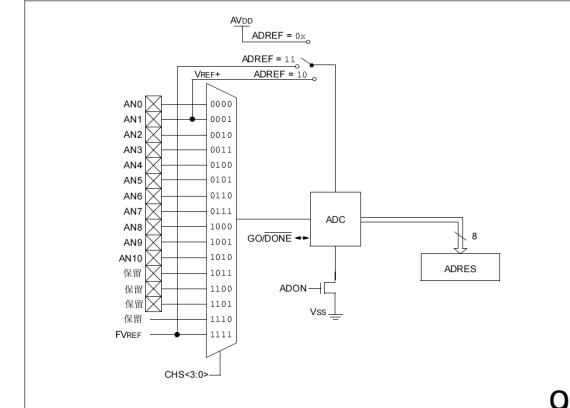
- bit 13-6 未实现: 读为1
- bit 5-4 VCAPEN<1:0>: 稳压器电容使能位
- 对于 PIC16LF722A/723A: 禁止所有 VCAP 引脚功能。
- 对于 PIC16F722A/723A:
- 00 = 在 RA0 引脚上使能 VCAP 功能
- 01 = 在 RA5 引脚上使能 VCAP 功能
- 10 = 在 RA6 引脚上使能 VCAP 功能
- 11 = 禁止所有 VCAP 功能 (不推荐)
- bit 3-0 未实现: 读为1

95

92

模数转换器

图 9-1: ADC 框图

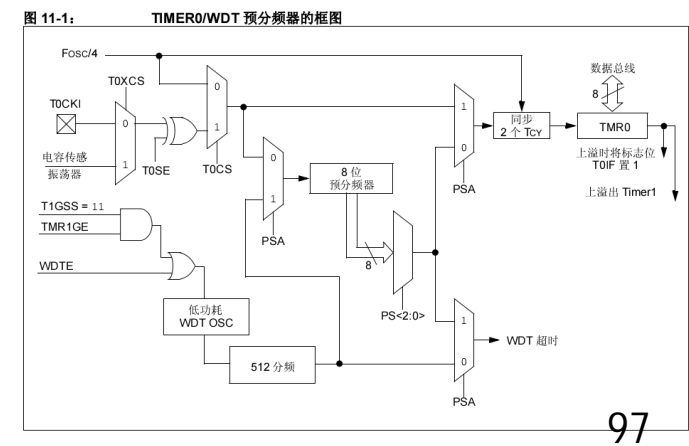


96

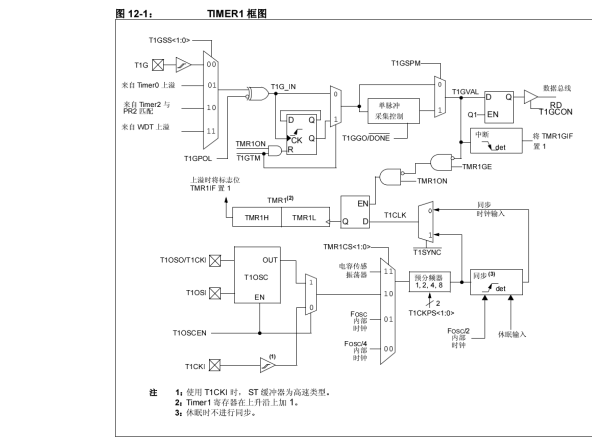
2020/6/8

93

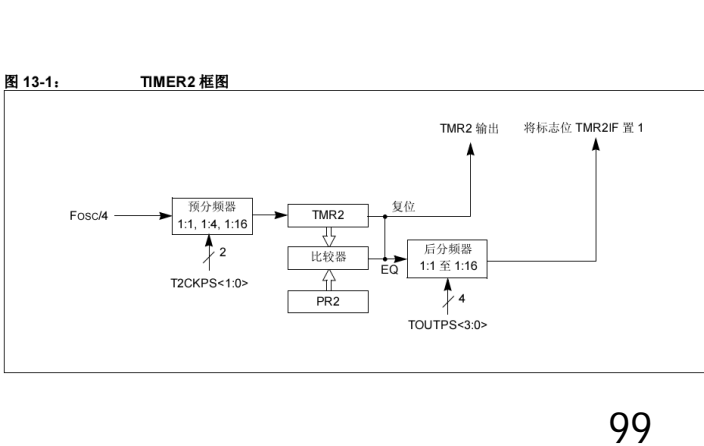
Timer0



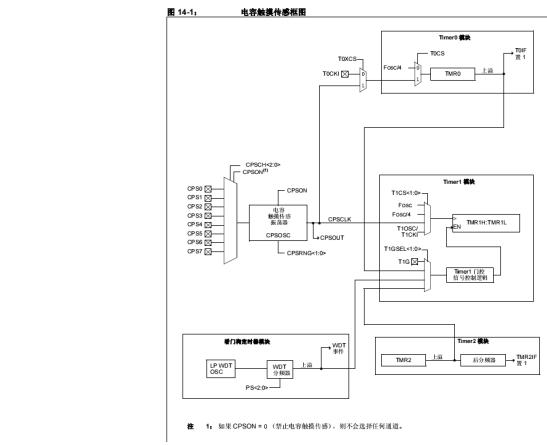
带门控的 TIMER1



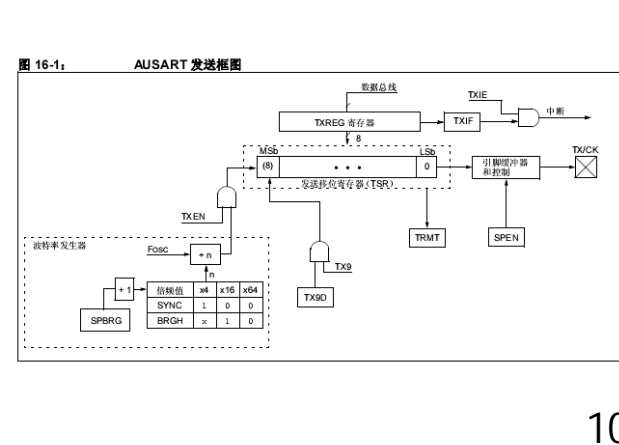
TIMER2



电容触摸传感



寻址通用同步异步收发



同步串行端口 (SSP) 模

