

武汉大学计算机学院

2017~2018 学年第二学期 2017 级《数字逻辑》

期末考试试卷（闭卷考试） A 卷

班级_____学号_____姓名_____成绩_____

注：全部答案均要求写在答题纸上，写在试卷上无效

一、填空（每空 1 分，共 18 分）

- 1、 $(41.5)_{10} = (\quad)_2 = (\quad)_{16}$
- 2、 $(-0.1001)_2 = (\textcolor{red}{1.0110})_{\text{反}} = (\textcolor{red}{1.0111})_{\text{补}}$
- 3、逻辑代数只有（ ）3 种基本运算，数字电路只有（ ）3 种基本电路
- 4、钟控触发器的逻辑符号中，若 CP 端带有小圈，则说明触发器状态的变化只能发生在 CP 脉冲的（ ）沿
- 5、逻辑函数 $F(A,B,C) = \overline{AB} + \overline{BC}$ 的反函数是（ ），对偶函数是（ ）
- 6、数字集成电路根据设计方法和功能定义可分为（非用户定制电路）、（半用户定制电路）、（全用户定制电路）3 类
- 7、优先编码器的多个输入端（ ）同时输入有效信号
- 8、由 8 级触发器构成的二进制计数器模值是（ $\textcolor{red}{256}$ ）、十进制计数器模值是（ $\textcolor{red}{100}$ ）
- 9、PLD 的基本结构与或阵列中，一般在线段交叉处加（ ）表示固定连接，加（ ）表示可编程连接
- 10、能实现“线与”的逻辑门是（ ）

二、单项选择题（每空 2 分，共 16 分）

- 1、半导体中有两种载流子，它们是（ ）
A. 电子和空穴 B. 电子和质子 C. 原子和中子 D. 电子和离子
- 2、10011010 是十进制数 67 的（ ）码
A. 8421BCD 码 B. 余 3 码 C. 2421 码 D. Gray 码
- 3、在组合逻辑电路设计中，常用（ ）来表示逻辑问题抽象的结果
A. 状态图 B. 状态表 C. 真值表 D. 特征方程
- 4、电平异步时序逻辑电路不允许两个或两个以上输入信号同时（ $\textcolor{red}{C}$ ）
A. 为 0 B. 为 1 C. 变化 D. 以上都不对
- 5、回差电压是（ $\textcolor{red}{D}$ ）电路的主要特性参数
A. 多谐振荡器 B. 单稳触发器 C. 时序电路 D. 施密特触发器

6、半导体七段数码管的每个显示线段都是由（ ）构成的

- A. 钨丝 B. 发光二极管 C. 发光三极管 D. 熔丝

7、能从多个输入中选出一路作为输出的电路称为（ ）

- A. 多路选择器 B. 计数器 C. 译码器 D. 寄存器

8、在组合逻辑电路中, 若输入信号变化前输出为 0, 输入信号变化后输出为 1, 而在输入信号变化时产生了错误的输出, 这一险象称为 (D)

- A. 静态 1 型险象 B. 静态 0 型险象 C. 动态 1 型险象 D. 动态 0 型险象

三、化简题 (10 分)

把 $F(A, B, C, D) = \overline{A}\overline{B}\overline{C} + \sum m(2, 3, 6, 13) + \sum d(4, 7, 12)$ 化成最简“与—或”式和最简或与式。

四、分析题 (12 分)

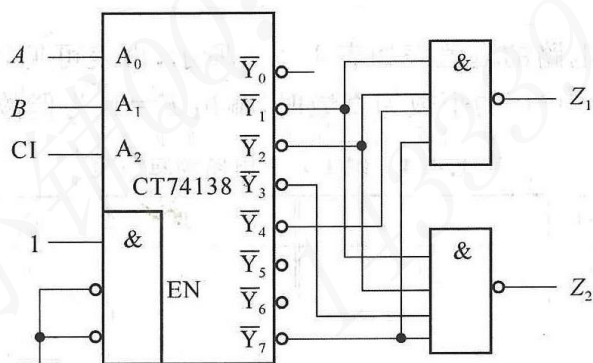
分析如图所示组合逻辑电路 (每问 4 分)

- ① 写出输出函数表达式
- ② 列出真值表
- ③ 说明电路功能

实现全减器功能。

A 为被减数, B 为减数, CI 为低位借位。

Z1 为差, Z2 为本位向高位借位。



五、设计题 (每小题 12 分, 共 24 分)

1、形成脉冲异步时序逻辑电路序列检测器 $x_1-x_2-x_2$ 的 Moore 型原始状态图和状态表, 当检测到序列时, 输出 z 为 1, 否则为 0。(状态图 6 分, 状态表 6 分)

2、用 D 触发器和适当的逻辑门设计能实现下列最简二进制状态表功能的同步时序逻辑电路。(过程及表达式 6 分, 画图 3 分, 讨论 3 分)

现态		$y_2^{n+1} \ y_1^{n+1} / z$	
y_2	y_1	$X=0$	$X=1$
0	0	00/0	01/0
0	1	00/0	11/0
1	0	dd/d	dd/d
1	1	00/0	11/1

$Q \rightarrow Q^{n+1}$		D
0	0	0
0	1	1
1	0	0
1	1	1

D 触发器激励表

六、综合应用题（每小题 20 分）

用 5G555 定时器、74LS193 计数器、七段显示译码/驱动器 74LS48、数码管和适当的逻辑门及电阻电容元件设计一个 00~59 秒的秒计时器。要求写清楚设计思路，画出逻辑图。各集成电路芯片的逻辑符号如下。（设计过程及设计思路 10 分，画图 10 分）

（提示：用 5G555 和相应的阻容元件产生秒脉冲作为计数脉冲，不要求精准；用 2 片 74LS193 组成 00~59 秒的六十进制计数器，计数器的输出经过七段显示译码/驱动器 74LS48 送数码管显示。）

