

武汉大学计算机学院

2010~2011 学年第二学期 2010 级《数字逻辑》

期末考试试卷 (闭卷)

A 卷 (A 类)

学号_____班级_____姓名_____成绩_____

全部答案均要求写在答题纸上, 写在试卷上无效。

一、填空题 (每空 1 分, 共 14 分)

1. 若 $x = -0.1011$, 则 $[x]_{补} = (\quad)$ 。
2. $(10110.1)_2 = (\quad)_{10} = (\quad)_8 = (\quad)_{16}$
3. 8421BCD 码 100100010111 对应的十进制数是 (\quad) 。
4. 时序逻辑电路由 (\quad) 和 (\quad) 组成。
5. $F(ABC) = AB + \overline{C}D$ 的反函数是 (\quad) , 对偶函数是 (\quad) 。
6. 欲使 JK 触发器在 CP 有效跳沿作用下的次态与现状相反, 则 JK 的取值应为 (\quad) 。
7. 一个矩形波信号从与非门输入端传到输出端所延迟的时间叫 (\quad) 。
8. 消除组合逻辑电路竞争险象的常用方法有 (\quad) 、 (\quad) 、 (\quad) 。

二、单项选择题 (每小题 2 分, 共 16 分)

从下面每题的四个答案中, 选择唯一正确的答案代号填入括号内。

1. 在一个给定的数字波形中, 其周期为脉冲宽度的两倍, 则占空比为 (\quad) 。
A. 100% B. 200% C. 50% D. 150%
2. 具有三种输出状态的门是 (\quad) 。
A. 与门 B. 或门 C. OC 门 D. 三态门
3. 维持阻塞 D 触发器是时钟的 (\quad) 触发的。
A. 上升沿 B. 下降沿 C. 高电平 D. 低电平
4. 电平异步时序逻辑电路的分析工具是 (\quad) 。
A. 真值表、卡诺图 B. 状态表、状态图
C. 功能表、波形图 D. 流程表、总态图
5. 欲把正弦波变换为同频率的矩形波, 应选择 (\quad) 。
A. 多谐振荡器 B. 施密特触发器 C. 单稳态触发器 D. J-K 触发器
6. 对完全给定状态表中的 7 个状态 A、B、C、D、E、F、G 进行化简, 若有 (A、B), (B、C), (E、F) 等效, 则最简状态表中只有 (\quad) 个状态。
A. 4 B. 5 C. 3 D. 6
7. 用 PLA 实现组合逻辑电路功能, 通常要将函数表达式表示成 (\quad) 。
A. 最小项表达式 B. 最简与一或式 C. 最大项表达式 D. 一般或一与式
8. 下列集成电路芯片中, (\quad) 属于时序逻辑电路。

A. 计数器 74193 B. 三-八译码器 74138 C. 多路选择器 74153 D. 优先编码器 74148

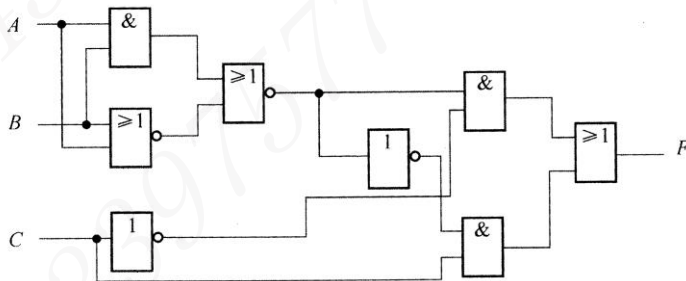
三、化简题 (8 分)

用卡诺图把 $F(ABCD) = \sum m(1, 3, 13, 15) + \sum d(6, 9, 11, 14)$ 化成最简与一或式。

四、分析题 (每小题 12 分, 共 24 分)

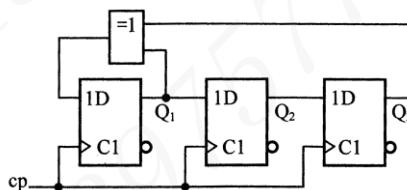
1. 分析图示组合逻辑电路

- (1) 写出输出函数表达式
- (2) 列出真值表
- (3) 说明电路功能



2. 分析图示同步时序逻辑电路

- (1) 写出激励函数表达式
- (2) 作状态表和状态图
- (3) 说明电路功能



五、设计题 (14 分)

用 T 触发器设计一个异步二位二进制 (模四) 加 1 计数器, 该电路对输入端 X 出现的脉冲进行计数, 当收到第 4 个脉冲时, 输出 Z 产生进位 (用 Mealy 模型)。T 触发器激励表如下:

T 触发器激励表

Q	Q ⁿ⁺¹	CP	T
0	0	d	0
		0	d
0	1	1	1
1	0	1	1
1	1	d	0
		0	d

六、综合应用题 (每小题 12 分, 共 24 分)

1. 用三-八译码器 74138 和适当的逻辑门设计一个全加器电路 (设被加数为 A_i , 加数 B_i , 低位进位 C_{i-1} , 本位和 S_i , 本位向高位进位 C_i)。

2. 移位寄存器 74194 的引脚图和逻辑图如下:

(1) 说明它的引脚名称和功能。

(2) 用 74194 和适当的逻辑门设计一个 11101000 (最先输出右边 “0” 位) 序列发生器, 循环产生该脉冲序列。

附图:

