武汉大学计算机学院

2016~2017 学年第二学期 2016 级《数字逻辑》期未考试试卷(闭卷考试) A卷

	注:全部答	案均要求写在答	题纸上,写	写在试卷上	无效	
一、填空	艺(每空1分,共	16分)				
1, (3C.E) ₁₆ = () ₁₀ =	() 2				
2, (-1011) ₂ = (11011)) _原 =(10101) _补				
3、差	$\stackrel{+}{=} F = AB + \overline{AC} = 1,$	则 B= (), C=	()			
	至组合逻辑电路中, 致错误输出的竞争	,,,,	, ,,,			 诗误输出现象叫
5、退	逻辑函数 $F(A,B,C)$	$=A\overline{B}+BC$ 的反i	函数是()		
_	多谐振荡器有(次把 J-K 触发器转)个	·稳定状态
8. 指	描述电平异步时序述	逻辑电路的工具是	是()和(
XX.	<u> </u>					
二、单功	页选择题(每空25	分,共 16 分)				
1、	能把缓变输入信号	转换成矩形波的	电路是 ()		
A	A. 边沿触发器	B. 单稳触发器	C. 多谐	振荡器	D. 施密	营特触发器
2,	存在约束条件的触	发器是()触发	器			
A	A. 基本 RS	B. JK	C. D		D. T	
3,	能完成带低位进位	的两个一位二进	制数相加的	的器件称为	J ()	
A	A. 译码器	B. 全加器	C. 编码	器	D. 半加	1器
4、	用 PLA 进行逻辑设	计时,应将逻辑	函数表达过	式变换成(
A	A. 最小项表达式	B. 异或表达云	C. 最	简与或式	D. :	最大项表达式
5、	用于逻辑电路设计	的硬件描述语言	是()			
A	A. C ⁺⁺	B. VHDL	C. JAVA		D.汇编	
6.	用四选一 MUX 实	识逻辑函数 $F(A)$	$A,B) = A\overline{B} +$	- AB 时,	其数据输	入端 D ₀ D ₁ D ₂ D ₃
应设	亥接入 ()					

A. 0011

B. 0101

C.1100

D. 1010

7、由 10 级触发器构成的二进制计数器, 其模值是()

B. 100 C. 1000 D. 1024

8、在时序逻辑电路中, 若输出函数表达式中不包含外输入 X, 则电路属于()

A. 同步时序逻辑电路

B. 异步时序逻辑电路

C. Moore 模型

D. Mealy 模型

三、化简题(8分)

把 $F(A,B,C,D) = \overline{ABD} + \Sigma m(7,8,13,15) + \Sigma d(3,5,10,11)$ 化成最简"与一或"式和 最简或与式

四、分析题(每小题 12 分, 共 24 分)

- 1、分析图 1 所示组合逻辑电路(每问 4 分)
 - ① 写出输出函数表达式
 - ② 列出真值表
 - ③ 说明电路功能

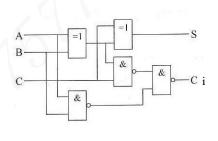


图 1

该电路实现全加器的功能,

- A 是被加数, B 是加数, C 是低位进位,
- S 是本位和, Ci 是本位向高位的进位
- 2、分析图 2 所示同步时序逻辑电路 (每问 4 分)
 - ① 写出激励函数和输出函数表达式, 指出电路属于哪种模型?
 - ② 作出状态表和状态图
 - ③ 说明电路功能,作出

 Q_3 、 Q_2 、 Q_1 、Y的波形图

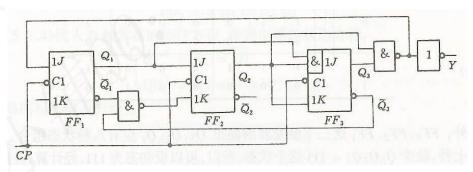


图 2

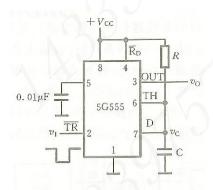
五、设计题(12分)

用上升沿触发的 D 触发器 Mleay 模型设计一个异步 6 进制加 1 计数器,该电路对输入端 X 进行计数,输出 Z 表示进位。D 触发器激励表如下:

Q	Q^{n+1}	CP	D
	0	d,	0
0		0	d
0	1	1	1
1	0	1	0
1	1,0	d	1
1	1	0	d

六 综合应用题 (每小题 12 分, 共 24 分)

- 1、下图是用 5G555 和适当的阻容原件构成的单稳态触发器:
 - ① 说明电路工作原理(6分)
 - ② 画出 v_i、v_c、v_o 的工作波形 (6分)



2、用一片移位寄存器 74194 和一片 8 选 1 数据选择器 74152 设计一个序列信号发生器,输出序列为 01110100 (第一位输出 0,第二位输出 0,第三位输出 1…)。

