

武汉大学国家网络安全学院
2020 -2021 学年度第 1 学期
《数字逻辑与 EDA》期末考试试卷 A 卷（闭卷）

专业： 信息安全/网络空间安全 学号： 姓名：

说明：答案请全部写在答题纸上，写在试卷上无效。

未经主考教师同意，考试试卷、答题纸、草稿纸均不得带离考场，否则视为违规。

题号	一	二	三	四	五	六	总分
分值	15	10	9	12	27	27	100

一. 填空题（共 9 小题，每空 1 分，共 15 分）

- 1、 $(-124)_{10} = (\quad)_{\text{原}} = (\quad)_{\text{补}}$
- 2、 $(41.5)_{10} = (\quad)_2 = (\quad)_{16}$
- 3、函数 $F = (A+B) \cdot (\bar{C}+D)$ 的反函数是 (\quad)
- 4、能实现“线与”的逻辑门是 (\quad) ，三态门在禁止状态下输出 (\quad) 。
- 5、由与非门组成的基本 R-S 触发器，不允许 (\quad)
- 6、若要消除函数 $F(A,B,C,D) = AB + \bar{A}CD$ 对应的逻辑电路可能存在的险象，则应增加的冗余项是 (\quad)
- 7、欲把 J-K 触发器转换成 T 触发器，则 $J = (\quad)$ ， $K = (\quad)$
- 8、PLD 器件的基本结构包括 (\quad) 和 (\quad) 两部分。
- 9、PLD 的基本结构通常采用点阵表示，一般在线段的交叉处加“●”表示 (\quad) 连接，在线段的交叉处加“×”表示 (\quad) 连接。

二. 单项选择题（共 5 小题，每小题 2 分，共 10 分）

- 1、10101001 是十进制数 76 的 (\quad) 码
A. 8421BCD 码 B. 余 3 码 C. 2421 码 D. Gray 码
- 2、能完成带低位进位的两个一位二进制数相加的器件称为 (\quad)
A. 译码器 B. 全加器 C. 编码器 D. 半加器
- 3、设计一个 20 进制同步计数器，至少需要 (\quad) 个触发器
A. 4 B. 5 C. 6 D. 20
- 4、异步清除计数器是指 (\quad) 的计数器
A. 具有清除功能的同步型 B. 具有清除功能的异步型

C. 清除信号与时钟信号同时有效才能清除 D. 清除信号与时钟信号无关

5、用于逻辑电路设计的硬件描述语言是 ()

A. C++ B. VHDL/VerilogHDL C. JAVA D. 汇编

三. 化简题 (共 1 小题, 每小题 9 分, 共 9 分)

1、把 $F(A, B, C, D) = \overline{A}\overline{B}\overline{D} + \Sigma m(7, 8, 13, 15) + \Sigma d(3, 5, 10, 11)$ 化成最简“与—或”式和最简“或—与”式

四. 程序代码补全 (共 6 个空, 每个空 2 分, 共 12 分)

下列代码实现四选一的数据选择器, 请完成 Verilog 程序填空。S1 是高位, S0 是低位。

```
module mux4_to_1 (y, d0, d1, d2, d3, S0, S1 );
output y;
① y;
② d0, d1, d2, d3, S0, S1;
always @ ( ③ )
begin
    case ( ④ )
        2'b00: y = d0;
        2'b01: y = d1;
        2'b10: y = d2;
        2'b11: y = d3;
        ⑤ : y = d0;
        ⑥
    endcase
end
endmodule
```

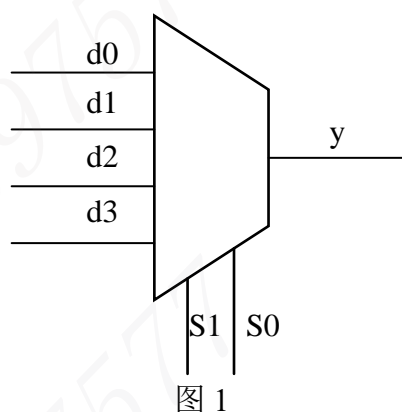


图 1

五. 分析题 (共 3 小题, 共 27 分)

1、分析图 1 所示组合逻辑电路 (每问 3 分)

- ① 写出输出函数表达式
- ② 列出真值表
- ③ 说明电路功能

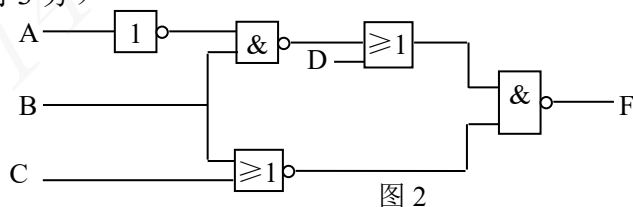


图 2

2、分析如图所示组合逻辑电路 (每问 3 分)

- ① 写出输出函数表达式
- ② 列出真值表
- ③ 说明电路功能

i

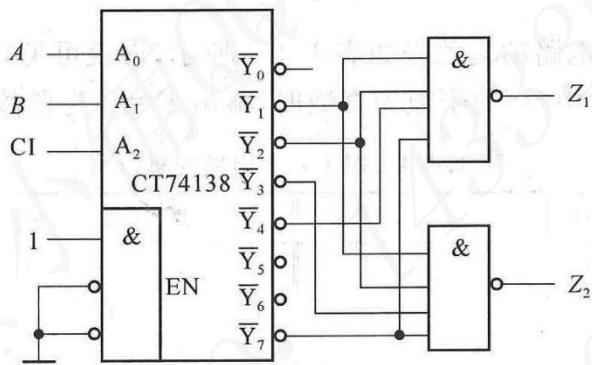


图 3

3、分析图 2 所示脉冲异步时序逻辑电路（每问 3 分）

- ① 写出激励函数表达式，指出电路属于哪种模型？
- ② 作出状态表和状态图
- ③ 说明电路功能，作出 Q_2 、 Q_1 、 Q_0 的波形图

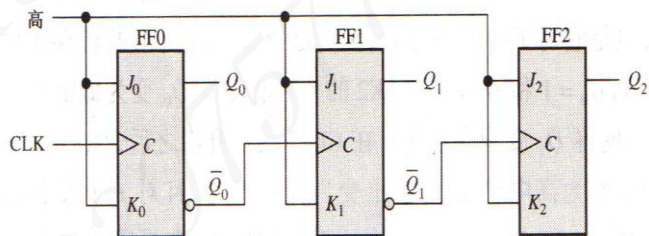


图 4

六. 数字逻辑电路设计题(共 2 小题，共 27 分)

1、用 T 触发器作存储元件，设计一个 Mealy 型两位二进制减 1 计数器。电路工作状态受输入信号 x 的控制。当 $x=0$ 时，电路状态不变；当 $x=1$ 时，在时钟脉冲作用下进行减 1 计数。计数器有一个输出 z ，当产生借位时 $z=1$ ，否则 $z=0$ 。（共 15 分，每问 3 分）

- (1) 形成原始状态图；
- (2) 画出状态转换表；
- (3) 求出输出方程和驱动方程；
- (4) 画出逻辑图；
- (5) 画出计数状态波形图。

2、用一片移位寄存器 74194 和一片 8 选 1 数据选择器 74152 设计一个序列信号发生器，输出序列为 01110100 （第一位输出 0，第二位输出 0，第三位输出 1，...）。（共 12 分）

- (1) 给出设计过程（6 分）；
- (2) 画出逻辑图（3 分）；
- (3) 说明工作过程（3 分）。

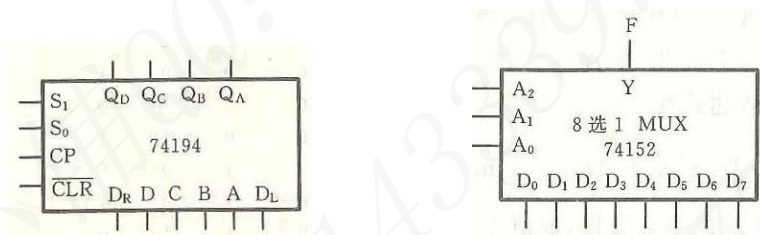


图 5

提示: 74194 中, S_1S_0 为工作方式选择信号。 $S_1S_0=11$, LOAD 数据; $S_1S_0=01$, 右移; $S_1S_0=10$, 左移; $S_1S_0=00$, 保持。