

## 武汉大学计算机学院

### 2018~2019 学年第二学期 2018 级《数字逻辑与数字电路》

#### 期末考试试卷（闭卷考试） A 卷

班级\_\_\_\_\_学号\_\_\_\_\_姓名\_\_\_\_\_成绩\_\_\_\_\_

注：全部答案均要求写在答题纸上，写在试卷上无效

#### 一、单项选择题（每空 2 分，共 20 分）。

- 1、若完全确定原始状态表中有 A、B、C、D、E、F 六个状态，现有 AC、DE、CF 为等效状态对，则最简状态表中有（ ）个状态  
A. 2            B. 3            C. 4            D. 5
- 2、三-八译码器 74LS138 能够正常工作条件是使能端  $STA$ 、 $\overline{STB}$ 、 $\overline{STC}$  必须为（ ）  
A. 011        B. 101        C. 100        D. 110
- 3、欲使 J-K 触发器在 CP 作用下的次态与现态相反，则 J-K 应输入（ ）  
A. 00        B. 01        C. 10        D. 11
- 4、脉冲异步时序逻辑电路中，各个触发器状态的变化发生在各自时钟脉冲的（ ）  
A. 有效跳沿        B. 下降沿        C. 上升沿        D. 低电平
- 5、由 5G555 定时器构成的多谐振荡器能产生（ ）  
A. 周期性的正弦波    B. 周期性的方波    C. 单脉冲    D. 周期性的锯齿波
- 6、基于查找表技术的 PLD 器件是（ ）  
A. ROM        B. PLA        C. FPGA        D. CPLD
- 7、具有左移右移、并入并出、串入串出、并入串出等功能的电路称为（ ）  
A. 移位寄存器    B. 译码器        C. 计数器        D. 编码器
- 8、十进制数 34.5 的二进制数、8421BCD 码分别是（ ）  
A. 100100.1、00110100.0101        B. 100010.1、00110100.1010  
C. 100100.1、00110100.1010        D. 100010.1、00110100.0101
- 9、能实现逻辑电路输出缓冲或锁存功能的逻辑门是（ ）  
A. 三态门        B. 与门        C. 异或门        D. OC 门
- 10、在组合逻辑电路中，若输入信号变化前输出为 1，输入信号变化后输出为 0，而在输入信号变化时产生了错误的输出，这一险象称为（ ）  
A. 静态 1 型险象    B. 静态 0 型险象    C. 动态 1 型险象    D. 动态 0 型险象

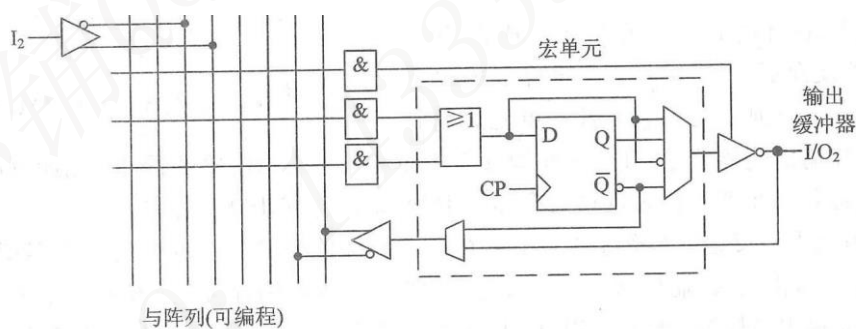
## 二、化简题 (12 分)

把  $F(A,B,C,D) = AB\bar{D} + \sum m(1,3,4,9) + \sum d(0,6,11,15)$  化成最简“与—或”式和最简或与式。

## 三、阅读下面的 Verilog HDL 程序, 说明它所描述的功能, 并画出逻辑符号 (12 分)。

```
module mul4_1b (y, s, x);
    output y;
    input [1:0] s;
    input [3:0] x;
    reg y;
    always @ (s or x)
    begin
        if (s==2'b00)
            y = x[0];
        else if (s==2'b01)
            y = x[1];
        else if (s==2'b10)
            y = x[2];
        else
            y = x[3];
        end
    endmodule
```

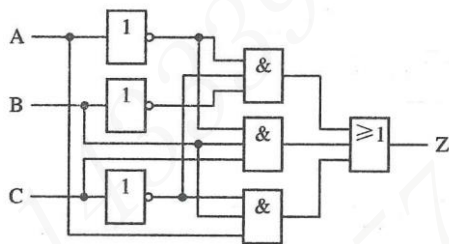
## 四、简述下图所示宏单元的组成和工作原理 (12 分)。



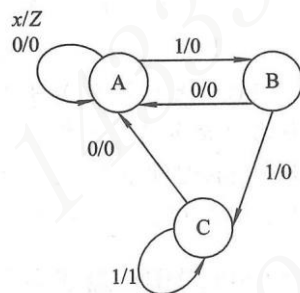
## 五、分析题 (12 分)

分析如图所示组合逻辑电路 (每问 4 分)

- 1、写出输出函数表达式
- 2、列出真值表
- 3、说明电路功能



六、用 Verilog HDL 设计 “111...” 序列检测器。要求当输入  $x$  连续输入三个或三个以上 1 时, 输出  $z$  为 1, 否则  $z$  为 0。其 Mealy 型状态转移图如下: (12 分)



七、用 T 或 D 触发器设计一个同步十进制加 1 计数器, 输出  $z$  表示进位 (20 分, 每问 4 分)。

- 1、形成原始状态图
- 2、求出输出方程和驱动方程
- 3、画出逻辑图
- 4、画出计数状态波形图
- 5、检查电路能否自启动