

武汉大学计算机学院

2006~2007 学年第二学期 2006 级《数字逻辑》

期末考试试卷

A 卷

学号_____班级_____姓名_____成绩_____

一、填空（每空 1 分，共 14 分）

- 1、 $(21.5)_{10} = (\quad)_2 = (\quad)_8 = (\quad)_{16}$
- 2、若 $x = -0.1101$ ，则 $[x]_{补} = (\quad)$
- 3、十进制数 809 对应的 8421BCD 码是 (\quad)
- 4、若采用奇校验，当信息位为 10011 时，校验位应是 (\quad)
- 5、数字逻辑电路分为 (\quad) 和 (\quad) 两大类
- 6、电平异步时序逻辑电路的描述工具有 (\quad) 、 (\quad) 、 (\quad)
- 7、函数 $F = (A+B) \cdot (\bar{C}+D)$ 的反函数是 (\quad)
- 8、与非门扇出系数 N_o 的含义是 (\quad)
- 9、若要消除函数 $F(A,B,C) = \bar{A}B + AC$ 对应的逻辑电路可能存在的险象，则应增加的冗余项是 (\quad)

二、选择题（每空 2 分，共 16 分）

从下列各题的四个答案中，选出一个正确答案，并将其代号填入括号内

- 1、数字系统采用 (\quad) 可以将减法运算转化为加法运算
A. 原码 B. 余 3 码 C. Gray 码 D. 补码
- 2、欲使 J-K 触发器在 CP 脉冲作用下的次态与现态相反，JK 的取值应为 (\quad)
A. 00 B. 01 C. 10 D. 11
- 3、对完全确定原始状态表中的 6 个状态，A、B、C、D、E、F 进行比简，若有 (A, B), (D, E) 等效，则最简状态表中只有 (\quad) 个状态
A. 2 B. 4 C. 5 D. 6
- 4、下列集成电路芯片中， (\quad) 属于组合逻辑电路
A. 计数器 74290 B. 寄存器 74194
C. 三一八译码器 74138 D. 集成定时器 5G555
- 5、设计一个 20 进制同步计数器，至少需要 (\quad) 个触发器
A. 4 B. 5 C. 6 D. 20
- 6、用 5G555 构成的多谐振荡器有 (\quad)
A. 两个稳态 B. 两个暂稳态

C. 一个稳态, 一个暂稳态 D. 既没有稳态, 也没有暂稳态

7、可编程逻辑阵列 PLA 的与、或阵列是 ()

A. 与阵列可编程、或阵列可编程 B. 与阵列不可编程、或阵列可编程
C. 与阵列可编程、或阵列不可编程 D. 与阵列不可编程、或阵列不可编程

8、最大项和最小项的关系是 ()

A. $\bar{m}_i = M_i$ B. $m_i = M_i$ C. $m_i \cdot M_i = 1$ D. 无关系

三、逻辑函数化简 (6 分)

把 $F(A, B, C, D) = \sum m(0, 1, 5, 14, 15) + \sum d(4, 7, 10, 11, 12)$ 化成最简与一或式

四、分析题 (每小题 12 分, 共 24 分)

1、分析图 1 所示组合逻辑电路

- ① 写出输出函数表达式
- ② 列出真值表
- ③ 说明电路功能

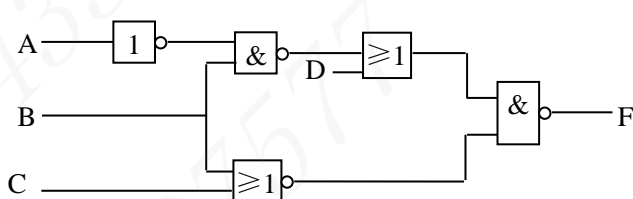


图 1

2、分析图 2 所示脉冲异步时序逻辑电路

- ① 写出输出函数和激励函数表达式
- ② 列出次态真值表, 作出状态表和状态图
- ③ 说明电路功能
- ④ 设初态 $y_2 y_1 = 00$, 作出 x 输入 4 个异步脉冲后的状态 $y_2 y_1$ 和输出 z 的波形图。

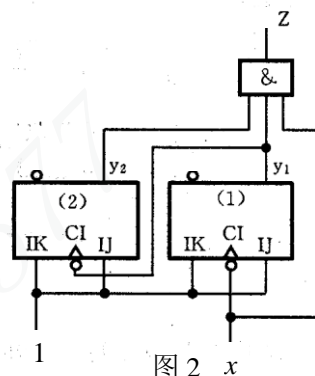


图 2

五、设计题 (每小题 10 分, 共 20 分)

1、作出“1101”序列检测器的 Moore 模型原始状态图和状态表, 电路有一个串行输入端 x , 一个输出端 z 。当 x 输入的序列中出现“1101”时, 输出 z 为 1, 否则 z 为 0, 其典型输入输出序列如下:

| | |
|--------|-----------------------|
| 输入 x | 0 1 0 1 1 0 1 1 0 1 0 |
| 输出 z | 0 0 0 0 0 0 1 0 0 0 0 |

2、用 D 触发器和适当的逻辑门设计能实现下列最简二进制状态表的同步时序逻辑电路

| 现态 $y_2 y_1$ | 次态/输出 $y_2^{n+1} y_1^{n+1} / z$ | |
|-----------------|---------------------------------|-------|
| | $x=0$ | $x=1$ |
| 00 | 01/0 | 10/0 |
| 01 | 11/0 | 10/0 |
| 11 | 01/0 | 00/0 |
| 10 | 00/0 | 11/1 |

D 触发器激励表如下

| $Q \rightarrow Q^{n+1}$ | D |
|-------------------------|---|
| 0 0 | 0 |
| 0 1 | 1 |
| 1 0 | 0 |
| 1 1 | 1 |

六 综合应用题（每小题 10 分，共 20 分）

1、用三一八译码器 74138 和适当的逻辑门设计一个三变量 “多数表决电路”

2、用四位二进制同步可逆计数器 74193 和八选一数据选择器 74152 设计一个 “10010010” 序列发生器，循环产生该序列。序列中的最高位 “1” 是序列的第一位。
（提示：首先把 74193 设计成八进制计数器，用其计数状态作八选一数据选择器的地址端，用要产生的序列位作数据选择器的数据输入端）

附：各集成电路逻辑符号

