

武汉大学 **2019-2020** 年度第二学期

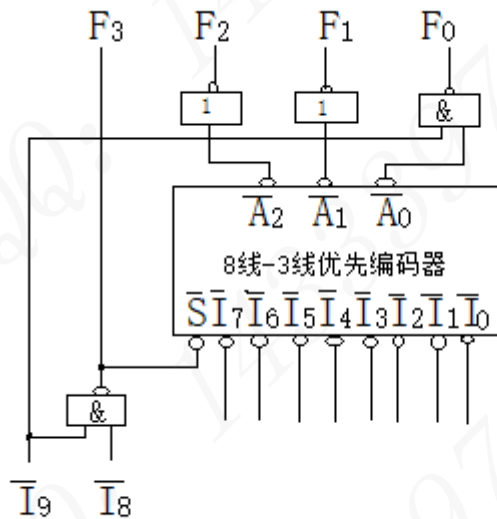
《数字逻辑与数字电路》 A 卷（开卷）

学号 _____ 姓名 _____ 院（系） _____ 分数 _____

注：全部答案均要求写在答题纸上，写在试卷上无效

一、分析如下图所示组合逻辑电路（每问 6 分，共 18 分）。

- 1、写出表达式
- 2、列出真值表
- 3、说明逻辑功能

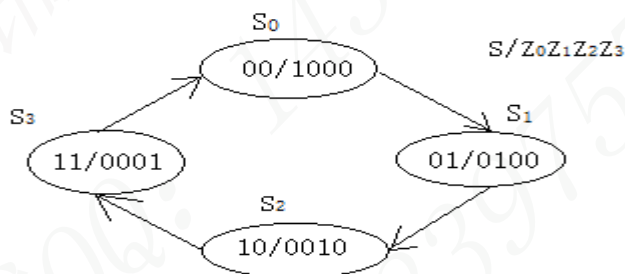


二、用 D 触发器作存储元件，设计能实现下列最简二进制状态表的同步时序逻辑电路（16 分）。

- 1、用激励函数真值表或次态卡诺图求出激励函数（10 分）
- 2、画出逻辑电路图（6 分）

现 态		次态 $y_2^{n+1} y_1^{n+1}$			
		$x_2 x_1 = 00$	$x_2 x_1 = 01$	$x_2 x_1 = 11$	$x_2 x_1 = 10$
0	0	0 0	1 0	0 1	0 0
0	1	0 0	1 0	1 1	1 0
1	1	0 1	1 1	1 1	1 0
1	0	0 1	1 1	0 1	0 0

三、用 Verilog HDL 设计一个节拍脉冲发生器。电路有 4 路输出 Z_0 、 Z_1 、 Z_2 、 Z_3 ，对应着 4 个状态 S_0 、 S_1 、 S_2 、 S_3 。每来一个时钟脉冲就有一路输出 1，其余 3 路输出为 0，并转移到下一个状态。在顺序时钟脉冲作用下，4 路轮流输出 1。状态图如下：（16 分）



四、请对本学期所授《数字逻辑与数字电路》课程的内容和知识点进行归纳与总结（包括但不限于各章的基础知识、重难点内容，以及相关的原理、定义、结构特点、分析和设计方法、逻辑符号、功能表、分类、应用领域和前景等）。（共 50 分）