

## 武汉大学计算机学院

### 2009~2010 学年第二学期 2009 级《数字逻辑》

#### 期末考试试卷

#### A 卷

学号\_\_\_\_\_班级\_\_\_\_\_姓名\_\_\_\_\_成绩\_\_\_\_\_

#### 一、填空题（每空 1 分，共 14 分）

1. 在数字电路和计算机中，只有（ ）和（ ）两种符号来表示信息。
2. 时序逻辑电路由（ ）和（ ）组成。
3.  $(26.25)_{10} = ( )_2$ ;  $(5B)_{16} = ( )_8$
4.  $(305.1)_{10} = ( )_{8421BCD}$  = ( ) 余 3 码
5. 若  $X = -1010$ ，则  $[X]_{补} = ( )$
6. TTL 与非门的关门电平为 0.8V，开门电平为 1.9V，当其输入低电平为 0.3V，高电平为 3.2V 时，其输入低电平噪声容限  $V_{NL}$  为（ ），输入高电平噪声容限  $V_{NH}$  为（ ）。
7. JK 触发器的特征方程是（ ）。
8.  $F = AB + \bar{A}C + BC$  的反函数是（ ），对偶函数是（ ）。

#### 二、选择题（每题 2 分，共 16 分）

从下面每题的四个答案中选择唯一正确的答案填入括号中。

1. 能把缓变输入信号转换成矩形波的电路是（ ）。  
A. 单稳态触发器      B. 多谐振荡器  
C. 施密特触发器      D. 边沿触发器
2. 用 PLA 进行逻辑设计时，应将逻辑函数表达式变换成（ ）。  
A. 与非与非式      B. 异或表达式  
C. 最简与或式      D. 最简或与式
3. 在下列器件中，属于时序逻辑电路的是（ ）。  
A. 计数器      B. 译码器      C. 数据选择器      D. 全加器
4. 设计一个能存放 8 位二进制代码的寄存器，需要（ ）个触发器。  
A. 2      B. 3      C. 4      D. 8
5. 维持阻塞 D 触发器是时钟脉冲 CP 的（ ）触发的。

- A. 下降沿      B. 上升沿      C. 高电平      D. 低电平
6. 对完全给定原始状态表中的 6 个状态 A、B、C、D、E、F 化简, 若有 (AB)、(BC)、(EF) 等效, 则最简状态表中应有 ( ) 个状态。  
A. 4      B. 6      C. 3      D. 5
7. 组合逻辑电路的竞争险象是由 ( ) 引起的。  
A. 电路有多个输出      B. 电路中使用多种门电路  
C. 电路中存在延迟      D. 电路不是最简
8. 在 ( ) 电路中, 不允许两个或两个以上输入信号同时发生变化。  
A. 组合逻辑      B. 电平异步时序逻辑  
C. 脉冲异步时序逻辑      D. 以上都不是

### 三、证明题 (7 分)

$$\overline{AB} = \overline{A} + \overline{B}$$

### 四、化简题 (7 分)

把函数  $F(ABCD) = \sum m(1,4,10,12,14) + \sum d(3,6,7,15)$  化成最简与一或式。

### 五、分析题 (每小题 10 分, 共 20 分)

1. 分析图 1 所示由四选一多路选择器构成的组合逻辑电路。

- ① 写出 F 的表达式      ② 说明电路逻辑功能

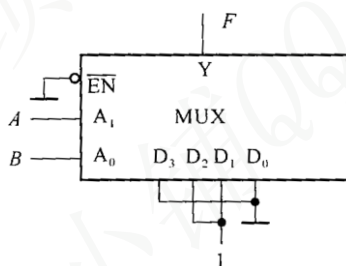


图 1

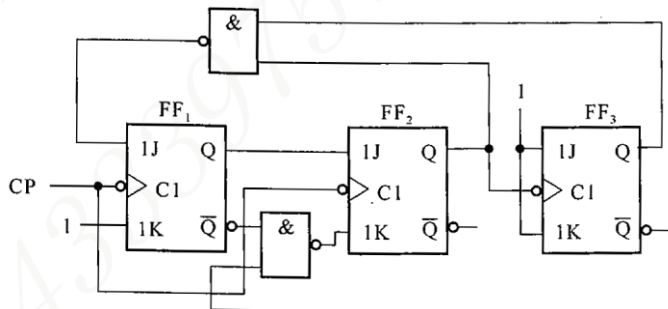


图 2

2. 分析图 2 所示异步时序逻辑电路

- ① 写出激励函数表达式      ② 作出状态表和状态图  
③ 画出 CP、Q3、Q2、Q1 的波形图      ④ 说明电路功能

### 六、设计题 (每小题 10 分, 共 20 分)

1. 作出三位二进制码奇检测器的 Mealy 模型原始状态图和状态表。当电路从串行输入端 X 接收的每 3 位一组的二进制代码中有奇数个 1 时, 输

出 Z 为 1，否则 Z 为 0。

2. 用 D 触发器作存储元件，设计能实现下列最简二进制状态表的同步时序逻辑电路。D 触发器激励表如下：

现 态		次态 $y_2^{n+1}y_1^{n+1}$				$Q \rightarrow Q^{n+1}$	D
		$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$		
$y_2$	$y_1$						
0	0	0 0	1 0	0 1	0 0	0	0
0	1	0 0	1 0	1 1	1 0	0	1
1	1	0 1	1 1	1 1	1 0	1	0
1	0	0 1	1 1	0 1	0 0	1	1

七、综合应用题（16 分）

用四位二进制同步可逆计数器 74193 和八选一数据选择器 74152 设计一个“01101011”序列发生器，循环产生该序列。序列中的最高位“0”是序列的第一位。  
（提示：首先把 74193 设计成八进制计数器，用其计数状态作八选一数据选择器的地址端，用要产生的序列位作数据选择器的数据输入端）

附：各集成电路逻辑符号

