# 课程设计任务一

## 任务要求

参考实验板手册，采用Maxplus 2 实现1位全加器设计

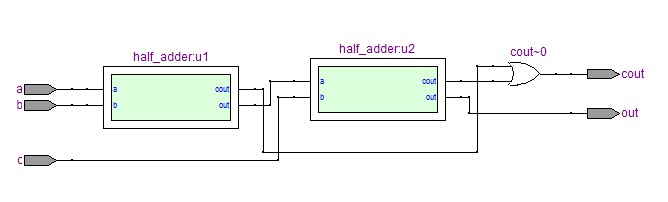
* 具有三个输入端口，，以及来自上一级全加器模块的进位C
* 开发与仿真平台：quartus II 9.0
* 具有
* **功能逻辑真值表如下：**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **input** | | | **output** | |
| A | B | C | Out | Cout |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

## 系统顶层设计

根据真值表以及三个数字的加法竖式运算可得，一位全加器可由两个一位半加器及一个或门构成。半加器应当具有a与b的加法功能（不考虑上级进位）。

RTL级电路如下图所示：



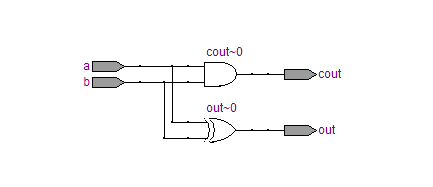
## 底层模块设计

* **半加器模块**

根据半加器所应实现的功能，列半加器真值表如下：

|  |  |  |  |
| --- | --- | --- | --- |
| Input |  |  | Output |
| A | B | Out | Cout |
| 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 |

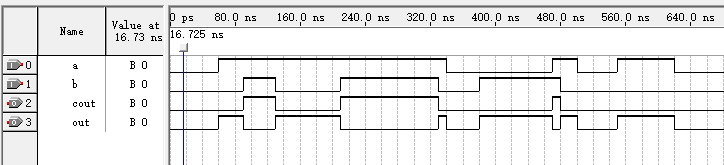
根据真值表设计得到的半加器RTL级电路如下：



## 仿真

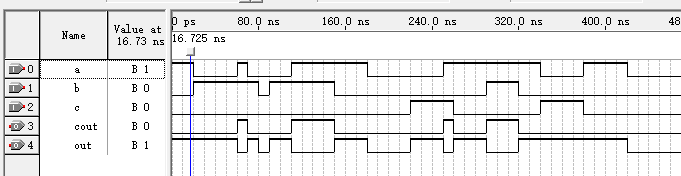
### 功能仿真

1. **半加器功能仿真：**



半加器的功能仿真可以看出满足设计要求

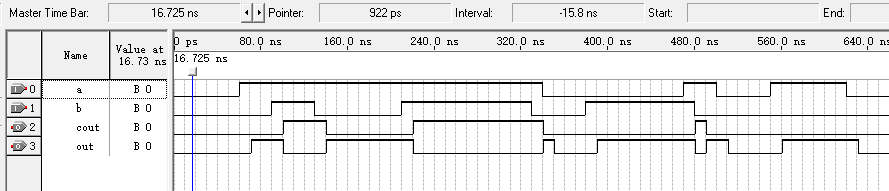
1. **全加器功能仿真：**



**从全加器的功能仿真来看满足设计要求**

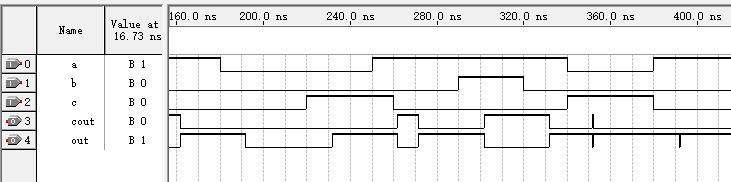
### 时序仿真

1. **半加器时序仿真：**



**可以看出由于所用的器件的速度不高，输入和输出之间存在10ns左右的延迟**

1. **全加器时序仿真：**



**同样由于器件速度的不高，产生了延迟甚至产生了毛刺现象，但由于脉冲时间非常短不产生效果**

## 硬件测试

### 管脚约束

### 硬件配置

# 课程设计任务二

## 任务要求

参考Quartus II 手册，采用 Quartus II (9.0) 实现4位全加器设计

## 系统顶层设计

## 底层模块设计

## 仿真

### 功能仿真

### 时序仿真

## 硬件测试

### 管脚约束

### 硬件配置

# 课程设计任务三

## 任务要求

* 采用Quartus II 实现一个包含2分频，4分频，8分频的分频器模块，编译并得出仿真结果
* 采用Quartus II 实现一个包含分频系数为12的分频器模块，编译后，分别得到功能仿真结果与时序仿真结果

## 系统顶层设计

## 底层模块设计

## 仿真

### 功能仿真

### 时序仿真

## 硬件测试

### 管脚约束

### 硬件配置

# 课程设计任务四

## 任务要求

根据要求设计一个数字秒表

### 功能要求：

1. 计时精度应大于1/100S，计时器能显示1/100S的时间，提供给定时器内部的定时的时钟应大于100Hz,这里选用1Khz。
2. 计时器的最大计时时间为1小时，为此需要6位的显示器，嫌弃的最长时间位59分59.99秒
3. 设置有复位和起/停开关，复位开关用来使计数器清零，做好计时准备。

起停开关的使用方法和传统的机械式计数器相同，即按一下，启动计时器开始计时，再按一下计时终止。

### 初始条件：

按键，时钟信号等。

### 设计实现方法：

自顶向下设计，自底向上实现；

### 编译及调试环境：

Quartus II 9.0

## 功能实现

## 系统顶层设计

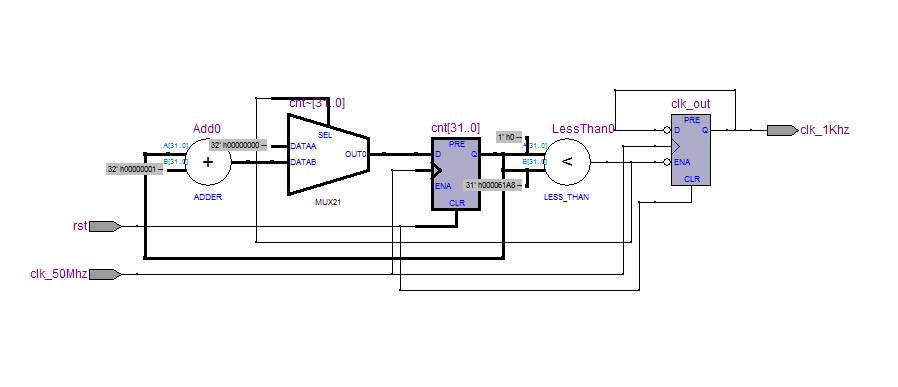
### 系统设计框图：

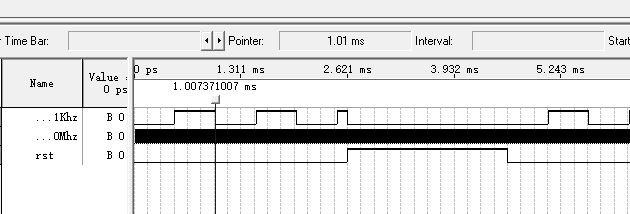
系统主要模块以及关系如下图所示，整个系统的时钟源来来自实验板供给的50Mhz时钟，经过预分频模块的分频可以得到准确1KHZ时钟后，时钟计数模块对时钟计数并且将计数值转化为相应的时分秒等单位，将数据流送往数码管输出模块进行输出。另外，按键触发通过按键处理模块之后得到相应的控制事件送往时钟计数模块进而控制数字时钟的模式。



## 底层模块设计

### 时钟分频模块





可以看到时钟分频模块能够分频出数字时钟所需要的1KHZ频率时钟且符合精度要求

### 时钟计数模块

## 完整系统的仿真

### 功能仿真

### 时序仿真

## 硬件测试

### 管脚约束

### 硬件配置