

计算机组成原理课程 习题课

冯帆

南开大学
嵌入式系统与信息安全研究室

- 作业答疑
- 汉明码的生成与校验
- IEEE754浮点数的表示和计算
- 流水线的评价指标
- Cache及其命中率
- 存储器的结构及虚拟存储器的管理

提前祝大家取得好成绩！

2019/04/26习题答疑：题目3.47

题目：下面C代码实现了一个4阶FIR滤波器，输入为数组 `sig_in`。设所有数组元素为16位定点数。假设你要面向一个具有SIMD指令集且有128位寄存器的处理器，用汇编语言优化该代码。在不知指令细节的情况下，简要介绍一下如何实现该代码，最大限度用字并行操作，并使寄存器和存储器间数据传送量最少。

```
for (i=3;i<128;i++)  
    sig_out[i] = sig_in[i-3]*f[0]+sig_in[i-2]*f[1]+sig_in[i-1]*f[2]+sig_in[i]*f[3]
```

汉明码的生成与校验

- 1、将原始数据0101（左边低位）配置汉明码（配偶原则）？
- 2、已知接收到的汉明码（左边低位）为0110101（配偶原则），请问欲传送的信息是什么？

1、将原始数据0101（左边低位）配置汉明码（配偶原则）？

$$2^r - 1 \leq n + r$$

...	12	11	10	9	8	7	6	5	4	3	2	1	位数
...	I8	I7	I6	I5		I4	I3	I2		I1			信息位
...					r3				r2		r1	r0	校验位

1	0	1	r2	0	r1	r0
---	---	---	----	---	----	----

	4	2	1
3	0	1	1
5	1	0	1
6	1	1	0
7	1	1	1

$$r0 = [3] \oplus [5] \oplus [7] = 0 \oplus 1 \oplus 1 = 0$$

$$r1 = [3] \oplus [6] \oplus [7] = 0 \oplus 0 \oplus 1 = 1$$

$$r2 = [5] \oplus [6] \oplus [7] = 1 \oplus 0 \oplus 1 = 0$$

$1 \oplus 1 = 0$
 $1 \oplus 0 = 1$
 $0 \oplus 1 = 1$
 $0 \oplus 0 = 0$

异或公式

1	0	1	0	0	1	0	→	0100101
---	---	---	---	---	---	---	---	---------

2、已知接收到的汉明码（左边低位）为0110101（配偶原则），请问欲传送的信息是什么？

$$2^r - 1 \leq n + r$$

接收到的汉明码**不一定**就是正确的，必须进行**校验确认**

$$n + r = 7$$

7	6	5	4	3	2	1
1	0	1	0	1	1	0

$$p0 = [1] \oplus [3] \oplus [5] \oplus [7] = 0 \oplus 1 \oplus 1 \oplus 1 = 1$$

$$p1 = [2] \oplus [3] \oplus [6] \oplus [7] = 1 \oplus 1 \oplus 0 \oplus 1 = 1 \quad p2p1p0 = 011 \rightarrow 3$$

$$p2 = [4] \oplus [5] \oplus [6] \oplus [7] = 0 \oplus 1 \oplus 0 \oplus 1 = 0$$



IEEE754浮点数的表示和计算

- 1、将十进制22.8125转为二进制，并使用IEEE754单精度表示？
- 2、计算十进制数 $9.999 * 10^1 + 1.610 * 10^{-1}$ ，假设只能存储4个十进制有效数以及2个十进制指数（不包括符号位）？

1、将十进制-22.8125转为二进制，并使用IEEE754单精度表示？

整数和小数分别转换

- 整数除以2，商继续除以2，得到结果0为止，将余数逆序排列。
- 小数乘以2，取整，小数部分继续乘以2，取整，得到小数部分0为止，将整数顺序排列。

整数

22 / 2	11	余 0
11 / 2	5	余 1
5 / 2	2	余 1
2 / 2	1	余 0
1 / 2	0	余 1

0.8125	x 2=1.625
0.625	x 2=1.25
0.25	x 2=0.5
0.5	x 2=1.0

取整 1	，小数部分是0.625
取整 1	，小数部分是0.25
取整 0	，小数部分是0.5
取整 1	，小数部分是0，结束

所以22的二进制是10110  0.8125的二进制是0.1101  10110.1101

① 第1位是数符s，s=1表示负数，s=0表示正数。

② 第2-9位为阶码E

③ 第10-32位为尾数M

$$-1^s * (1 + \text{小数部分}) * 2^{\text{指数}-\text{偏阶}}$$

$$10110.1101 = 1.01101101 * 2^4$$

$$-1^1 * (1 + 0.\textcolor{red}{01101101}0000 \dots 000) * 2^{4+127-127}$$

23位

1,1000 0011,0110 1101 0000 0000 0000 000

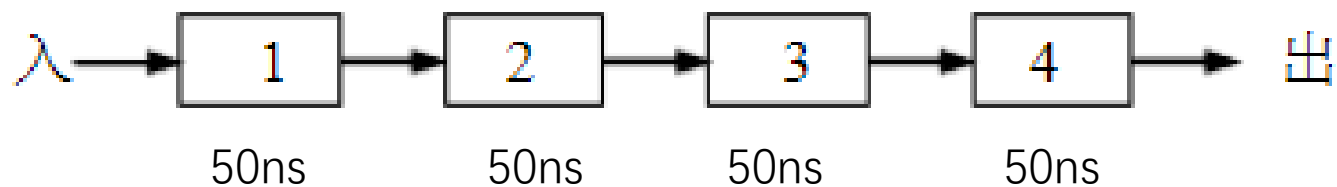
2、计算十进制数 $9.999 * 10^1 + 1.610 * 10^{-1}$ ，假设只能存储4个十进制有效数以及2个十进制指数（不包括符号位）？

- 对阶，较小指数的数向较大指数的数对齐（检查上下溢）
- 有效数相加
- 对求和结果进行移位（检查上下溢）
- 最右边的数四舍五入

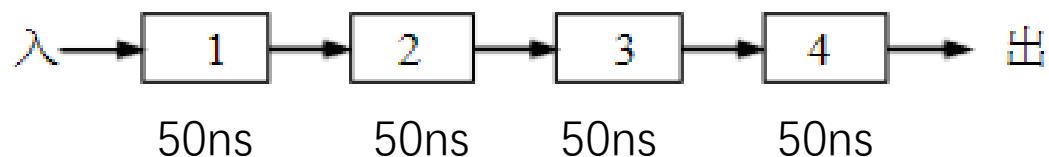
$$\begin{array}{r} 9.999 * 10^1 \\ 1.610 * 10^{-1} = 0.01610 * 10^1 = 0.016 * 10^1 \quad + \\ \hline 10.015 * 10^1 = 1.0015 * 10^1 = 1.002 * 10^2 \end{array}$$

推荐大家课后再看一下二进制浮点加法

流水线的评价指标



(1) 求连续输入 10 条指令，该流水线的实际吞吐率和效率；



(1) 求连续输入 10 条指令，该流水线的实际吞吐率和效率；

吞吐率：单位时间内流水线所完成的任务数量或输出结果的数量

$$TP = \frac{n}{T_k} = \frac{n}{(n + k - 1) * \Delta t} \text{ (在各段执行时间相等的情况下)} = \frac{10 * 50ns}{10 + 4 - 1}$$

效率：流水线上的设备利用率，即N个任务占用的时空区与K个流水段占用的总时空区之比

$$E = \frac{n * k * \Delta t}{k * T_k} = \frac{n}{(n + k - 1)} \text{ (在各段执行时间相等的情况下)} = \frac{10}{10 + 4 - 1}$$

加速比：完成同样一批任务，顺序执行所用的时间与使用流水线所用的时间之比

$$S = \frac{T_0}{T_k} = \frac{n * k}{(n + k - 1)} \text{ (在各段执行时间相等的情况下)} = \frac{10 * 4}{10 + 4 - 1}$$

Cache及其命中率

练习

1、计算机主存容量 8MB，分为 4096 个主存块，cache 有 64KB，请问若按照采用直接映射方式。

- 1) cache 有多少字块？
- 2) Cache 的字块内地址为多少位
- 3) Cache 的字块地址为多少位
- 4) 请写出该主存的地址格式
- 5) 若按照全相联映射方式请写出该主存的地址格式

解答：

- 1) 每字块大小为 $8\text{MB}/4096 = 2\text{KB}$,cache有 64KB ,cache 块的大小与主存的块大小一样，都为 2KB ，所以有 $64\text{KB}/2\text{KB}=32$ 个块
- 2) Cache 的字块与主存的字块一样大小都为 $2\text{KB}=2^{11}\text{B}$ ，所以 cache 的字块内地址为 11 位
- 3) Cache 有 $32\text{块}=2^5$ 所以 Cache 的字块地址为 5 位
- 4) 主存容量 $8\text{MB}=2^{23}\text{B}$ ，主存地址为 23 位，按直接映射方式的地址格式

主存标志位	Cache 块号	块内地址
7 位	5 位	11 位

- 5) 按照全相联映射方式请写出该主存的地址格式

主存标志位	块内地址
12 位	11 位

Cache及其命中率

一个存储系统由两级cache和主存储器组成，延迟时间分别为1个时钟周期、10个时钟周期和100个时钟周期。

每条指令平均访问存储器1.5次。在执行1000条指令过程中，访问第二级cache90次，访问主存储器36次。

问：

- (1) 第一级cache的命中率？
- (2) 第二级cache的命中率？
- (3) 访问一次存储器平均需要（）个时钟周期
- (4) 由访问存储器引起的执行每条指令平均停顿（）个时钟周期
- (5) 只考虑访问储存器的影响，CPI为？

①cache命中率:

在一个程序执行期间, 设 N_c 表示cache完成存取次数, N_m 表示主存完成存取次数, h 表示cache的命中率, 则:

$$h = \frac{N_c}{N_c + N_m}$$

首先, L1 Cache不命中才会访问L2 Cache, L2 Cache不命中才会访问主存, 所以

(1) $(1500 - 90) / 1500 = 94\%$

(2) $(90 - 36) / 90 = 60\%$

(3) $(1410 * 1 + 54 * 10 + 36 * 100) / 1500 = 3.7$

(4) $3.7 - 1.5 = 2.2$

(5) $(1410 * 1 + 54 * 10 + 36 * 100) / 1000 = 5.55$

CPI (Clock cycle Per Instruction) 表示执行某个程序的指令平均时钟周期数

$CPI = TC / IC$ (IC [instruction counter]表示某个程序的所有指令的条数; tc 表示执行某个程序所花费的时钟周期)

存储器的结构及虚拟存储器的管理

(1) cache为处理器提供了一个高性能的存储器层次结构。考虑下列 32 位存储器地址（字地址）： 3, 43, 190, 15。假设现有一个采用直接映射方式、容量为 8 个块的cache，块大小为 4 个字。假设cache初始为空，请填写下表，给出每个存储器地址在cache中对应的标记和索引，并判断cache访问命中/缺失。

字地址	二进制地址	标记（十进制）	索引（十进制）	命中/缺失
3	0...0（共24个） 0000 0011			
43	0...0（共24个） 0010 1011			
191	0...0（共24个） 1011 1111			
15	0...0（共24个） 0000 1111			

(2) 假设现在换成一个采用 3 路组相连方式、容量为 24 个字、采用 LRU 替换算法的 cache，块大小为 2 个字。请计算索引、标记、块偏移的位数，并填写下表中 cache 的内容（提示，地址 X 位于第 M 组 N 路，则在表格的对应位置填上地址 X 的值）。

索引的位数:

标记的位数:

块偏移的位数:

[illegible]

（3）给定如下的 4 项全相连初始TLB表和初始页表，页表的大小是 4KiB，考虑如下的虚拟地址流，采用LRU替换算法（规定LRU值越小越容易替换），请填写下列表格，并判断页的查找情况（命中/缺失/Page Fault）。

虚拟地址（十进制）	虚拟地址（二进制）
4669	0000 0000 0000 0000 0001 0010 0011 1101
2227	0000 0000 0000 0000 0000 1000 1011 0011
13916	0000 0000 0000 0000 0011 0110 0101 1100

初始TLB

有效位	标记位	物理页号	初始LRU值
1	11	1	3
1	7	4	2
1	3	6	4
0	4	2	1

初始页表

序号	有效位	物理页/磁盘上
0	1	5
1	0	磁盘
2	0	磁盘
3	1	6
4	1	2
5	1	1

虚拟地址（十进制）	页号（十进制）	命中/缺失/Page Fault
4669		
2227		
13916		

当虚拟地址13916到达后，TLB表的状态（若产生Page Fault，则对应的物理页号填“取决于操作系统”）：

有效位	标记位	物理页号	LRU值
1			
1			
1			
1			