浙江海洋大学2023- 2024 学年第 1 学期

《 计算机组成原理》课程期末考试卷A

（适用班级 A21数科 1、2 ）q­­ 考试时间：120分钟

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 一 | 二 | 三 | 四 | 五 | 六 | 七 | 八 | 九 | 十 | 总分 |
|  |  |  |  |  |  |  |  |  |  |  |

一、选择题（2\*20=40分）



1. 已知计算机A的时钟频率为800MHZ，假定某程序在计算机A上运行需要12s。现在硬件设计人员想设计计算机B，希望程序在B上的运行时间能缩短为8s，使用新技术后可使B的时钟频率在幅度提高，但在B上运行该程序所需要的时间周期数为在A上的1.5倍。那么，机器B的时钟频率至少应为（ ）才能达到所希望的要求。

A、 800MHz B、 1.2GHz C、 1.5GHz D、 1.8GHz

1. 下列选项中，能缩短程序执行时间的措施是（ ）。I.提高CPU时钟频率 II.优化数据通路结构 III.对程序进行编译优化。

A、 仅I B、 仅I、II C、 仅I、III D、 I、II、III

1. 关于总线的叙述，下列说法中正确的是（ ）
2. I.总线忙信号由总线控制器建立
3. II.计数器定时查询方式不需要总线同意信号
4. III.链式查询、计数器查询、独立请求方式所需控制线路由少到多排序是：链式查询、独立请求方式、计数器查询

A、 仅I、III B、 仅II、III C、 仅III D、 仅II

1. 某机器I/O设备采用异步传送方式传送字符信息，字符信息格式为1位起始位、8位数据位、1位检验位和1位停止位。若要求每秒传送640个字符，那么该设备的有效数据传输速率应为（ ）

A、 640b/s B、 640B/s C、 6400B/s D、 6400b/s

1. 下列关于ROM和RAM的说法中，错误的是（ ）。
2. I. CD-ROM是ROM的一种，因此只能写入一次
3. II. Flash快闪存储器属于随机存取存储器，具有随机存取的功能
4. III. RAM的读出方式是破坏性读出，因此读后需要再生
5. IV. SRAM读 不需要刷新，而DRAM读后需要刷新

A、 I、II B、 I、III、IV C、 II、III D、 I、II、III

1. 某计算机使用4体低位交叉编址存储器，假定在存储器产品线上出现的主存地址（十进制）序列为8005，8006，8007，8008，8001，8002，8003，8004，8000，则可能发生访存冲突的地址对是（ ）。

A、 8004和8008 B、 8002和8007 C、 8001和8008 D、 8000和8004

1. 某容量为256MB的存储器由若干4M\*8位的DRAM芯片构成，该DRAM芯片的地址引脚和数据引脚总数是（ ）

A、 19 B、 22 C、 30 D、 36

1. 容量为64块的Cache采用组相联映射方式，字块大小为128个字，每4块为一组。如果主存为4K块，且按字编址，那么主存地址和主存标记的位数分别为（ ）位

A、 16，6 B、 17，6 C、 18，8 D、 19，8

1. 若数据在存储器中采用以低字节地址为字地址的存放方式（小端存储），则十六进制数12345678H按自己地址由小到依次存为（ ）。

A、 12345678 B、 87654321 C、 78563412 D、 34127856

1. 在中断周期，CPU主要完成以下工作（ ）

A、 关中断，保护断点，发中断响应信号并形成中断服务程序入口地址

B、 开中断，保护断点，发中断响应信号并形成中断服务程序入口地址

C、 关中断，执行中断服务程序

D、 开中断，执行中断服务程序

1. 在统一编址的方式下，存储单元和I/O设备是靠（ ）来区分的。

A、 不同的地址码 B、 不同的地址线

C、 不同的指令 D、 不同的数据线

1. DMA方式的接口电路中有程序中断部件，其作用是（ ）

A、 实现数据传送

B、 向CPU提出总线使用权

C、 向CPU提出传输结束

D、 发中断请求

1. 若某设备中断请求的响应和处理时间为100ns，每400ns发出一次中断请求，中断响应所允许的最长延迟时间为50ns，则在该设备持续工作过程中，CPU用于该设备的I/O时间占整个CPU时间的百分比至少是（ ）。

A、 0.125 B、 0.25 C、 0.375 D、 0.5

1. float型数据通常用IEEE 754标准中的单精度浮点数格式表示，如果编译器将float型变量x分配在一个32位浮点寄存器FR1中，且x=-8.25，则FR1的内容是（ ）

A、 C104 0000H B、 C242 0000H C、 C184 0000H D、 C1C2 0000H

1. 假设变址寄存器R的内容为1000H，指令中的形式地址为2000H；地址1000H中的内容为2000H，地址2000H中的内容为3000H，地址3000H中的内容为4000H，则变址寻址方式下访问到的操作数是（ ）。

A、 1000H B、 2000H C、 3000H D、 4000H

1. 假设相对寻址的转移指令占2个字节，第一个字节为操作码，第二字节为位移量(用补码表示），每当CPU从存储器取出一个字节时，即自动完成（PC）+1->PC。若当前指令地址是3008H，要求转移到300FH,则该转移指令第二字节的内容应为（ ）；若当前指令地址为300FH,要求转移到3004H，则该转移指令的第二字节的内容为（ ）

A、 05H，F2H B、 07H，F3H C、 05H，F3H D、 07H，F2H

1. 下列对RISC的描述中，正确的有（ ）。

I.支持的寻址方式更多

II.大部分指令在一个机器周期内完成

III.通用寄存器数量多

IV.指令字长不固定

A、 I、IV B、 II、III C、 I、II、III D、 I、II、III、IV

1. 微程序控制器中，机器指令与微指令的关系是（ ）。

A、 一条机器指令由一条微指令来执行

B、 一条机器指令由一段用微指令编成的微程序来解释执行

C、 一段机器指令组成的程序可由一个微程序来执行

D、 每一条微指令由一条机器指令来解释执行

1. 微指令大体分为两类：水平微指令和垂直型微指令。下列几项中，不符合水平型微指令特点的是（ ）

A、 执行速度快

B、 并行度较低

C、 更多地体现了控制器的硬件细节

D、 微指令长度较长

1. 在无转发机制的5段基本流水线（取指、译码/读寄存器、运算、访存、写回寄存器）中，下列指令序列存在数据冒险的指令对是（ ）。

I1:add R1,R2,R3;(R2)+(R3)->R1

I2:add R5,R2,R4;(R2)+(R4)->R5

I3:add R4,R5,R3;(R5)+(R3)->R4

I4:add R5,R2,R6;(R2)+(R6)->R5

A、 I1和I2 B、 I2和I3 C、 I2和I4 D、 I3和I4

二、简答题（共40分）

1. 已知x=- 0.1011，y= 0.1011，用Booth算法求出x\*y的结果，要求列出计算过程。（5分）
2. 假设数据信息为10011001，请按 “偶校验”原则为其配置汉明码，要求写出计算过程。（5分）
3. 已知cache的存储周期为50ns，主存存储周期为200ns，假定CPU执行某段程序时，共访问cache的命中了2000次，访问主存100次，求 Cache/主存系统的命中率，效率和平均访问时间？（5分）
4. 某计算机CPU主频为1GHz，所连接的某外设的最大数据传输率为50kBps，该外设接有一个32位的数据缓存器，相应的中断服务程序的执行时间为800个时钟周期。请回答下列问题：

1)是否可用中断方式进行该外设的输入输出？若能的话，在该设备持续工作期间，CPU用于该设备进行输入/输出的时间占整个CPU时间的百分比大约为多少?（3分）

2)若该外设的最大数据传输率提高到8MBps，则可否用中断方式进行输入输出?若此时采用周期挪用DMA方式进行输入输出，每挪用一个周期传送一个32位数据，一次DMA传送完成1000字节的数据传送，DMA初始化和后处理的时间为2000个时钟周期，不考虑访存冲突，则CPU用于该设备进行输入輸出的时间占整个CPU时间的百分比大约为多少?（3分）

1. 某机有8条微指令I1～I8，每条微指令所包含的微命令控制信号如下表所示。a～j分别对应10种不同性质的微命令信号。请安排微指令的控制字段格式，使微指令长度尽量小。（6分）

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 微指令 | 微命令信号 | | | | | | | | | |
| **a** | **b** | **c** | **d** | **e** | **f** | **g** | **h** | **i** | **j** |
| **I1** | √ |  |  | √ |  |  |  |  |  |  |
| **I2** |  |  | √ |  |  |  | √ |  | √ |  |
| **I3** |  | √ |  |  |  | √ |  | √ |  |  |
| **I4** | √ |  |  |  |  |  |  |  |  | √ |
| **I5** |  |  | √ |  | √ |  |  |  | √ |  |
| **I6** | √ |  |  | √ |  |  |  |  |  | √ |
| **I7** | √ |  | √ |  |  |  |  |  |  |  |
| **I8** |  | √ |  |  |  | √ |  | √ |  |  |

1. 设某机有5级中断：L0、L1、L2、L3、L4，其中断响应优先次序为：L0最高，L1次之……L4最低。现在要求将中断处理次序改为（从高->低）：

L2→L4→L0→L3→L1，试问：

1. 各级中断服务程序中的中断屏蔽码应如何设置（设每级对应一位，当该位为“0”，表示中断允许；当该位为“1”，表示中断屏蔽）？（5分）

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 中断处理程序 | 中断处理级屏蔽位 | | | | |
| L0级 | L1级 | L2级 | L3级 | L4级 |
| L0中断处理程序 | 1 | 1 | 0 | 1 | 0 |
| L1中断处理程序 | 0 | 1 | 0 | 0 | 0 |
| L2中断处理程序 | 1 | 1 | 1 | 1 | 1 |
| L3中断处理程序 | 0 | 1 | 0 | 1 | 0 |
| L4中断处理程序 | 1 | 1 | 0 | 1 | 1 |

1. 若这5级中断同时都发出中断请求，试画出进入各级中断处理过程示意图。（3分）
2. 某机主存容量为4M\*16位，且存储字长等于指令字长，若该机指令系统可完成100种操作，操作码位数固定，且具有直接、间接、变址、基址、相对、立即等六种寻址方式，试回答以下问题。（每小题1分共5分）

（1）画出一地址指令格式并指出各字段的作用。

（2）计算该指令直接寻址的最大范围和相对寻址的范围（十进制表示）。

（3）一次间接寻址的寻址范围。

（4）如何修改指令格式，使指令的寻址范围可扩大到4M？

（5）若要有利于多道程序设计该选择哪种寻址方式？有利于数组访问该选择哪种寻址方式？

三、设计题（每题10分，共20分）

1、设CPU共有16根地址线，8根数据线，并用MREQ (低电平有效)作访存控制信号，R/W作读写命令信号(高电平为读,低电平为写)。现有下列存储芯片:

RAM：1K×4位，8K×8位，16K\*1位，4K\*4位；

ROM：1K×8位，2K×8位，8K×8位，32K×8位；

及74LS138译码器和各种门电路。

要求：主存地址空间分配：从4000H地址开始的12K地址空间为用户程序区，最高地址的6K地址空间为系统程序区;

试从上述规格中选用合适芯片，画出CPU和存储芯片的连接图｡

1. 指出选用的存储芯片类型及数量；（2分）
2. 详细画出片选逻辑｡（8分）

2、参见下图的数据通路。画出存数指令“STO Rl，(R2)”的指令周期流程图，其含义是将寄存器Rl的内容传送至(R2)为地址的主存单元中。

取指阶段：（3分）

|  |  |  |
| --- | --- | --- |
| 时钟 | 功能 | 有效控制信号 |
| C1 | (PC) –>AR  R | PCo, G,ARi，R |
| C2 | DR->IR | DRo,G,IRi |
| C3 | Pc+1 |  |
| C4 |  |  |

执行阶段：（7分）

|  |  |  |
| --- | --- | --- |
| 时钟 | 功能 | 有效控制信号 |
| C1 | R2->AR | R2o,G,ARi |
| C2 | R1->DR | R1o,G,DRi, |
| C3 | W | W |
| C4 |  |  |
| C5 |  |  |
| C6 |  |  |
| C7 |  |  |

