

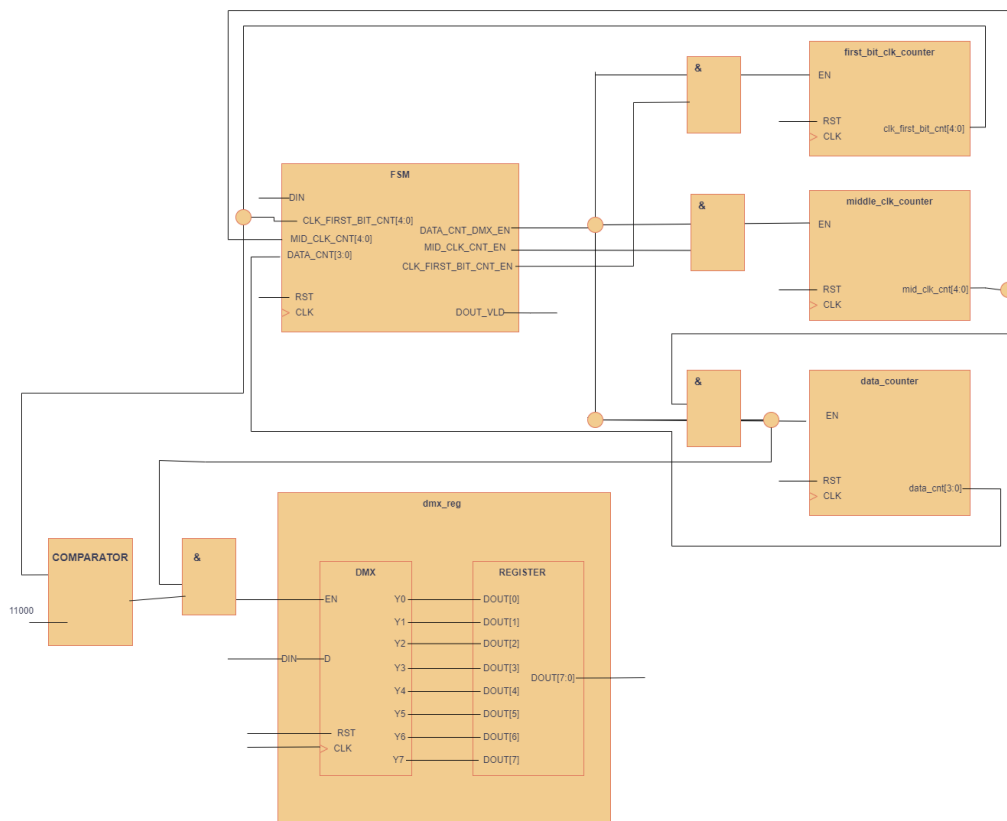
Výstupní zpráva

Jméno: Zdebska Kateryna

Login: xzdebs00

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

Můj RTL obvod se skládá z:

FSM, dmux_reg : spojení REGISTER a DEMULTIPLEXOR, AND hradlo x4, COMPARATOR a počítadla x3(middle_clk_counter, data_counter, first_bit_clk_counter).

FSM - 6 vstupu, 4 výstupy. Má 5 stavu. Podrobný popis níže.

dmux_reg - zkopíruje hodnoty z DIN do jednoho signálu DOUT.

REGISTER - Ukládá hodnoty z DMX po bitech do jednoho výstupu DOUT.

DEMULTIPLEXOR - správně ukládá každý obdržený bit z DIN do výstupu podle adres.

middle_clk_counter - Taktuje na střed jednoho signálu a slouží k pravidelnému načítání dat z DIN.

data_counter - počítá počet načtených bitů.

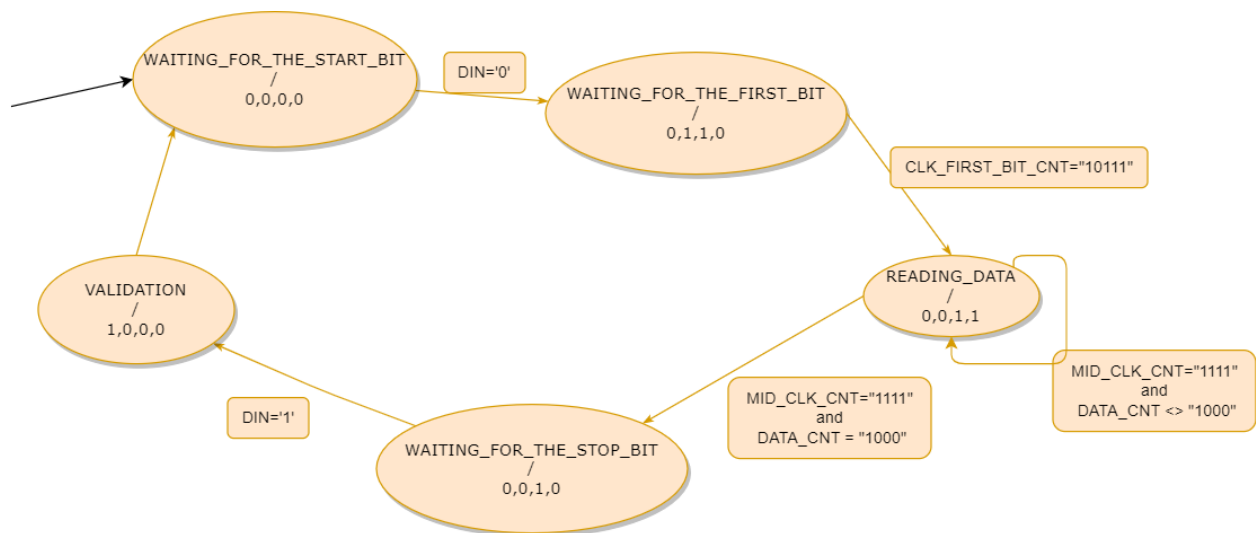
first_bit_clk_counter - počítá prvních 24 taktů signálu pro správné načtení prvního bitu po startu z DIN.

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda:

- Stavy automatu: WAITING FOR THE START BIT, WAITING FOR THE FIRST BIT, READING_DATA, WAITING_FOR_THE_STOP_BIT, VALIDATION
- Vstupní signály: DIN, CLK_FIRST_BIT_CNT, MID_CLK_CNT, DATA_CNT
- Moorovy výstupy: DOUT_VLD, CLK_FIRST_BIT_CNT_EN, MID_CLK_CNT_EN, DATA_CNT_DMX_EN.



Popis funkce

Prvním stavem automatu je WAITING FOR THE START BIT. Během tohoto stavu automat čeká, až přijde START bit - 0 na vstup DIN. Pokud přišel START bit (DIN = '0'), automat přechází do dalšího stavu WAITING FOR THE FIRST BIT, kde předává signály CLK_FIRST_BIT_CNT_EN a MID_CLK_CNT_EN čítačům pro spuštění počítání hodinových taktů, a také na vstup čeká 24 hodinové cykly, aby mohl číst data ve středu signálu, protože START bit byl načten z jeho začátku a jeden takt trvá 16 hodinových cyklů. Po uplynutí 24 hodinových cyklů (CLK_FIRST_BIT_CNT = "11000") automat přechází do stavu READING_DATA, kde předává signál DATA_CNT_DMX_EN DMX a registrů pro zahájení jejich činnosti a ukončí počítání taktů pro první bit. Take automat čte první a každou následující hodnotu po 16 cyklech, dokud počítadlo přečtených dat nedosáhne hodnoty 8 (MID_CLK_CNT="1111" and DATA_CNT <> "1000"). To znamená že bylo přečteno 8 bitů a v tomto případě (MID_CLK_CNT = "1111" and DATA_CNT = "1000") automat přechází do stavu WAITING FOR THE STOP_BIT kde je předán pouze jeden signál čítači v polovině taktu. Během tohoto stavu automat čeká, až přijde STOP bit - 1 na vstup "DIN". Znamená to, že jsme dokončili čtení a přecházíme do stavu VALIDATION, kde odešleme jeden signál - 1 na výstup DOUT_VLD, což znamená, že ověření bylo úspěšné. Poté se automat vrátí do svého počátečního stavu a vynuluje všechny své outputy.

Snímek obrazovky ze simulací

