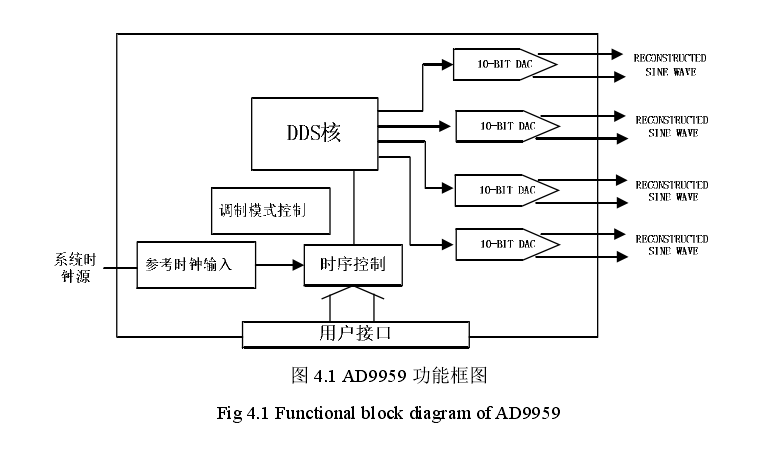
**AD9959实现调频调幅调相的主要思路**

AD9959初始化（配置io口的模式 频率什么的）➡根据时序写地址和写数据（查看芯片手册的模式部分的时序根据时序写入地址和数据，地址由寄存器部分查看地址和功能）➡上层输入地址和需求幅度和频率







**正文**

**AD9959操作理论**

**总述**

AD9959由四个直接数字合成器（DDS）内核组成，可在每个通道上提供独立的频率，相位和幅度控制。这种灵活性可用于校正由于模拟处理（例如滤波，放大或与PCB布局相关的不匹配）而导致的信号之间的不平衡。

因为所有通道共享一个公共系统时钟，所以它们本质上是同步的。支持多个设备的同步。

AD9959最多可以对频率，相位或幅度（FSK，PSK，ASK）进行16级调制。通过将数据应用到配置文件引脚来执行调制。此外，AD9959还支持频率，相位或幅度的线性扫描，适用于雷达和仪表等应用。AD9959串行I / O端口提供多种配置，以提供极大的灵活性。串行I / O端口提供SPI兼容的操作模式，该模式实际上与早期的Analog Devices，Inc. DDS产品中的SPI操作相同。

四个数据引脚（SDIO\_0 / SDIO\_1 / SDIO\_2 / SDIO\_3）提供了灵活性，它们允许四种可编程模式的串行I / O操作。

AD9959采用先进的DDS技术，可提供低功耗和高性能。该器件集成了四个集成的高速10位DAC，具有出色的宽带和窄带SFDR。每个通道都有一个专用的32位频率调谐字，14位相位偏移和一个10位输出比例乘法器。

DAC输出以电源为基准，并且必须通过电阻或AVDD中心抽头变压器端接到AVDD。每个DAC都有自己的可编程基准，以使每个通道具有不同的满量程电流。

DDS用作高分辨率分频器，REFCLK作为输入，而DAC提供输出。 REFCLK输入源是所有通道共用的，可以直接驱动，也可以与集成的REFCLK乘法器（PLL）结合使用，最高可达500 MSPS。

PLL倍增系数可在4到20的范围内以整数步进行编程。 REFCLK输入还具有一个振荡器电路，以支持外部晶体作为REFCLK源。

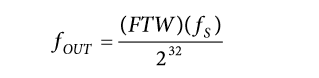
晶体必须在20 MHz和30 MHz之间。该晶体可与REFCLK乘法器结合使用。

AD9959采用节省空间的56引脚LFCSP封装。DDS内核（AVDD和DVDD引脚）由1.8 V电源供电。数字I / O接口（SPI）的工作电压为3.3 V，要求将DVDD\_I / O（引脚49）连接到3.3 V.AD9959的工业温度范围为−40°C至+ 85°C

**DDS芯片**

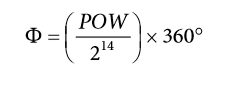
AD9959具有四个DDS内核，每个内核均由一个32位相位累加器和相-幅度转换器组成。当相位累加器被计时并且相位增量值（频率调谐字）大于0时，这些数字模块一起生成数字正弦波。相-幅值转换器同时通过cos（θ）将相位信息转换为幅度信息。

每个DDS通道的输出频率（fOUT）是每个相位累加器的翻转率的函数。 下式给出了确切的关系：



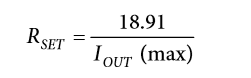
其中：fS是系统时钟速率。 FTW是频率调谐字，并且为0≤FTW≤231。232表示相位累加器容量。 因为所有四个通道共享一个公共系统时钟，所以它们本质上是同步的。

DDS核心架构还支持对输出信号进行相位偏移的功能，该功能由通道相位偏移字（CPOW）执行。 CPOW是一个14位寄存器，用于存储相位偏移值。 该值被加到相位累加器的输出上，以补偿输出信号的当前相位。 每个通道都有其自己的相位偏移字寄存器。 此功能可用于将所有通道以彼此之间已知的相位关系放置。 相位偏移的确切值由以下公式给出：

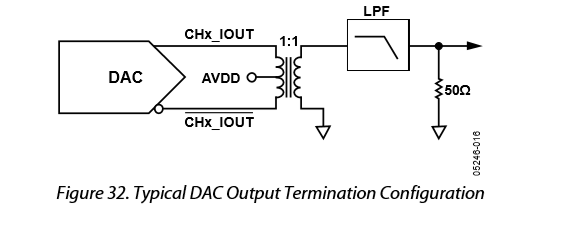


**数字到模拟转换器（DAC）**

AD9959内置四个10位电流输出DAC（数模转换器）。 DAC将数字代码（幅度）转换为离散的模拟量。 可以将DAC电流输出当作具有高输出阻抗（通常为100kΩ）的电流源。 与许多DAC不同，这些电流输出需要通过电阻或中心抽头变压器端接到AVDD，以实现预期的电流。 每个DAC具有互补的输出，可提供合并的满量程输出电流（IOUT + IOUT拔）。 输出始终吸收电流，并且它们的总和在任何时间点都等于满量程电流。 满量程电流通过外部电阻（RSET）和“工作模式”部分中讨论的可扩展DAC电流控制位来控制。 电阻RSET连接在DAC\_RSET引脚和模拟地（AGND）之间。 满量程电流与电阻值成反比，如下所示：



组合DAC输出的最大满量程输出电流为15 mA，但将输出限制为10 mA可提供最佳的无杂散动态范围（SFDR）性能。 DAC输出电压合规范围为AVDD + 0.5 V至AVDD-0.5V。超过该范围产生的电压可能会引起过多的谐波失真。 应适当注意负载终端，以将输出电压保持在其合格范围内。 超过此范围可能会损坏DAC输出电路。



**工作模式**

AD9959可以同时执行多种模式组合（例如，单调，调制，线性扫描）。但是，某些模式需要多个数据引脚，这可能会带来限制。下列指南可帮助确定AD9959是否可以同时执行特定的模式组合。

**通道约束准则**

•可以同时在任何通道和任何组合上启用单音模式，两级调制模式和线性扫描模式。

•任何一个或两个通道的任意组合都可以执行四级调制。其余通道可以处于单音模式。

•任何通道都可以执行八级调制。其余三个通道可以处于单音模式。

•任何通道都可以执行16级直接调制。其余三个通道可以处于单音模式。

•RU / RD功能可以在单音模式下的所有四个通道上使用。有关RU / RD功能的信息，请参见“输出幅度控制模式”部分。

•当配置文件引脚P2和配置文件引脚P3用于RU / RD时，任意两个通道可以使用RU / RD执行两级调制，或者任意两个通道可以使用RU / RD执行线性频率或相位扫描。其他两个通道可以处于单音模式。

•当配置文件引脚P3用于RU / RD时，任何通道均可用于RU / RD的八级调制。其他三个通道可以处于单音模式。

•当SDIO\_1，SDIO\_2和SDIO\_3引脚用于RU / RD时，任何一个或两个通道，任何三个通道或所有四个通道都可以使用RU / RD执行两级调制。不在两级调制中的任何通道都可以处于单音模式。

•当SDIO\_1，SDIO\_2和SDIO\_3引脚用于RU / RD时，任何一个或两个通道都可以使用RU / RD执行四级调制。未采用四级调制的任何通道都可以处于单音模式。

•当SDIO\_1，SDIO\_2和SDIO\_3引脚用于RU / RD时，任何通道都可以使用RU / RD执行16级调制。其他三个通道可以处于单音模式。

•幅度调制，线性幅度扫描模式和RU / RD功能不能同时运行，但是频率和相位调制可以作为RU / RD功能同时运行。

**供电**

AVDD和DVDD电源引脚为DDS内核提供电源并支持模拟电路。 这些引脚连接到1.8 V标称电源。 DVDD\_I / O引脚连接到3.3 V标称电源。 除CLK\_MODE\_SEL输入外，所有数字输入均为3.3 V。 CLK\_MODE\_SEL（引脚24）是模拟输入，应通过1.8 V逻辑进行操作。

**单音模式**

单音模式是主机复位信号后的默认操作模式。在此模式下，四个DDS通道共用频率调谐字（寄存器0x04）和相位偏移字（寄存器0x05）地址。通道使能位与这些共享地址结合在一起提供。结果，可以在通道之间独立编程频率调谐字和/或相位偏移字（请参见以下步骤1至步骤5）。通道启用位不需要I / O更新即可启用或禁用通道。

有关通道选择寄存器（CSR，寄存器0x00）中的通道使​​能位的描述，请参见“寄存器和位描述”部分。写入CSR数据字节后立即启用或禁用通道使能位。

如果需要，地址共享使通道可以同时写入。默认状态启用所有通道启用位。因此，频率调谐字和/或相位偏移字是所有通道共用的，但只能通过串行I / O端口写入一次。以下步骤介绍了一种基本协议，可使用通道使能位为每个通道编程不同的频率调谐字和/或相位偏移字。

1.接通器件的电源并发出主复位。主复位将器件置于单音模式和单比特模式，以进行串行编程操作（请参见“串行I / O操作模式”部分）。此时，频率调谐字和相位偏移字默认为0。

2.仅使能一个通道使能位（寄存器0x00），并禁用其他通道使能位。

3.使用串行I / O端口，为启用的通道编程所需的频率调谐字（寄存器0x04）和/或相位偏移字（寄存器0x05）。

4.对每个通道重复步骤2和步骤3。

5.发送一个I / O更新信号。 I / O更新后，所有通道均应输出其编程的频率和/或相位偏移值。

**单音模式—匹配的管道延迟**

在单音模式下，AD9959可为所有频率，相位和幅度变化提供与DAC输入匹配的流水线延迟。 这样避免了必须为此类应用处理三个输入端口之间的不同流水线延迟。 通过声明在通道功能寄存器（CFR，寄存器0x03）中找到的匹配管道延迟有效位来启用该功能。 此功能仅在单音模式下可用。

**参考时钟模式**

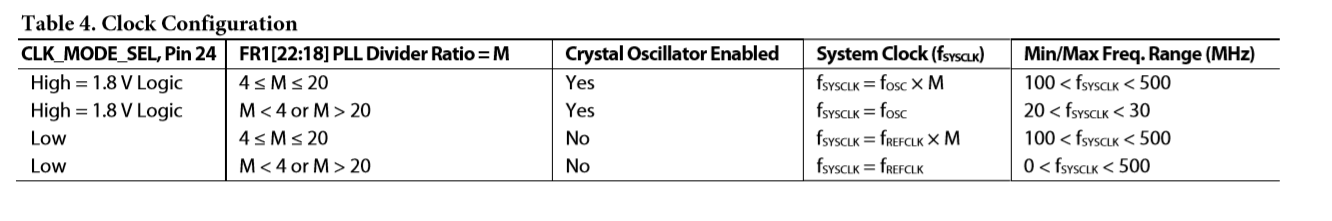
AD9959支持多种基准时钟配置，以生成内部系统时钟。作为使用高频时钟源直接为器件计时的替代方法，可以使用内部基于PLL的参考时钟乘法器生成系统时钟。片上振荡器电路还可通过将晶体连接到时钟输入引脚来提供低频参考信号。启用这些功能使该器件可以使用低频时钟源工作，并且仍为DDS和DAC提供高更新速率。但是，使用时钟倍频器会改变输出相位噪声特性。为了获得最佳的相位噪声性能，需要具有高摆率的干净，稳定的时钟（请参见图17和图18）。

使能PLL可使参考时钟频率从4倍增至20倍，并以整数步长递增。 PLL乘法值由5位乘法器值表示。这些位位于功能寄存器1（FR1，寄存器0x01）的位[22:18]中（请参见寄存器映射和位描述部分）。

当FR1 [22:18]的值设置为4到20（十进制）时，时钟倍频器使能。寄存器中的整数值代表乘法因子。使能了时钟倍频器的系统时钟速率等于参考时钟速率乘上乘法因子。如果将FR1 [22:18]的值编程为小于4或大于20，则禁用时钟乘法器，并且乘法因子有效为1。

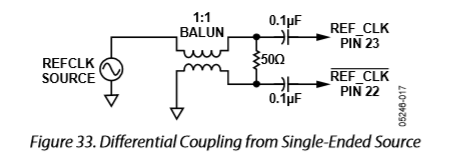
无论何时启用PLL时钟乘法器或更改乘法值，都应设置时间。允许锁定PLL（通常为1 ms）。请注意，PLL的输出频率限制为100 MHz至500 MHz的频率范围。但是，必须适当使用一个VCO增益控制位。 VCO增益控制位定义了两个频率输出范围（低/高）。 VCO增益控制位默认为低（有关详细信息，请参见表1）。

PLL中的电荷泵电流默认为75μA。 此设置通常会产生最佳的相位噪声特性。 电荷泵电流的增加可能会降低相位噪声，但会减少锁定时间并改变环路带宽。 通过将CLK\_MODE\_SEL（引脚24）驱动为逻辑高电平（1.8 V逻辑）来使能片上晶振。 使能片上振荡器后，就可以将外部晶体连接到REF\_CLK和REF\_CLK输入，从而产生低频参考时钟。 晶体的频率必须在20 MHz至30 MHz的范围内。 表4总结了时钟的工作模式。 有关更多详细信息，请参见表1。

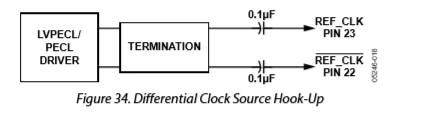


**参考时钟输入电路**

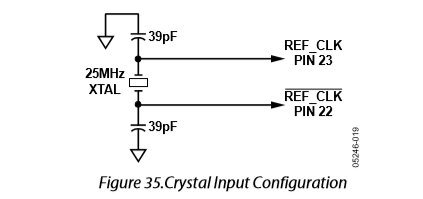
参考时钟输入电路具有两种工作模式，由引脚24的逻辑状态（CLK\_MODE\_SEL）控制。 第一种模式（逻辑低电平）配置为输入缓冲区。 在这种模式下，由于内部直流偏置，参考时钟必须交流耦合到输入。 此模式支持差分或单端配置。 如果选择单端模式，则应通过一个0.1 F电容将互补参考时钟输入（引脚22）去耦至AVDD或AGND。 图33至图35给出了AD9959的典型参考时钟配置。



参考时钟输入还可以支持LVPECL或PECL驱动器作为参考时钟源

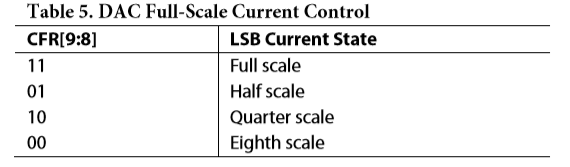


第二种工作模式（引脚24 =逻辑高= 1.8 V）为晶体工作提供了一个内部振荡器。 在这种模式下，两个时钟输入均通过晶振引线进行直流耦合，并被旁路。 支持的晶体频率范围是20 MHz至30 MHz。 图35显示了使用晶振的配置。



**可缩放DAC参考电流控制模式**

RSET是所有四个DAC共有的。 结果，默认情况下，满量程电流相等。 可缩放的DAC参考可用于设置彼此独立的每个DAC的满量程电流。 这是通过使用寄存器CFR [9：8]位完成的。 表5显示了如何分别缩放每个DAC以实现独立的通道控制。 这种缩放提供了二进制衰减。



**掉电功能**

AD9959支持外部控制的掉电功能，以及以前的ADI公司DDS产品中更常见的软件可编程掉电位。 通过软件控制掉电，可以通过唯一的控制位（CFR [7：6]）分别关闭输入时钟电路，DAC和数字逻辑（对于每个单独的通道）。 当外部控制的掉电引脚（PWR\_DWN\_CTL）为高电平时，这些位无效。 当输入引脚PWR\_DWN\_CTL为高电平时，AD9959根据FR1 [6]位进入掉电模式。 当PWR\_DWN\_CTL输入引脚为低电平时，外部掉电控制无效。 当FR1 [6] = 0且PWR\_DWN\_CTL输入引脚为高电平时，AD9959进入快速恢复掉电模式。 在这种模式下，数字逻辑和DAC数字逻辑掉电。 DAC偏置电路，PLL，振荡器和时钟输入电路未掉电。

当FR1 [6] = 1且PWR\_DWN\_CTL输入引脚为高电平时，AD9959进入完全掉电模式。 在此模式下，所有功能都将关闭。 这包括DAC和PLL，这需要花费大量时间才能上电。 当PLL被旁路时，PLL被关闭以节省功率。 当PWR\_DWN\_CTL输入引脚为高电平时，各个掉电位（CFR [7：6]和FR1 [7]）无效（无关紧要）并且未使用。 当PWR\_DWN\_CTL输入引脚为低电平时，各个掉电位控制掉电操作模式。

请注意，所有掉电信号的设计都使逻辑1指示低功耗模式，逻辑0指示上电模式。

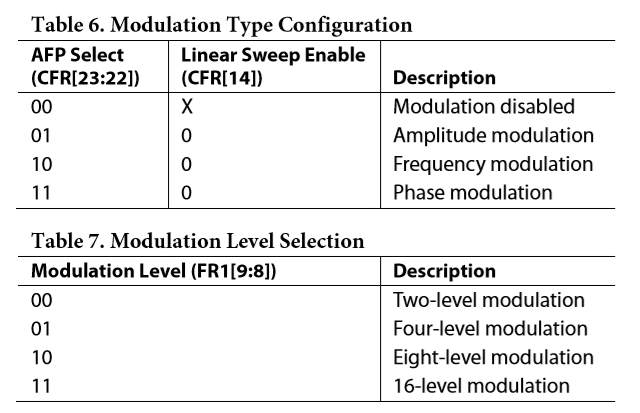
**调制模式**

AD9959可执行频率，相位或幅度的2- / 4- / 8- / 16级调制。调制是通过将数据应用于配置文件引脚来实现的。每个通道可以单独编程，但是同时配置多个通道的能力受到配置引脚数量有限的限制。例如，16级调制使用所有四个配置文件引脚，这会抑制三个通道的调制。

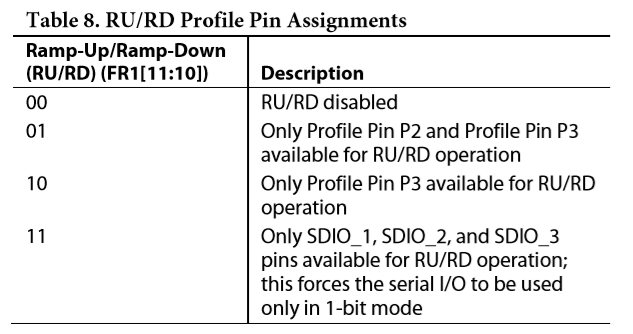
此外，AD9959能够在调制（仅FSK，PSK）序列之前，之中或之后增大或减小输出幅度。这是通过使用10位输出标量执行的。如果需要RU / RD功能，则可以将未使用的配置文件引脚或未使用的SDIO\_1 / SDIO\_2 / SDIO\_3引脚配置为启动操作。有关RU / RD功能的更多详细信息，请参见“输出幅度控制模式”部分。

在调制模式下，每个通道都有自己的一组控制位，以确定调制的类型（频率，相位或幅度）。每个通道具有16个配置文件（通道字）寄存器，以提高灵活性。寄存器0x0A至寄存器0x18是用于调制频率，相位或幅度的配置文件寄存器。寄存器0x04，寄存器0x05和寄存器0x06分别是频率，相位和幅度的专用寄存器。这些寄存器包含第一个频率，相位偏移和幅度字。调频具有32位分辨率，相位调制为14位，幅度为10位。调制相位或幅度时，字值必须在配置文件（通道字）寄存器中以MSB对齐，并且未使用的位是无关位。

在调制模式下，对幅度频率相位（AFP）选择位（CFR [23:22]）和调制电平位（FR1 [9：8]）进行编程，以配置调制类型和电平（请参见表6和表7） 。 注意，在直接调制模式下，线性扫描使能位必须设置为逻辑0。



调制时，可以根据可用于控制功能的引脚来限制RU / RD功能。 SDIO\_x引脚仅用于RU / RD，不适用于调制

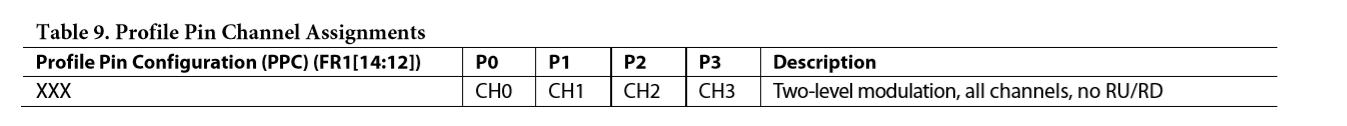


如果将配置引脚用于RU / RD，则逻辑0用于斜升，逻辑1用于斜降。

由于可用通道的数量和数据引脚的数量有限，必须将配置文件引脚和/或SDIO\_1，SDIO\_2和SDIO\_3引脚分配给专用通道。这由配置引脚配置（PPC）位（FR1 [14:12]）控制。以下每个调制描述均包含数据引脚分配。

**两级调制-无RU / RD**

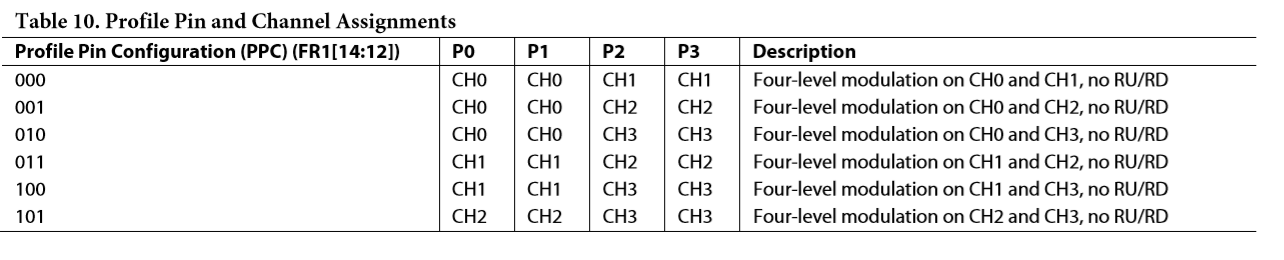
调制级别位（FR1 [9：8]）设置为00（两级）。 AFP选择位（CFR [23:22]）设置为所需的调制类型。 RU / RD位（FR1 [11:10]）和线性扫描使能位（CFR [14]）被禁用。表9显示了配置引脚和通道的分配方式。



如表9所示，仅配置文件引脚P0可以用于调制通道0。如果选择了频率调制并且配置文件引脚P0为逻辑0，则选择通道频率调谐字0（寄存器0x04）；否则，将选择通道0。如果配置文件引脚P0为逻辑1，则选择通道字1（寄存器0x0A）。

**四级调制-无RU / RD**

调制级别位设置为01（四级）。 AFP选择位（CFR [23:22]）设置为所需的调制类型。 RU / RD位（FR1 [11:10]）和线性扫描使能位（CFR [14]）被禁用。请注意，由于缺少配置文件引脚，其他两个未使用的通道应将其AFP选择位设置为00。表10显示了配置文件引脚和通道如何相互分配。



对于表10中的条件，选择的配置文件（通道字）寄存器基于提供给配置文件引脚[P0：P1]或配置文件引脚[P2：P3]的2位值。

例如，如果PPC = 010，[P0：P1] = 11，并且[P2：P3] = 01，则通道0的通道字3寄存器的内容将显示到通道0的输出中，并且通道3的通道字1寄存器提供给通道3的输出。

**八级调制-无RU / RD**

调制级别位（FR1 [9：8]）设置为10（八级）。 AFP选择位（CFR [23:22]）设置为非零值。 RU / RD位（FR1 [11:10]）和线性扫描使能位（CFR [14]）被禁用。请注意，必须将未使用的三个通道的AFP选择位设置为00。表11给出了配置引脚和通道的分配。

对于表11中的条件，通道字寄存器的选择基于提供给配置引脚[P0：P2]的3位值。例如，如果PPC = X10并且[P0：P2] = 111，则通道2的通道字7寄存器的内容将显示在通道2的输出中。

**16级调制-无RU / RD**

调制级别位（FR1 [9：8]）设置为11（16级）。 AFP选择位（CFR [23:22]）设置为所需的调制类型。 RU / RD位（FR1 [11:10]）和线性扫描使能位（CFR [14]）被禁用。必须将未使用的三个通道的AFP选择位设置为00。表12显示了配置引脚和通道的分配方式。

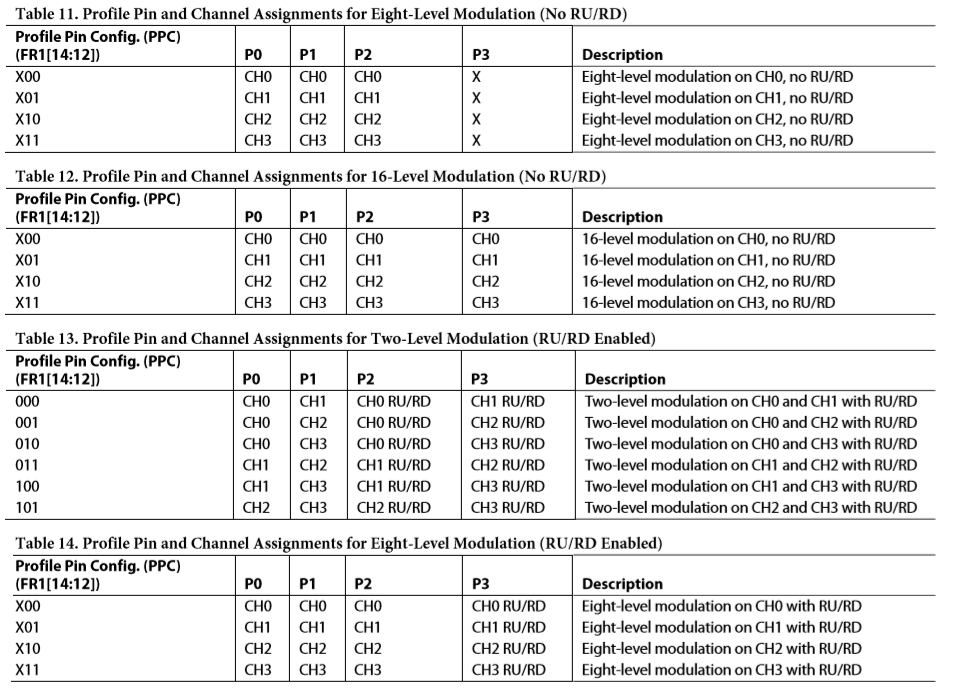
对于表12中的条件，选择的配置寄存器基于提供给配置引脚[P0：P3]的4位值。 例如，如果PPC = X11并且[P0：P3] = 1110，则通道3的通道字14寄存器的内容将显示给通道3的输出。

**使用配置引脚的RU / RD进行两级调制**

当RU / RD位= 01时，配置文件引脚P2和配置文件引脚P3可用于RU / RD。 请注意，在此模式下，只有两个调制级别可用。 有关可用的引脚分配，请参见表13。

**使用配置引脚的RU / RD进行八级调制**

当RU / RD位= 10时，配置文件引脚P3可用于RU / RD。 请注意，在此模式下，只有八个调制级别可用。 有关可用的引脚分配，请参见表14。

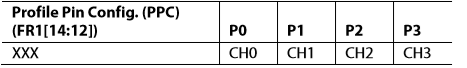


**使用SDIO\_x引脚对RU / RD进行调制**

对于RU / RD位= 11，SDIO\_1，SDIO\_2和SDIO\_3引脚可用于RU / RD。 在此模式下，调制级别为2、4和16。 请注意，串行I / O端口只能在1位串行模式下使用。

**使用SDIO引脚进行RU / RD的两级调制**

表15.两级调制中的配置文件引脚和通道分配（启用RU / RD）



对于表15中的配置，每个配置引脚都专用于特定通道。在这种情况下，可以将SDIO\_x引脚用于RU / RD功能，如表16所述。

**使用SDIO引脚进行RU / RD的四级调制**

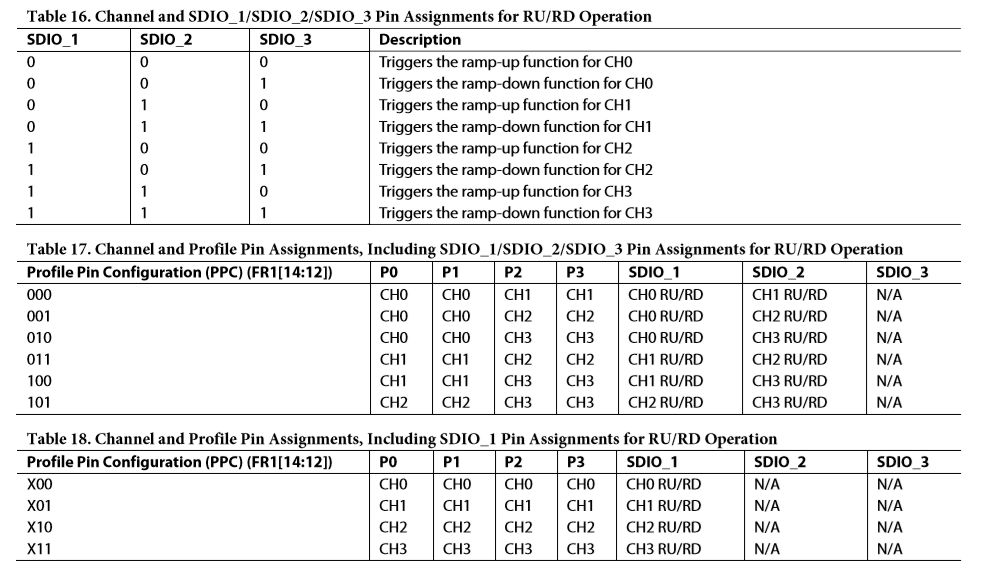
对于RU / RD位= 11（对于RU / RD可使用SDIO\_1和SDIO\_2引脚），调制级别设置为4。有关引脚分配（包括SDIO\_x引脚分配）的信息，请参见表17。

对于表17所示的配置，根据提供给配置文件引脚[P1：P2]或[P3：P4]的2位值选择配置文件（通道字）寄存器。例如，如果PPC = 011，[P0：P1] = 11，[P2：P3] = 01，则通道1的通道字3寄存器的内容将显示到通道1的输出中，并且通道2的通道字1寄存器提供给通道2的输出。SDIO\_1和SDIO\_2提供RU / RD功能。

**使用SDIO引脚进行RU / RD的16级调制**

RU / RD位= 11（SDIO\_1引脚可用于RU / RD），并且级别设置为16。请参见表18中所示的引脚分配。

对于表18所示的配置，根据提供给配置引脚[P0：P3]的4位值选择配置（通道字）寄存器。例如，如果PPC = X10并且[P0：P3] = 1101，则通道2的通道字13寄存器的内容将显示到通道2的输出。SDIO\_1引脚提供RU / RD功能。



**线性扫描模式**

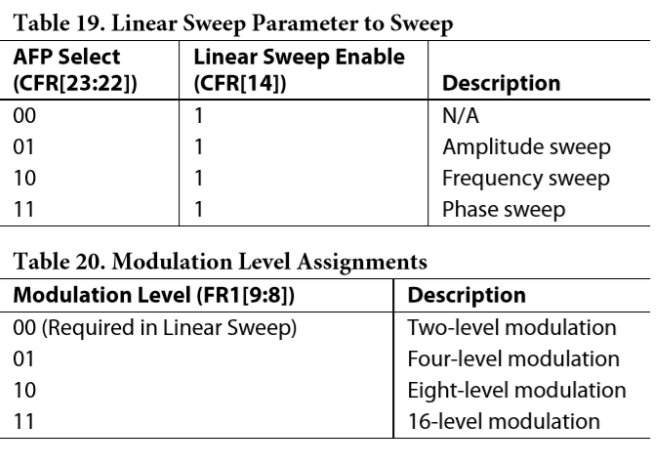
线性扫描模式让用户可以从起始点（S0）到终止点（E0）扫描频率，相位或幅度。 相比直接调制，线性扫描模式的目的是提供更大带宽,这是通过将S0至E0 间的瞬时剧变替换成更为平缓的,用户自行定义的变化。

在线性扫描模式下，S0被加载到通道字0寄存器中（S0由三个寄存器之一表示：寄存器0x04，寄存器0x05或寄存器0x06，这具体取决于扫描类型），而E0始终被加载到通道字1中 （寄存器0x0A）。 如果将E0设置为频率扫描，则分辨率为32位，相位扫描为14位，幅度扫描为10位。 扫描相位或幅度时，字值必须在通道字1寄存器中与MSB对齐。 未使用的位是无关位。 配置文件引脚用于触发和控制线性扫描的频率，相位和幅度的方向。 所有通道均可单独编程以进行线性扫描。 在线性扫描模式下，配置文件引脚P0专用于通道0。配置文件引脚P1专用于通道1，依此类推。

AD9959能够在线性扫描之前和之后，使用10位输出标量来斜升或斜降（RU / RD）输出幅度。 如果需要RU / RD功能，则可以将未使用的配置文件引脚或未使用的SDIO\_1 / SDIO\_2 / SDIO\_3引脚配置为RU / RD操作。

为使特定通道启用线性扫描模式，对AFP选择位（CFR [23:22]），调制电平位（FR1 [9：8]）和线性扫描使能位（CFR [14]）进行编程 。

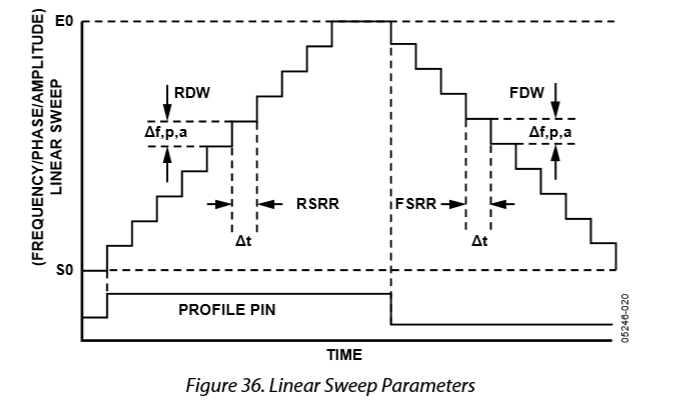
AFP选择位决定要执行的线性扫描的类型。 该特定通道的调制级别位必须设置为00（二级）（请参见表19和表20）



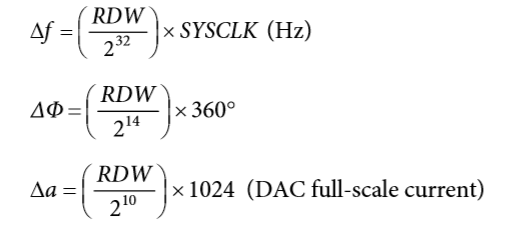
**设置线性扫描的斜率**

线性扫描的斜率由S0和E0之间的中间步长（增量调谐字）和每步所花费的时间（扫描时间字）设定。 增量调谐字的分辨率是：频率32位，相位14位，幅度10位。 增量时间字的分辨率为八位。

在线性扫描中，为每个通道分配了一个增量字（RDW，寄存器0x08）和一个的上升时间字（RSRR，寄存器0x07）,由S0向E0扫描时这两个设置生效。 由E0向S0扫描时，将应用下降字（FDW，寄存器0x09）和下降时间字（FSRR，寄存器0x07）。 图36显示了使用配置文件引脚先向上后向下的线性扫描。 注意，线性扫描的非驻留位被禁用。 否则，扫描累加器在达到E0时将归0。



对于S0和E0之间的零星或非线性过渡，可以在过渡期间重新编程增量调谐字和斜率字，以产生所需的响应。 用于计算频率，相位或幅度的RDW或FDW步长的公式如下：



根据RSRR或FSRR计算增量时间的公式为：



在500 MSPS操作（SYNC\_CLK = 125 MHz）时，步距之间的最大时间间隔为1/125 MHz×256 = 2.048μs。 最小时间间隔为（1/125 MHz）×1 = 8.0 ns。

扫描斜率模块（计时器）由一个可加载的8位递减计数器组成，该计数器从加载的值连续递减直至1。当斜率计时器数值等于1时，将加载正确的斜率值，并且计数器再次开始递减计数至1。

只要启用了计时器，此加载和倒计时操作就会持续。 但是，可以通过以下两种方法之一在达到1之前重新加载计数：

•方法1是更改配置文件引脚。 当配置文件引脚从逻辑0变为逻辑1时，上升扫描斜率（RSRR）寄存器的值将加载到斜率定时器中，然后继续正常计数。 当配置文件引脚从逻辑1变为逻辑0时，下降扫描斜率（FSRR）寄存器的值将加载到斜率计时器中，然后计时器将正常计数。

•方法2是设置CFR [14] 并发出I / O更新。 如果启用了扫描并且CFR [14]也设置了，则斜率定时器将加载由配置文件引脚确定的值。 如果配置引脚为高电平，则斜率定时器将加载RSRR； 如果配置引脚为低电平，则斜率定时器将加载FSRR。

**频率线性扫描示例：AFP(振幅频率相位)位= 10**

在以下示例中，调制电平位（FR1 [9：8]）= 00，线性扫描使能位（CFR [14]）= 1，线性扫描无驻留位（CFR [15]）= 0 。

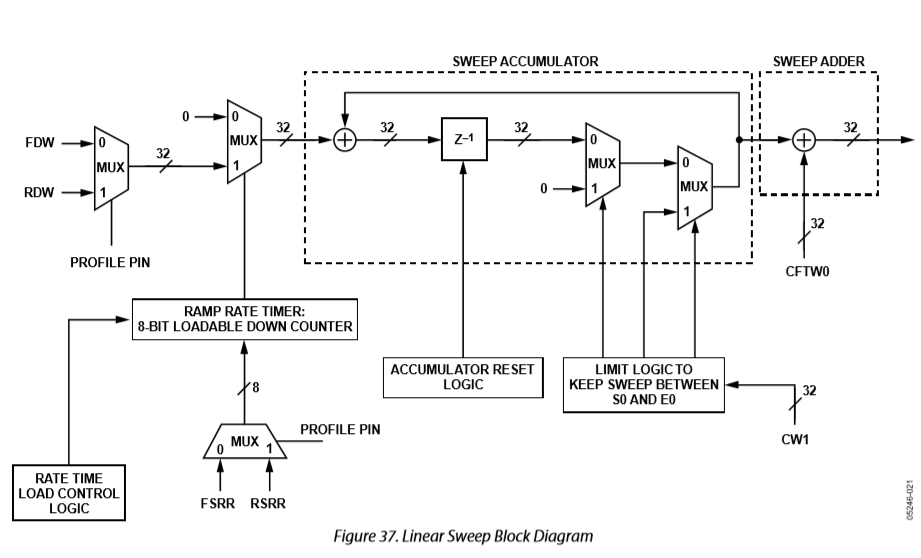
在线性扫描模式下，当配置文件引脚从低电平过渡到高电平时，RDW将作为扫描累加器的输入，而RSRR将被加载入扫描速率定时器。

RDW以上升扫描斜率（RSRR）位给定的速率累加，直到输出等于CW1寄存器值为止。扫描结束，输出保持频率恒定。

当配置文件引脚从高电平转换为低电平时，FDW作为扫描累加器的输入，并且FSRR位被加载到扫描速率定时器中。

 FDW以下降扫描斜率（FSRR）给出的速率累积，直到输出等于CFTW0寄存器（寄存器0x04）的值为止。扫描结束，输出保持频率恒定。

线性扫描框图见图37。



**线性扫描无驻留模式**

如果将线性扫描无驻留位（CFR [15]）置1，则以与驻留线性扫描模式相同的方式开始上升扫描。 也就是说，在配置文件输入引脚上检测到逻辑1时，将启动上升扫描动作。 字以上升的增量字设置的分辨率继续以上升的扫描斜率设置的速率向上扫描，直至达到最终值。 达到最终值后，输出立即恢复到起点并保持不变，直到在配置文件引脚上检测到逻辑1。

图38显示了非驻留模式的示例。 标为A的点表示在配置文件引脚上检测到上升沿，标为B的点指示AD9959确定输出已达到E0并恢复为S0的位置。 在此模式下，下降扫描斜率位（LSRR [15：8]）和下降增量字位（FDW [31：0]）未使用。

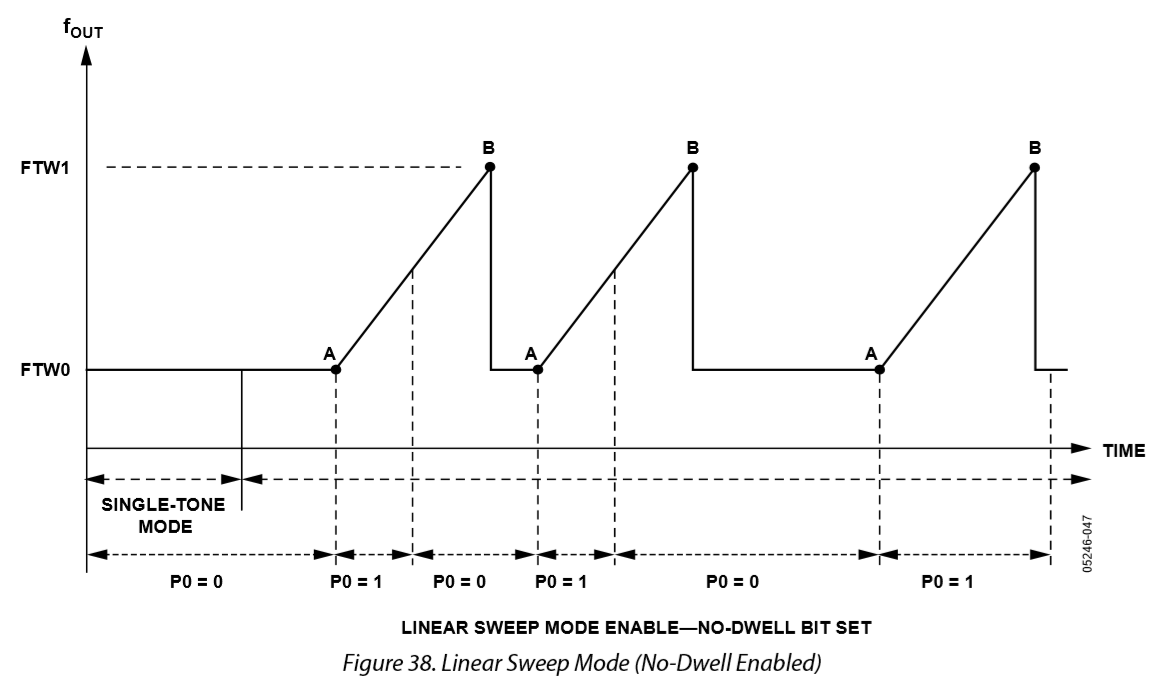
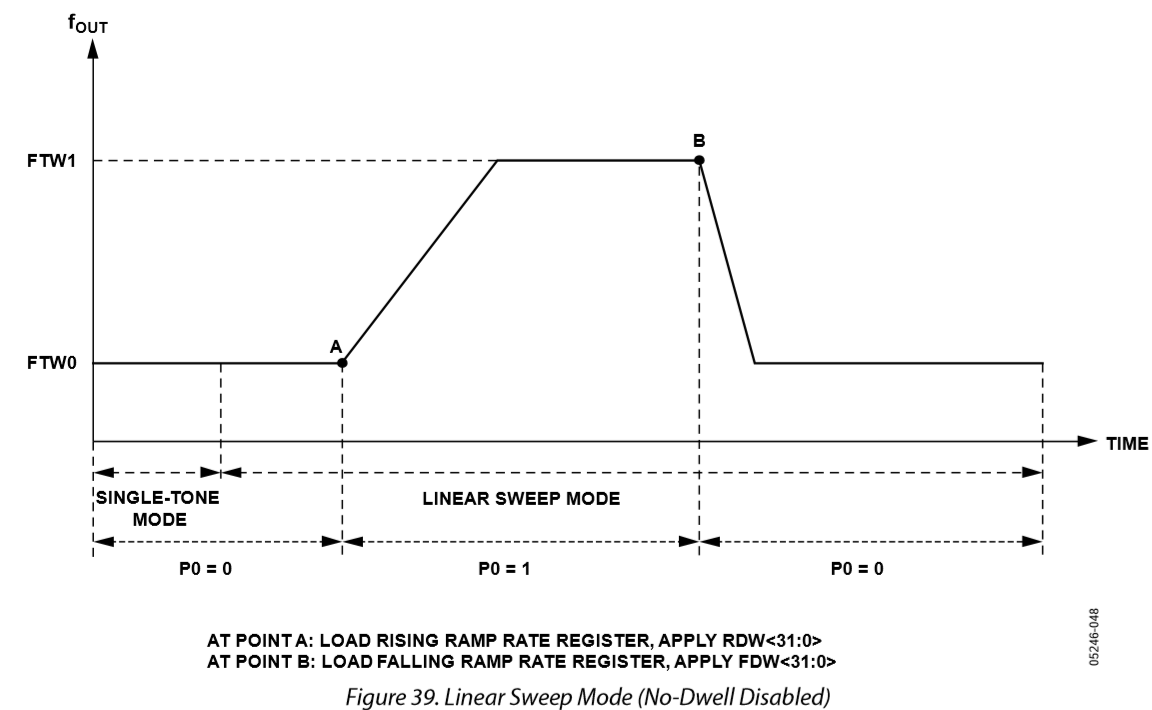


图39显示了禁用非驻留模式的频率扫描。在这种模式下，输出遵循配置文件引脚的状态。相位或幅度扫描的工作方式相同。



**扫频和相位累加器清零功能**

AD9959具有两种不同的清除功能。首先是扫描逻辑和相位累加器的连续清零（清除并保持）。第二个是清除和释放或自动归零功能。 CFR [4]是自动清除扫描累加器位，CFR [2]是自动清除相位累加器位。连续清除位位于CFR中，其中CFR [3]清除扫描累加器，CFR [1]清除相位累加器。

**连续清除位**

连续清除位是静态控制信号，当高电平有效时，将相应的累加器保持为0，同时该位有效。当该位变低电平时，允许各个累加器工作。

**清除并释放位**

自动清零扫频累加器位置1时，会在I / O更新或配置文件输入引脚发生更改时清除并释放扫频累加器。自动清除相位累加器位置1时，将在I / O更新或配置引脚改变时清除并释放相位累加器。每次后续的I / O更新或配置文件引脚更改都会重复执行自动清除功能，直到通过串行端口重置清除和释放位为止。

**输出幅度控制模式**

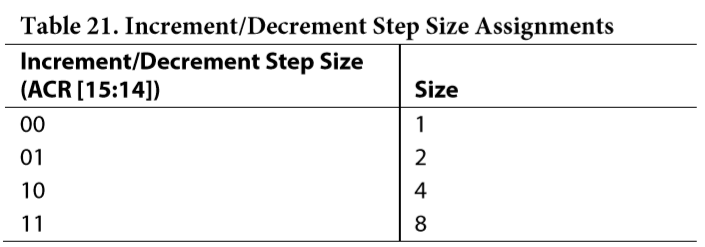
10位比例因子（乘法器）控制来自DAC的开/关发射的上升和下降（RU / RD）时间。在数字数据的突发传输中，它减少了数据突然突发的不利频谱影响。通过清除幅度乘法器使能位（ACR [12] = 0），可以绕过乘法器。

支持自动和手动RU / RD模式。自动模式以ACR（寄存器0x06）确定的速率产生一个零电平，直至满量程（10位）线性斜坡。斜坡的开始和方向可以通过配置引脚或SDIO\_1 / SDIO\_2 / SDIO\_3引脚来控制。

手动模式允许用户通过手动写入ACR（寄存器0x06）中的幅度比例因子值来直接控制输出幅度。通过设置ACR [12] = 1和ACR [11] = 0启用手动模式。

**自动RU / RD模式操作**

当同时设置了ACR [12]和ACR [11]时，自动RU / RD模式将激活。启用自动RU / RD时，将在内部生成比例因子，并将其应用于乘法器输入端口以缩放输出。比例因子是一个10位计数器的输出，该计数器以8位输出斜坡速率寄存器设置的速率递增/递减。如果外部引脚为高电平，则比例因子递增；如果外部引脚为低电平，则比例因子递减。内部生成的比例因子步长由ACR [15:14]控制。表21描述了每个ACR [15:14]内部生成的比例因子的增/减步长。



此模式的一个特殊功能是，允许的最大输出幅度受幅度比例因子（ACR [9：0]）的内容限制。这允许用户将其斜率减小到小于满量程的值。

**斜率计时器**

斜率定时器是一个可加载的递减计数器，它产生时钟信号送给10位计数器，后者产生内部比例因子。每当计数器达到1（十进制）时，斜率定时器就会加载LSRR（寄存器0x07）的值。只要启用了计时器，此加载和倒计时操作就会持续​​下去，除非计时器在达到计数1之前被迫加载。

如果设置了I / O\_UPDATE位（ACR [10]）的加载ARR，则在I / O更新，配置文件输入更改或达到数值1时加载斜率计时器。以下有三种方法在达到1之前加载。

•第一种方法是更改​​配置文件引脚或SDIO\_1 / SDIO\_2 / SDIO\_3引脚。当控制信号改变状态时，将ACR值加载到斜率计时器中，然后计时器将正常计数。

•在第二种方法中，将I / O\_UPDATE位（ACR [10]）的加载ARR置1，并发出I / O更新。

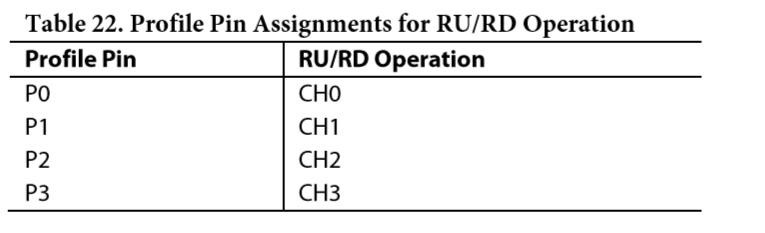
•第三种方法是从不活动的自动RU / RD模式更改为活动的自动RU / RD模式。

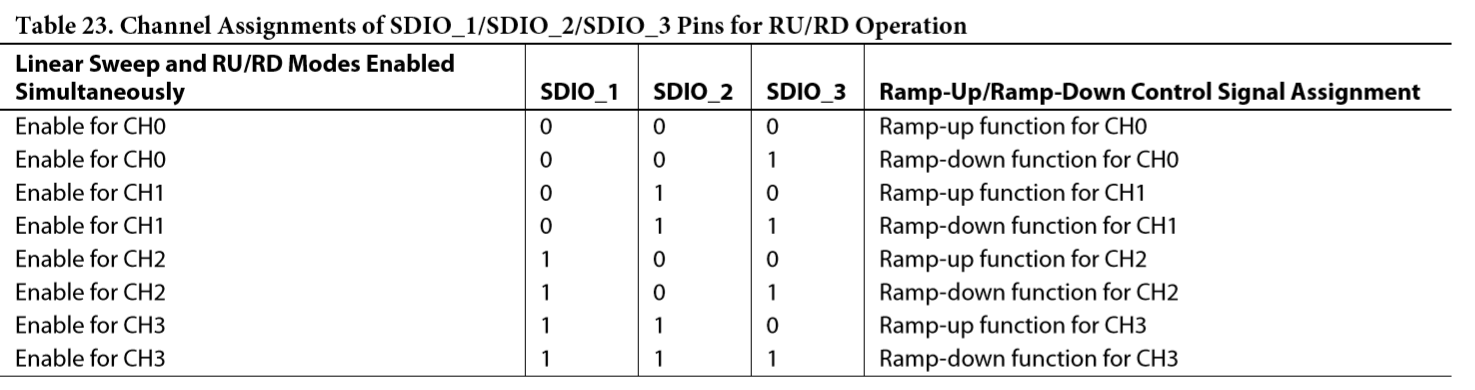
**RU / RD引脚到通道分配**

当所有四个通道都处于单音模式时，配置引脚用于RU / RD操作。

激活线性扫描和RU / RD时，SDIO\_1 / SDIO\_2 / SDIO\_3引脚用于RU / RD操作。

在调制模式下，请参见“调制模式”部分以了解引脚分配。





**同步多个AD9959器件**

AD9959允许轻松同步多个AD9959器件。上电时，SYNC\_CLK的相位可以在多个设备之间偏移。为了校正偏移并对齐SYNC\_CLK边沿，有三种同步SYNC\_CLK边沿的方法（一种自动模式和两种手动模式）。

这些模式将多个设备的内部状态机强制为已知状态，从而使SYNC\_CLK沿对齐。

另外，用户必须向多个设备发送一致的I / O\_UPDATE来保持同步。器件之间REF\_CLK相位的任何不匹配都会导致SYNC\_CLK边沿上的相应相位不匹配。

**自动模式同步**

在自动模式下，通过将主设备上的SYNC\_OUT引脚连接到从设备的SYNC\_IN引脚来实现多部分同步。通过编程位将设备配置为主设备或从设备，可通过串行端口进行访问。

“应用电路”部分显示了用于在自动模式下同步多个AD9959器件的配置。在这种配置下，AD9510向所有器件提供一致的REF\_CLK和SYNC\_OUT信号。

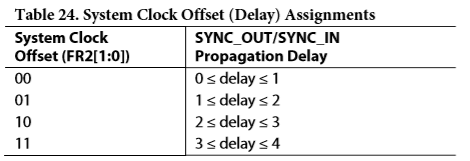
**操作方式**

第一步是对主设备和从设备分别进行编程，然后写入自动同步使能位（FR2 [7]）=1。通过在功能寄存器2中写入其多设备同步主使能位来使能主设备。 （FR2 [6]）=1。这将导致主设备的SYNC\_OUT输出脉冲，该脉冲的脉冲宽度等于一个系统时钟周期，而频率等于系统时钟频率的四分之一。通过将FR2 [6] = 0来使能设备作为从机。

在自动同步模式下，从设备在从设备的SYNC\_IN上采样来自主设备的SYNC\_OUT脉冲，并且自动同步电路对所有状态机进行比较。如果从设备状态机与主设备状态机不同，则从设备状态机将停顿一个系统时钟周期。此过程在三个SYNC\_CLK周期内同步从设备。

**SYNC\_OUT和SYNC\_IN之间的延迟时间**

当SYNC\_OUT和SYNC\_IN之间的延迟超过一个系统时钟周期时，系统时钟偏移位（FR2 [1：0]）用于补偿。这些位的默认状态为00，这意味着主机的SYNC\_OUT和从机的SYNC\_IN的传播延迟小于一个系统时钟周期。如果传播时间大于一个系统时钟周期，则应测量时间并编写适当的偏移量。表24描述了每个系统时钟偏移值所需的延迟。



**自动同步状态位**

如果从设备不同步，则将同步状态位设置为高。可以通过串行端口读取多设备同步状态位（FR2 [5]）。读取时会自动清除。

无论FR2 [5]的状态如何，同步例程都会继续运行。可以通过将逻辑1写入多设备同步屏蔽位（FR2 [4]）来屏蔽FR2 [5]。如果FR2 [5]被屏蔽，它将保持低电平。

**手动软件模式同步**

通过将设备中的手动软件同步位（FR1 [0]）设置为逻辑1，可以启用手动软件模式。在这种模式下，将手动软件同步位写入逻辑0的I / O更新将时钟发生器的状态机停滞一个系统时钟周期。将时钟生成状态机停顿一个周期将使设备之间的SYNC\_CLK的相位关系改变一个系统时钟周期（90°）。

请注意，用户可能必须重复此过程，直到设备的SYNC\_CLK信号同相。 SYNC\_IN输入具有内部上拉功能，因此可以悬空。不使用SYNC\_OUT引脚。

当主设备和从设备的SYNC\_CLK信号同相时，同步完成。

**手动硬件模式同步**

通过将设备中的手动硬件同步位（FR1 [1]）设置为逻辑1，可以启用手动硬件模式。在手动硬件同步模式下，每次在SYNC\_IN输入上检测到上升沿时，SYNC\_CLK就会停滞一个系统时钟周期。将SYNC\_CLK状态机停顿一个周期会使器件之间SYNC\_CLK的相位关系改变一个系统时钟周期（90°）。

请注意，用户可能必须重复该过程，直到设备的SYNC\_CLK信号同相。 SYNC\_IN输入具有内部上拉功能，因此可以悬空。不使用SYNC\_OUT。

当主设备和从设备的SYNC\_CLK信号同相时，同步完成。

**I / O\_UPDATE，SYNC\_CLK和系统时钟关系**

I / O\_UPDATE和SYNC\_CLK一起用于将数据从串行I / O缓冲区传输到设备中的活动寄存器。缓冲区中的数据无效。

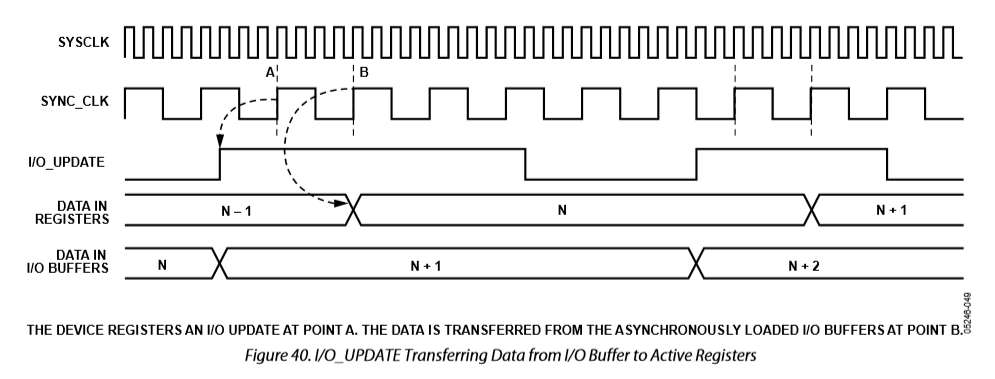
SYNC\_CLK是上升沿有效信号。它来自系统时钟和4分频分频器。外部提供的SYNC\_CLK可用于将外部硬件与AD9959内部时钟同步。

I / O\_UPDATE启动缓冲区传输的开始。它可以相对于SYNC\_CLK同步或异步发送。

如果满足这些信号之间的建立时间，则存在到DAC输出的恒定等待时间（流水线）。例如，如果需要通过SPI端口重复改变相位偏移，则这些改变到DAC输出的等待时间是恒定的；反之亦然。否则，存在一个SYNC\_CLK周期的时间不确定性。

I / O\_UPDATE本质上是由SYNC\_CLK过采样的。因此，I / O\_UPDATE的最小脉冲宽度必须大于一个SYNC\_CLK周期。

图40所示的时序图描述了何时将缓冲区中的数据传输到活动寄存器。



在A时刻，设备进行I / O更新。

在B时刻，数据是从异步加载I / O缓冲区传输进来的

图40. I / O\_UPDATE将数据从I / O缓冲区传输到活动寄存器

**串行I / O端口**

**总览**

AD9959串行I / O端口提供多种配置，以提供极大的灵活性。串行I / O端口提供SPI兼容的操作模式，该模式实际上与早期的Analog Devices DDS产品中的SPI操作相同。四个数据引脚（SDIO\_0，SDIO\_1，SDIO\_2，SDIO\_3）提供了灵活性，它们 允许四种可编程模式的串行I / O操作。

四个数据引脚中的三个（SDIO\_1，SDIO\_2，SDIO\_3）可用于串行I / O端口操作以外的功能。这些引脚还可以用于启动10位幅度输出标量的上升或下降（RU / RD）。此外，SDIO\_3可用于提供SYNC\_I / O功能，如果顺序不正确，该功能将重新同步串行I / O端口控制器。

串行I / O端口SCLK的最大速度为200 MHz，但是可以使用四个数据引脚（SDIO\_0，SDIO\_1，SDIO\_2，SDIO\_3）进一步提高数据吞吐量。使用所有SDIO引脚（SDIO\_0，SDIO\_1，SDIO\_2，SDIO\_3）的最大数据吞吐量为800 Mbps。

注意，所有通道共享寄存器0x03至寄存器0x18，如寄存器映射和位描述部分所示。此地址共享使所有四个DDS通道可以同时写入。例如，如果所有四个通道都需要一个通用的频率调谐字，则可以通过串行I / O端口一次将其写入所有四个通道。这是默认的操作模式（所有通道均启用）。为了使每个通道独立，必须使用在通道选择寄存器（CSR，寄存器0x00）中找到的四个通道使能位。

实际上，通道使能位可以访问以提供通道独立性的地址（寄存器0x03至寄存器0x18）有四组或副本。请参见控制寄存器的描述部分，以了解彼此共有或彼此独立的编程通道的更多详细信息。为了正确地从寄存器0x03读到寄存器0x18，用户一次只能使能一个通道使能位。

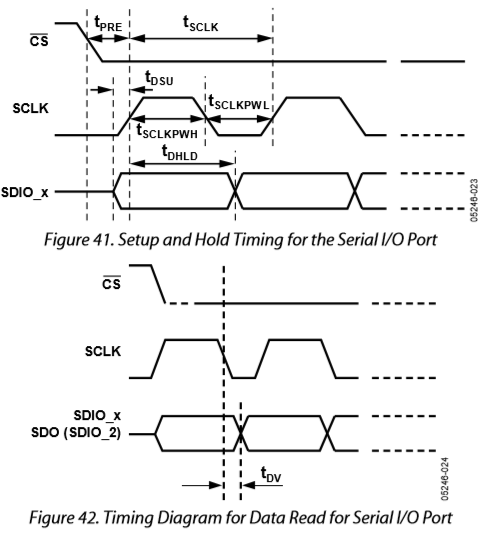
AD9959的串行操作发生在寄存器级，而不是字节级。也就是说，控制器期望访问寄存器地址中包含的所有字节。 SYNC\_I / O功能可用于中止I / O操作，从而允许访问少于所有字节的字节。该功能只能用于对寻址寄存器的一部分进行编程。请注意，只有完成的字节会受到影响。

串行通信周期分为两个阶段。阶段1是指令周期，它将指令字节写入AD9959。指令字节的每一位都记录在SCLK的每个相应上升沿上。指令字节定义即将进行的数据传输是写操作还是读操作。指令字节包含地址寄存器的串行地址。

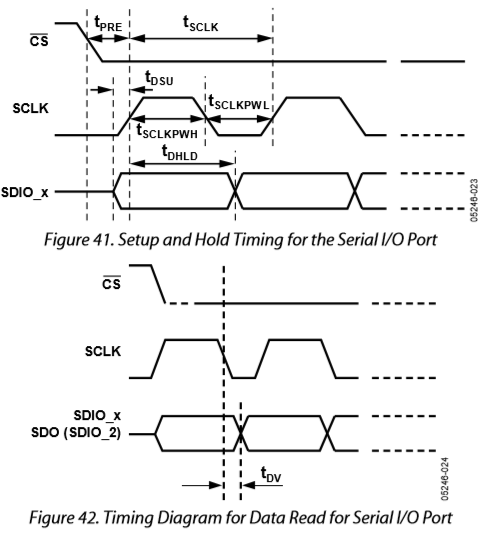
I / O周期的阶段2由串行端口控制器和串行端口缓冲区之间的实际数据传输（写/读）组成。在通信周期的此阶段,传输的字节数取决于所访问的寄存器。数据传输和指令字节所需的额外SCLK上升沿的实际数量取决于寄存器中的字节数和串行I / O操作模式。

例如，当访问三字节宽的功能寄存器1（FR1）时，I / O周期的第二阶段要求传输三个字节。在每个指令字节传输完所有数据字节后，该寄存器的通信周期完成。

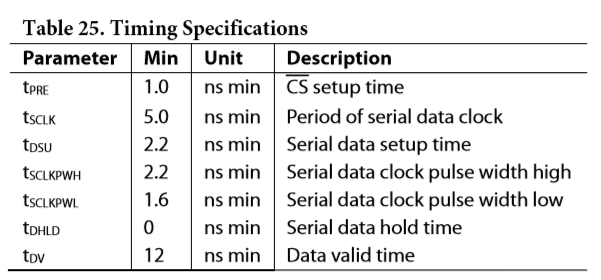
在一个通信周期完成时，AD9959串行端口控制器期望下一组SCLK上升沿是下一个通信周期的指令字节。写入AD9959的所有数据均记录在SCLK的上升沿。在SCLK的下降沿读取数据（见图43至图49）。表25中描述了图41和图42的时序规范。



串行I / O端口的设置和时序保持



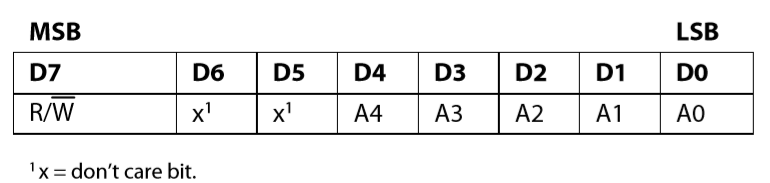
串行I / O端口的数据读取时序图



每组通信周期都不需要发出I / O更新。I / O更新将数据从I / O端口缓冲区传输到活动寄存器。I / O更新可以在每个通信周期发送，也可以在所有串行操作完成后发送。但是，只有在发送I / O更新后，数据才处于活动状态，除了通道选择寄存器（CSR）中的通道使能位。 这些位的使能不需要I / O更新。

**指令字节说明**

指令字节包含以下信息：



指令字节（R / W）的位D7确定在写入指令字节后是否发生读取或写入数据传输。逻辑高电平表示读取操作。逻辑低指示写操作。

指令字节的位D4至位D0确定在通信周期的数据传输部分访问哪个寄存器。内部字节地址由AD9959生成。

**串行I / O端口引脚说明**

**串行数据时钟（SCLK）**

串行数据时钟引脚用于与AD9959的内部状态机同步数据。最大SCLK触发频率为200 MHz。

**片选（CS）**

片选引脚允许多个AD9959器件位于同一组串行通信线上。芯片选择是低电平有效的使能引脚。 CS为高电平时，SDIO\_x输入进入高阻抗状态。如果在任何通信周期内CS被驱动为高电平，该周期将被暂停，直到CS被重新激活为低电平。在保持SCLK控制的系统中，CS引脚可以拉低。

**串行数据I / O（SDIO\_0，SDIO\_1，SDIO\_3）**

在四个SDIO引脚中，只有SDIO\_0引脚是专用的SDIO引脚。 SDIO\_1，SDIO\_2和SDIO\_3也可以用于提高/降低输出幅度。通道选择寄存器（CSR，寄存器0x00）的位[2：1]控制这些引脚的配置。有关更多信息，请参见串行I / O操作模式。

**串行I / O端口功能说明**

**串行数据输出（SDO）**

SDO功能仅在单位（3线）模式下可用。在SDO模式下，从SDIO\_2引脚读取数据的协议使用不同的线来传输和接收数据（有关引脚配置选项，请参见表26）。通道选择寄存器（CSR，寄存器0x00）的位[2：1]控制该引脚的配置。 SDO功能在2位或4位串行I / O模式下不可用。

**SYNC\_I / O**

SYNC\_I / O功能在1位和2位模式下可用。该功能有效时，SDIO\_3用作SYNC\_I / O引脚。 CSR [2：1]位控制该引脚的配置。否则，SYNC\_I / O函数将用于同步I / O端口状态机，而不会影响可寻址寄存器的内容。 SYNC\_I / O（SDIO\_3）引脚上的高电平有效输入导致当前通信周期中止。 SDIO\_3返回低电平（逻辑0）后，可以从写指令字节开始另一个通信周期。 SYNC\_I / O功能在4位串行I / O模式下不可用。

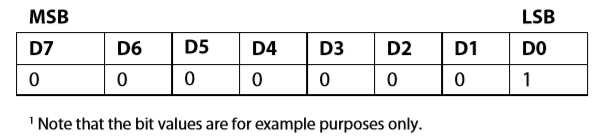
**MSB / LSB传输说明**

AD9959串行端口可以支持最高有效位（MSB）优先或最低有效位（LSB）优先的数据格式。此功能由CSR [0]控制。 默认为MSB优先。当CSR [0]设置为高电平时，AD9959串行端口采用LSB优先格式。指令字节必须以CSR [0]指示的格​​式写入，也就是说，如果AD9959处于LSB优先模式，则指令字节必须以LSB开始，以MSB结束。如果AD9959处于MSB优先模式（默认），则指令字节必须以MSB开始，以LSB结束。

**操作范例**

要以MSB优先格式写入功能寄存器1（FR1，寄存器0x01），应用以MSB开头的00000001指令字节（在以下示例指令字节中，MSB是D7位）。内部控制器从该指令中识别出这是三个字节的写入传输，从MSB （FR1 [23]）开始。在每个连续的SCLK上升沿上写入字节，直到第0位被传输完。当最后一个数据位被写入时，I / O通信周期完成，下一个字节被视为指令字节。

**指令字节示例**



要以LSB优先格式写入功能寄存器1（FR1），应用一个指令字节00000001，从LSB位开始（在前面的示例指令字节中，LSB为D0）。 内部控制器从该指令中识别出这是三个字节的写入传输，从（LSB FR1 [0]）开始。 在每个连续的SCLK上升沿写入字节，直到第23位被传输完。 当最后一个数据位被写入时，I / O通信周期完成，下一个字节被视为指令字节。

**串行I / O操作模式**

以下是串行I / O端口操作的四种可编程模式：

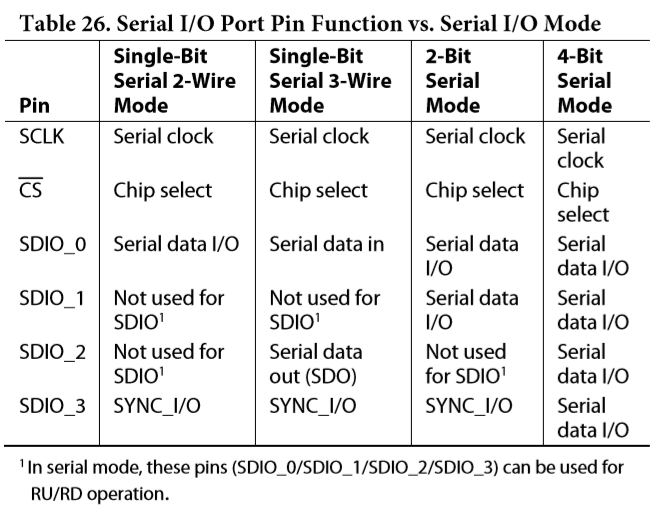
•1位串行2线模式（默认模式）

•1位串行3线模式

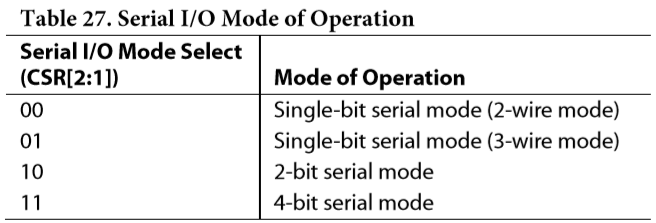
•2位串行模式

•4位串行模式（SYNC\_I / O不可用）

表26显示了所有六个串行I / O接口引脚的功能，具体取决于编程的串行I / O操作模式



通道选择寄存器中的CSR [2：1] ，这两位是控制串行I / O操作模式的，见表27。



**1位串行（2线和3线）模式**

1位串行模式接口允许对配置AD9959的所有寄存器进行读/写访问。 支持MSB优先或LSB优先传输格式。 此外，1位串行模式接口端口可以配置为允许2线接口的单个引脚I / O，也可以配置为启用3线接口的两个输入/输出单向引脚。 1位模式允许使用SYNC\_I / O功能。

在1位串行模式2线接口操作中，SDIO\_0引脚是单个串行数据I / O引脚。在1位串行模式3线接口操作中，SDIO\_0引脚为串行数据输入引脚，SDIO\_2引脚为输出数据引脚。无论接口中使用的导线数量如何，SDIO\_3引脚均被配置为输入，并且在1位串行模式和2位串行模式下用作SYNC\_I / O引脚。在此模式下，SDIO\_1引脚未使用（见表26）。

**2位串行模式**

2位串行模式下的SPI端口操作与1位串行模式下的SPI端口操作相同，不同之处在于在SCLK的每个上升沿都记录了两位数据。因此，仅需四个时钟周期即可传输八位信息。 SDIO\_0引脚包含使用符号D [7：0]的偶数数据位，而SDIO\_1引脚包含奇数数据位。这种偶数和奇数编号的引脚/数据对齐方式在MSB和LSB优先格式中均有效（见图44）。

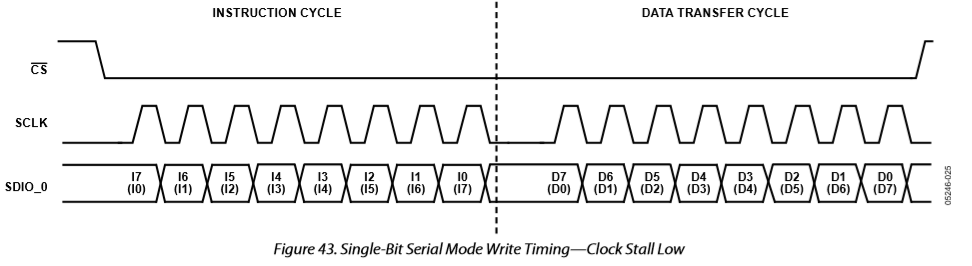
**4位串行模式**

4位串行模式下的SPI端口与1位串行模式下的SPI端口相同，不同之处在于在SCLK的每个上升沿上记录了四位数据。因此，仅需两个时钟周期即可传输八位信息。 SDIO\_0和SDIO\_2引脚使用符号D [7：0]包含偶数编号的数据位，而SDIO\_0引脚包含半字节的LSB。 SDIO\_1和SDIO\_3引脚包含奇数编号的数据位，SDIO\_1引脚包含要访问的半字节的LSB。

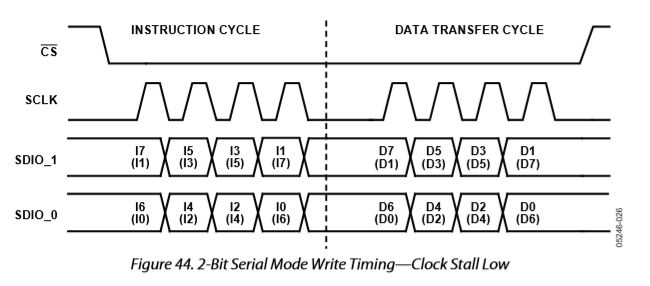
请注意，将器件设置为4位串行模式时，将SDIO\_3引脚保持在逻辑0很重要，直到器件被编程为脱离1位串行模式为止。否则可能会导致串行I / O端口控制器混乱。

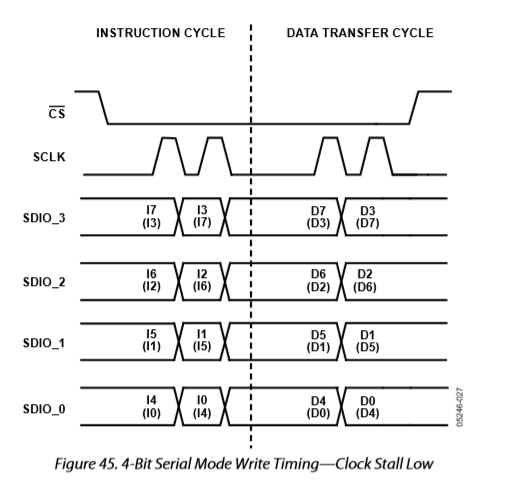
图43至图45表示每种可用的串行I / O模式的写入时序图。同时显示了MSB和LSB优先模式。 LSB的前几位显示在括号中。不需要显示时钟失速低/高功能。它用于表明相对于SCLK的上升沿，数据（SDIO）必须具有正确的建立时间。

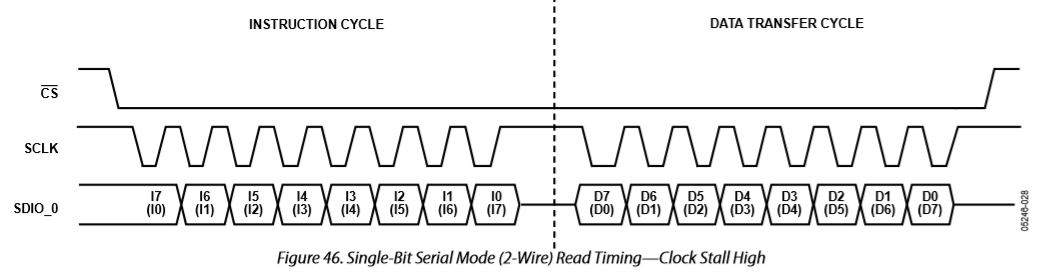
图46至图49表示每种可用串行I / O模式的读取时序图。同时显示了MSB和LSB优先模式。 LSB的前几位显示在括号中。不需要显示时钟失速低/高功能。它用于表明数据（SDIO）必须相对于指令字节的SCLK上升沿和跟随SCLK下降沿的读取数据具有正确的建立时间。

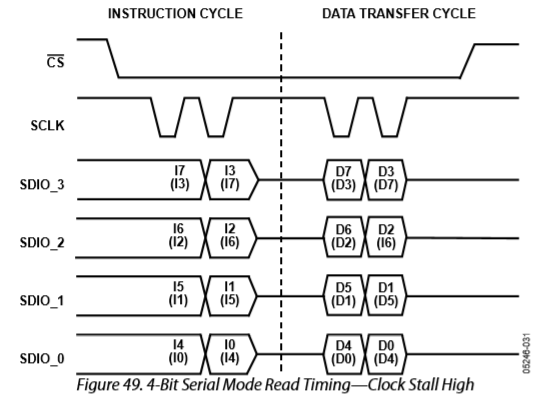
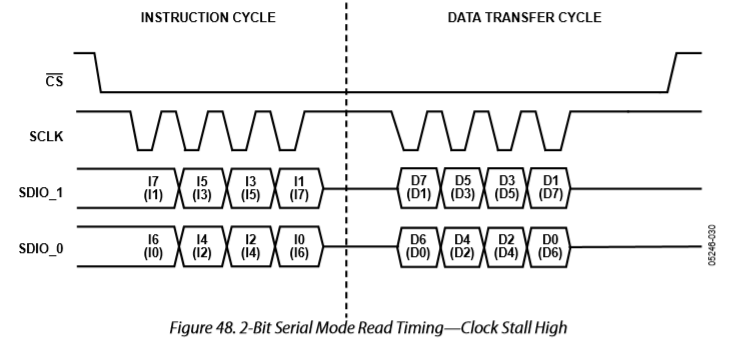
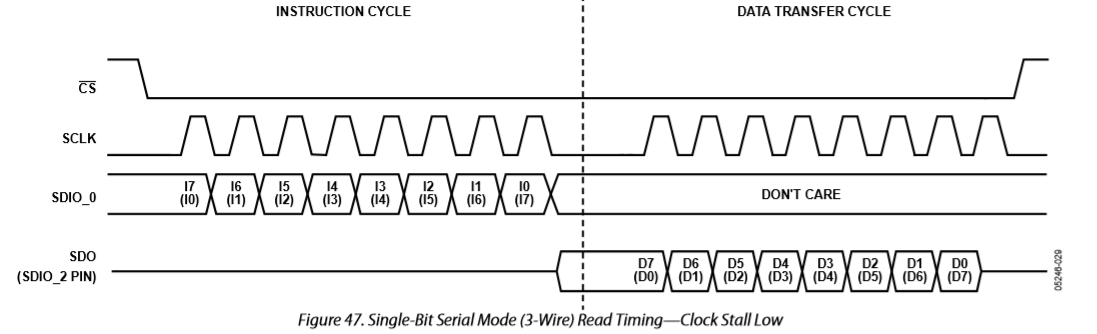


一位串行写操作



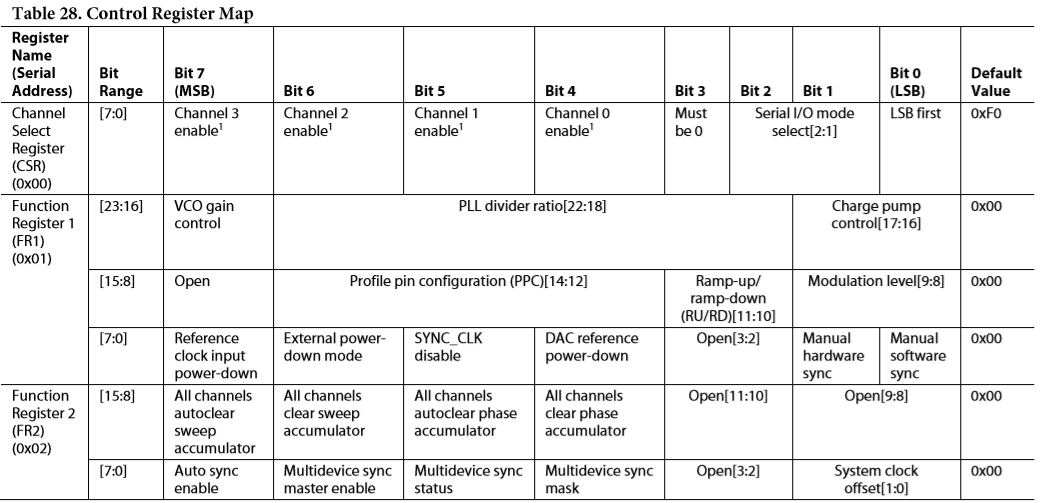






**寄存器图和位描述**

**寄存器图**



注释：通道使能位不需要激活I / O更新。 在写入包含这些位的字节之后，这些位立即处于活动状态。其他所有位都需要I / O更新才能激活。 表28所示的四个通道使能位用于启用/禁用四个通道的任意组合。 默认启用所有四个通道

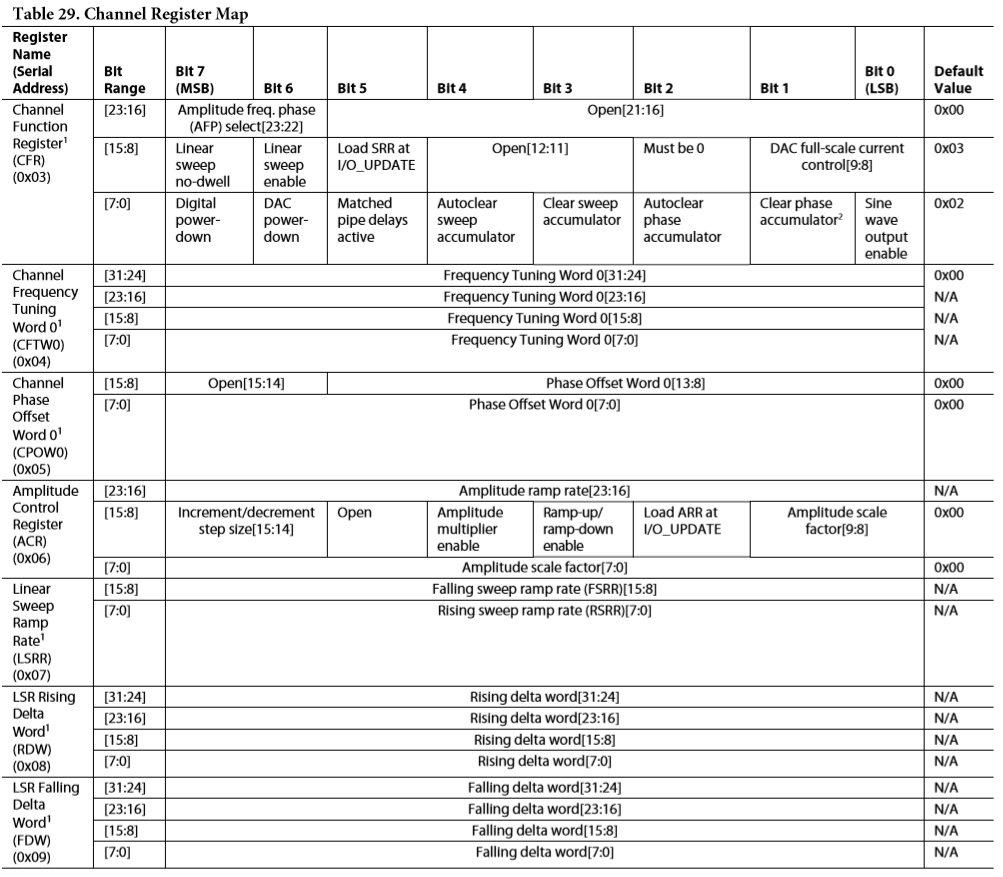
在通道选择寄存器中，如果用户希望所有四个DDS通道使用四个不同的频率，请使用以下协议：

1.使能（逻辑1）位于通道选择寄存器中的通道0的使能位，并禁用其他三个通道（逻辑0）。

2.如步骤1所述，为通道0写入所需的频率调谐字，然后禁用通道0的使能位（逻辑0）。

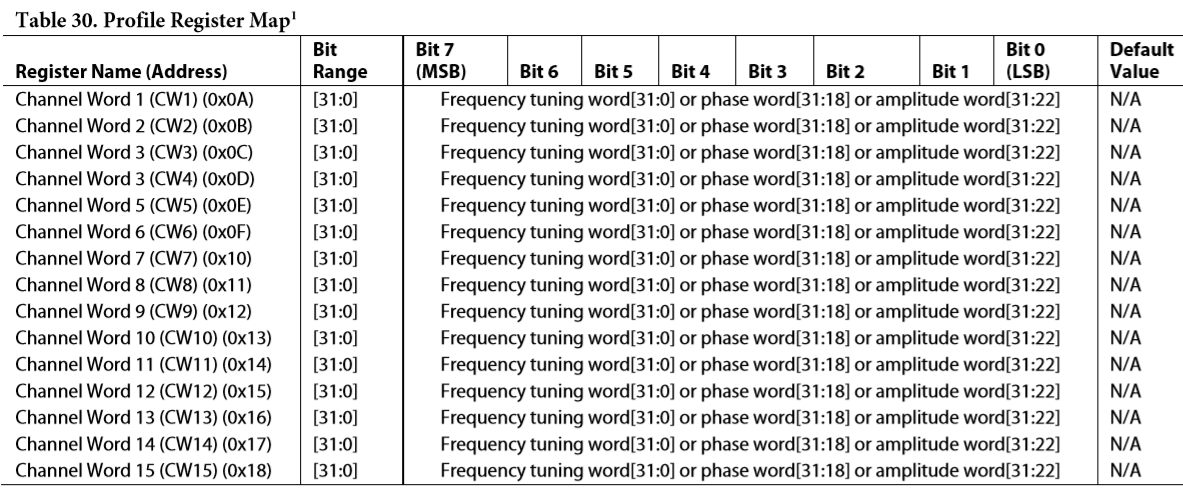
3.仅启用位于通道选择寄存器中的通道1使能位，并禁用其他三个通道。

4.在步骤3中为通道1写入所需的频率调谐字，然后禁用通道1使能位。



1，通道寄存器和配置文件寄存器有四组，每个通道一组。 这在表29或表30中未显示，因为每个通道的所有通道寄存器和配置文件寄存器的地址都相同。 因此，通道使能位（CSR [7：4]）确定是否写入每个通道的通道寄存器和/或配置文件寄存器。

2，主复位后，清除相位累加器位设置为逻辑1。 声明I / O更新时，它会自动清除或设置为逻辑0。



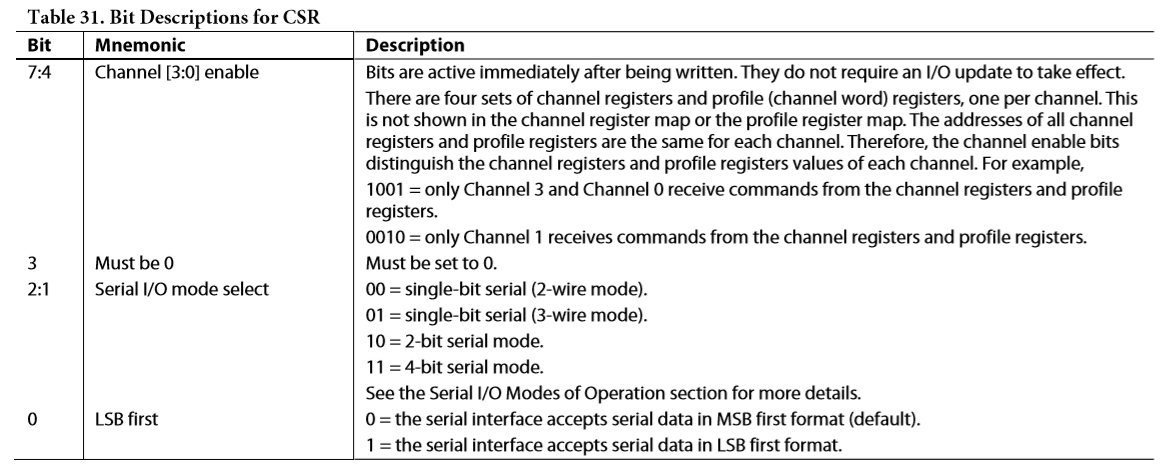
每个通道字寄存器的容量为32位。 如果相位或幅度存储在通道字寄存器中，则必须首先按位范围对它进行MSB对齐。 每个通道字寄存器仅显示MSB字节。

**控制寄存器说明**

**通道选择寄存器（CSR）-地址0x00**

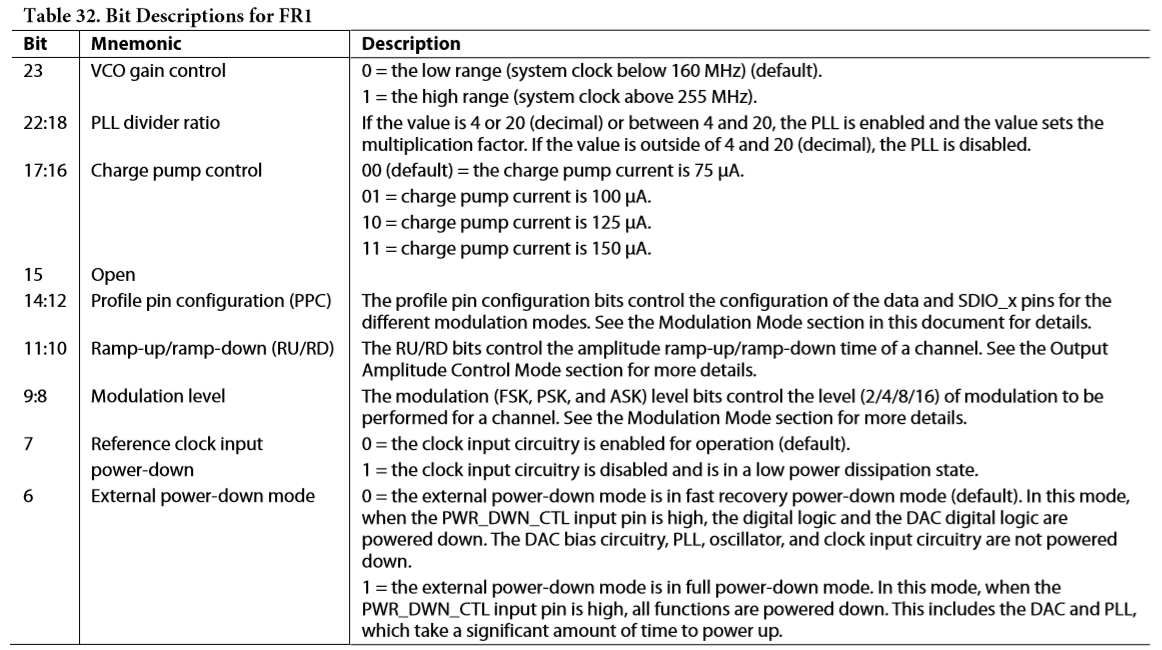
只有一个字节分配给该寄存器。

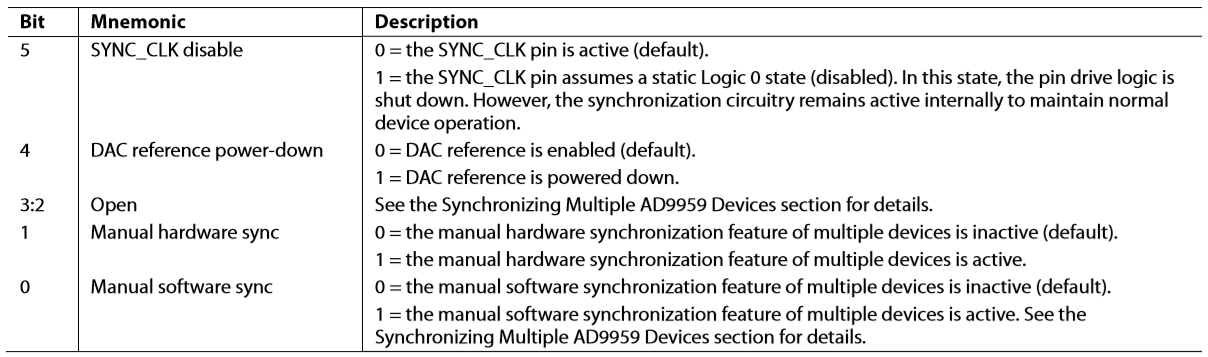
CSR通过四个通道启用位的状态来确定通道是启用还是禁用。 所有四个通道均默认启用。 CSR还确定选择哪种串行操作模式。 此外，CSR还提供MSB优先或LSB优先格式的选择。



**功能寄存器1（FR1）-地址0x01**

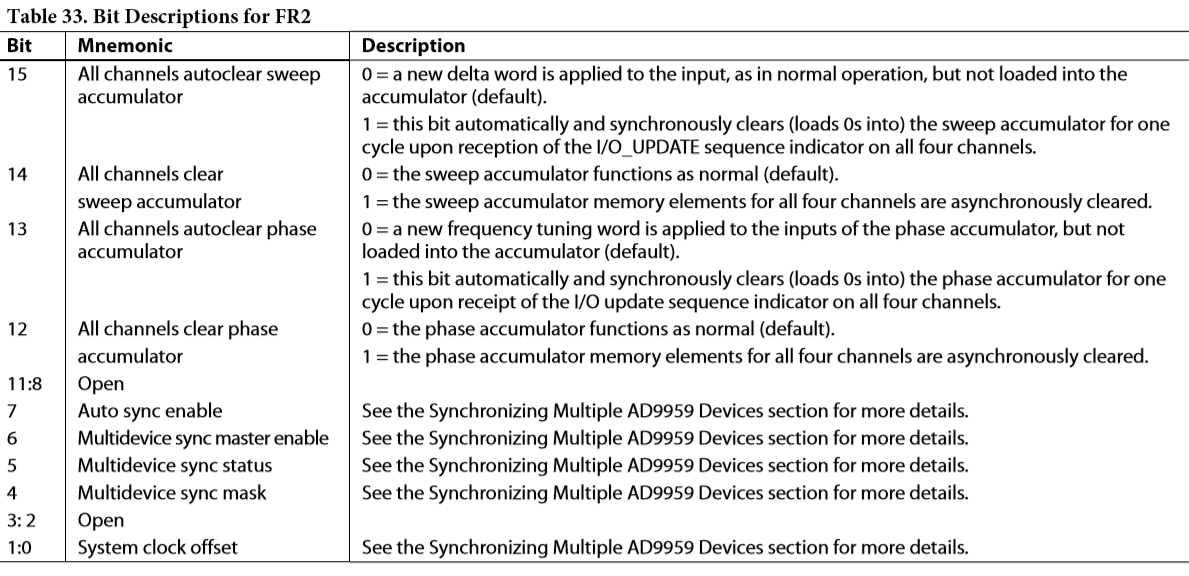
三个字节分配给该寄存器。 FR1用于控制芯片的操作模式





**功能寄存器2（FR2）-地址0x02**

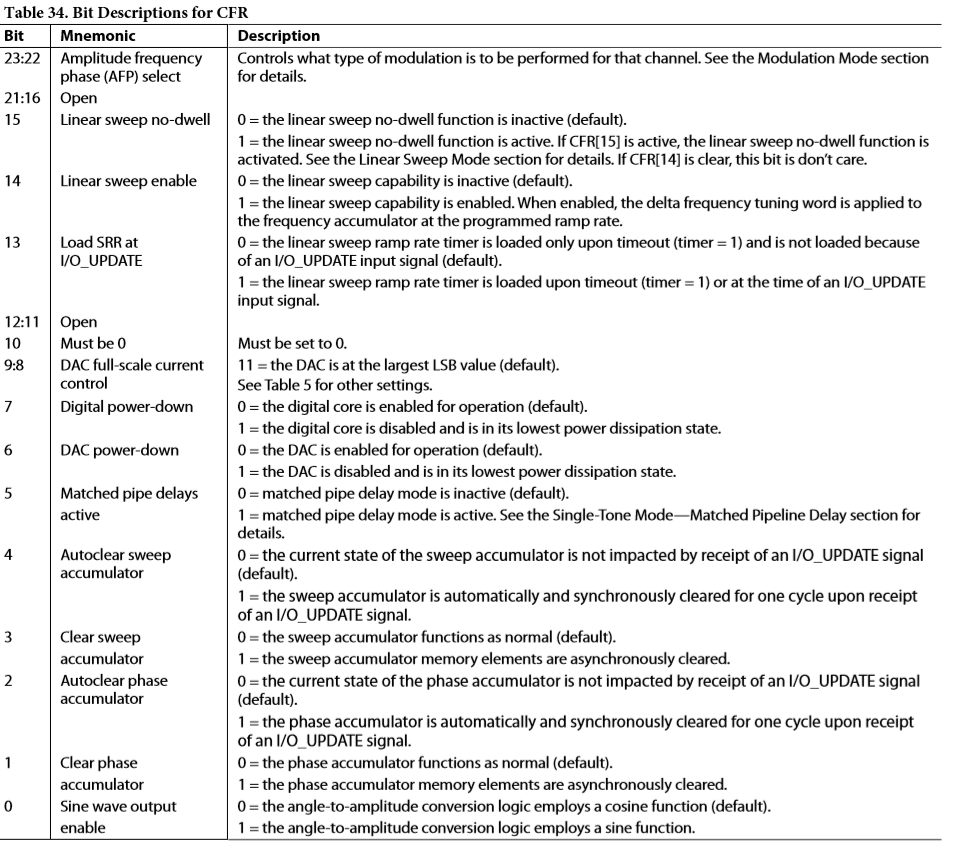
两个字节分配给该寄存器。 FR2用于控制AD9959的各种功能，特性和模式。



**通道寄存器说明**

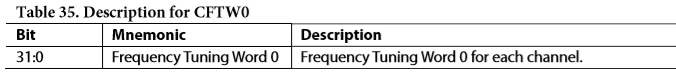
**通道功能寄存器（CFR）-地址0x03**

三个字节分配给该寄存器



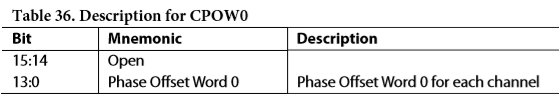
**通道频率调谐字0（CFTW0）-地址0x04**

四个字节分配给该寄存器。



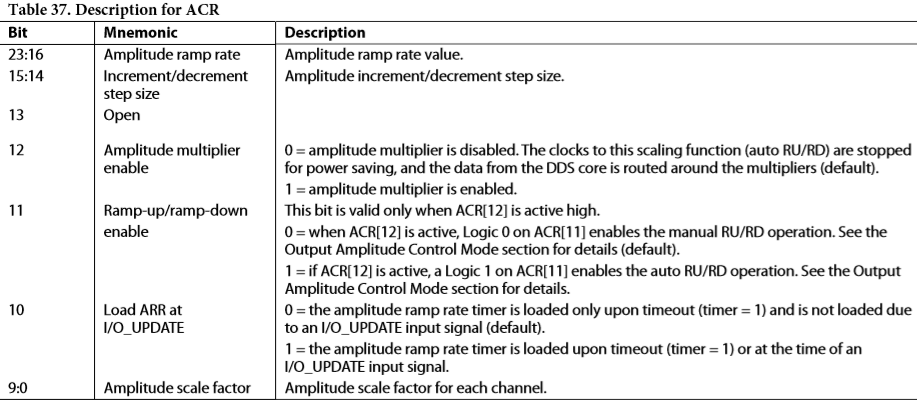
**通道相位偏移字0（CPOW0）-地址0x05**

两个字节分配给该寄存器。



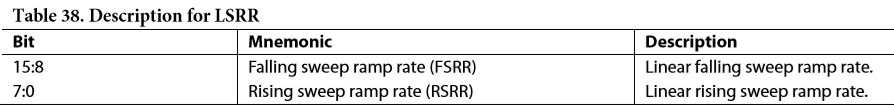
**幅度控制寄存器（ACR）-地址0x06**

三个字节分配给该寄存器。



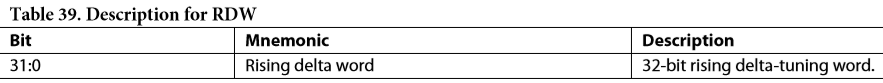
**线性扫描斜率（LSRR）-地址0x07**

两个字节分配给该寄存器。



**LSR上升增量字（RDW）-地址0x08**

四个字节分配给该寄存器。



**LSR下降增量字（FDW）-地址0x09**

四个字节分配给该寄存器。

