

# 基于子图同构的子电路提取算法

李长青, 张富斌, 彭思龙

(中国科学院 自动化研究所 国家专用集成电路设计工程技术研究中心, 北京 100080)

**摘要:**从门级到功能模块级的子电路提取问题在大规模集成电路计算机辅助设计领域有广泛地应用,提出了基于子图同构的方法来解决该问题。针对子电路的特征,选择辐射路匹配和赋标号算法之一作为搜索的主算法。尽管子图同构问题是 NP 完全问题,算法对实际的电路是快速的,满足工程需要。

**关键词:**子电路提取;子图同构;辐射路匹配;赋标号算法

文章编号:1002-8331(2006)34-0185-03 文献标识码:A 中图分类号:TP391.72

## Subcircuit Extraction Algorithm Based on Subgraph Isomorphism

LI Chang-qing, ZHANG Fu-bin, PENG Si-long

(National ASIC Design and Engineering Center, Institute of Automation,  
Chinese Academy of Sciences, Beijing 100080, China)

**Abstract:** Subcircuit extraction problem from gate level to function level arises in many contexts in VLSI computer-aided design. From the viewpoint of subgraph isomorphism, we proposed a high performance algorithm to solve it. Based on the features of the subcircuit, radiate path matching or labeling algorithm may be chosen for searching. Although Subgraph Isomorphism problem is known to be NP-complete, our solution is very fast in practice for real circuits.

**Key words:** subcircuit extraction; subgraph isomorphism; radiate path matching; labeling algorithm

### 1 引言

按照电路表示的抽象层次,子电路提取问题分为两类:从晶体管级到门级的提取和从门级到功能模块级的提取。从晶体管级到门级的子电路提取算法比较成熟,LOGEX<sup>[1]</sup>, GateMaker<sup>[2]</sup>, Subgemini<sup>[3]</sup>, SubIsland<sup>[4]</sup>等算法已经能够满足工程实际的需要。然而从门级到功能模块级的子电路提取一直未能得到圆满地解决。

子电路提取问题考虑的是一个目标电路中是否含有指定功能或结构的模版电路,并确定该模版电路的数量和位置。例如,一个目标电路中是否含有加法器,如果有,含有多少个加法器,这就是子电路提取问题,其中加法器电路即为模版电路。子电路提取算法是各种 EDA 工具的主要内嵌算法之一,在功能验证、版图和原理图比较(LVS)<sup>[5]</sup>和反向工程中的逻辑综合中有重要的应用。

如果把电路用图的形式重新表示,子电路提取问题可以方便的转化为子图同构问题。图同构和子图同构是图匹配问题中的重要概念。称两个图同构,当且仅当它们的顶点集和边集存在一一映射的关系。如果把目标电路表示成图 G,把模版电路表示成图 H,子电路提取问题就转化为在图 G 中搜索与图 H 同构的导出子图。

树、平面图和有限度图的子图同构问题有多项式时间算法<sup>[6-8]</sup>,而一般的子图同构问题属于 NP 完全问题<sup>[9]</sup>。D.G.Cornell 等人提出的子图同构算法<sup>[10]</sup>是这一领域的前驱,著名的 SubGemini 算法<sup>[3]</sup>主要借鉴了他们的算法。基于回溯剪枝的实用子图同构算法是由 Ullmann 提出的<sup>[11]</sup>,虽然这一方法比较古老,但因其较好的通用性和效率,至今在小型的精确子图匹配问题中经常用到。Falkenhainer 等将图匹配问题简化为可以有效解决的图检测问题,但该算法对空间的需求太大<sup>[12]</sup>。Messmer 等试图通

过决策树来降低子图匹配中的计算复杂度,虽然匹配效率有了明显提高,但算法需要复杂的预处理过程和指数级的存储需求,对大型子图同构问题更是无能为力<sup>[13]</sup>。由于面对的是数以万计的逻辑门数,只有时间复杂度为线性的或者接近线性的算法才能满足工程需要。本文基于对子电路特征的分析,提出了一种快速的从门级到功能模块级的子电路提取算法,能够满足实际工程的需要,该算法已经集成到了国家专用集成电路设计工程技术研究中心的反向分析软件 ICRES3.0 中。

### 2 算法概述

算法分三个主要步骤,首先把目标电路和模版电路表示成超图,然后计算模版电路的自相似性,最后根据模版电路的自相似性选择子图同构算法。

图 1 示意了一位全加器的门级电路原理图及其对应的有向超图表示。其要点为:电路的逻辑门作为对应超图的顶点,输入输出引脚也作为对应超图顶点,逻辑门及引脚的属性作为顶点的属性,逻辑门之间的连接关系对应超图的边,边的方向和数据流的方向一致。

模版电路的特征是选择合适的子图同构算法的重要依据,用自相似性来衡量电路结点属性和电路结构的特征。度量自相似度的方法既要反映不同尺度的相似性,又需要较小的计算量。采用迭代赋标号和统计相同标号的方式进行。这种迭代赋标号的所得到的结果,不但能够度量模版电路的相似性,而且在子图同构算法的下一阶段仍然可以使用。

用  $\frac{n-m}{n-1}$  度量相似性,其中  $n$  为结点数,  $m$  为结点的种类数。迭代之前的数值称为零阶自相似度,然后用迭代赋标号算法计算,迭代一次后考察它的一阶自相似性,以此类推。在超图中,由于输入输出引脚并不代表确定的门,统计时并不计算在

内。图 1 中超图的零阶自相似度为  $\frac{6-3}{6-1} = \frac{2}{5}$ 。

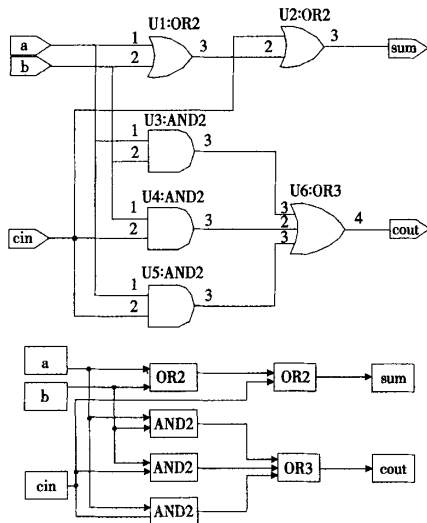


图 1 一位全加器的门级结构原理图及其对应的有向超图表示

赋标号算法采用循环迭代的方式,新的标号依赖于旧的标号、相邻顶点的标号和与相邻顶点的连接关系。如图 2 所示的结构,  $B$  的新标号  $B+A \cdot K1+C \cdot K2$ , 其中  $K1$  和  $K2$  分别代表输入和输出关系的参数。

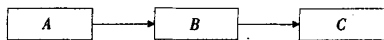


图 2 赋标号算法示例

一个标号迭代的例子如图 3 所示, 图(1)为迭代前的标号, 图(2)为一次迭代后的标号。计算可知该图的零阶自相似度为  $\frac{9-2}{9-1} = \frac{7}{8}$ , 一阶自相似度为  $\frac{9-6}{9-1} = \frac{3}{8}$ 。

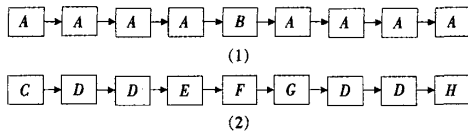


图 3 标号迭代的示例

根据实验,在以下三种情况下采用辐射路匹配算法:

- (1) 零阶自相似度比较小;
- (2) 随着迭代次数增加,图的自相似度下降比较快;
- (3) 目标电路含有的模版电路较少,这种情况主要依赖于工程师的判断。

采用辐射路匹配的方法,可以保证运行时间较快,与模版电路和目标电路的逻辑门数成线性依赖关系。其他情况采用赋标号算法,运行时间可以满足实际工程的需要。事实上,如果把电路图抽象成有向图,大多数情况下用辐射路算法进行同构子图的搜索。

### 3 辐射路匹配算法

最原始的辐射路算法是扈文锋<sup>[4]</sup>在 1999 年提出的,通过引入单个顶点的相似特征,将子图同构问题转化为顶点之间的匹配问题,成功地克服了子图同构中的组合爆炸问题。其基本思想在于对图  $H$  中的每一个顶点  $v$ ,利用辐射路特征直接在图

$G$  中寻找那些与它相似的顶点。

图  $H$  中某个顶点  $v$  的辐射路定义为图  $H$  中其它所有顶点  $v$  到的最短路的集合。它相当程度上刻画了顶点  $v$  与其它顶点的相互关系特征。

如图 4 所示,图中顶点的标识为一个二元组,其中第一个分量为顶点类型,第二个分量为顶点编号,箭头所指方向为有向边的方向。顶点  $(C,8)$  到  $(C,5)$  的最短有向路为:  $(C,-A,C,-C)$ 。其中负号表示有向路的方向。那末顶点  $(A,7)$  的辐射路为:  $\{(A,A),(B,A,A),(A,-A),(B,-A,-A),(C,C,-A),(C,-A),(C,-A)\}$ 。

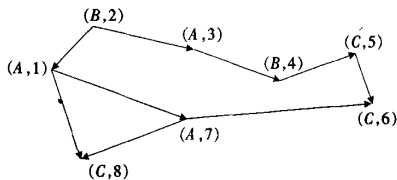


图 4 用于说明顶点辐射路含义的有向图

改进算法基于以下事实:若有子图  $S \subseteq G$ ,且图  $S$  同构于图  $H$ ,对于图  $G$  中的任意顶点  $u$ ,若图  $H$  中无任何顶点与它匹配,那么将  $u$  从图  $G$  中删除(与  $u$  相关的各条边也同时被删除)后得到的图  $G'$  应该满足  $S \subseteq G'$ 。

算法中,为了从图  $G$  中搜索与图  $H$  同构的子图,首先得到图  $H$  中每个点的辐射路作为图  $H$  的特征;其次,对于图  $G$  中的各个顶点  $u$ ,以其辐射路为特征从图  $H$  中寻找其对应点。若找到  $u$  的对应点  $v \in H$ ,则将  $u$  标记为  $v$  的匹配点,否则将  $u$  从图  $G$  中删除得到图  $G'$ 。对于图  $G$  中的所有顶点,继续以上匹配过程,直至对图  $G$  中所有顶点遍历完为止。

### 4 赋标号算法

赋标号算法的思想是利用顶点和其邻域的属性,提高顶点的区分度,降低顶点的相似性,著名的 SubGemini<sup>[9]</sup>和 SubIslands<sup>[10]</sup>的核心算法都是赋标号算法,但是在赋标号的过程中加入了不同的启发式算法。采用与 SubGemini 类似的算法,区别是 SubGemini 针对的是无向二分图,标号算法针对的是有向超图。

算法分两个阶段:第一阶段,识别出模版电路在目标电路中的所有可能位置。对目标电路和模版电路所表示的超图分别应用赋标号算法,在子电路中选出主结点  $K$ ,在目标电路中选出候选向量  $CV$ ,也就是主结点在目标电路中可能的对应点的集合。在赋标号算法的迭代过程中,超图判断主结点  $K$  的过程要比二分图复杂一些。考虑到模版电路的逻辑门数并不是很大,第一阶段所用的运行时间比第二阶段所用的运行时间少很多<sup>[9]</sup>,这种时间上的消耗是可以接受的。第二阶段确定候选向量所在的位置是否存在匹配的子电路。采用修正的赋标号算法,只考虑安全结点,安全结点也是 Subgemini<sup>[9]</sup>提出的概念。两个阶段的算法都有一致性检查,例如对于相同标号的顶点,要保证在图  $G$  中的数量要多于在图  $H$  中的数量。这种一致性检查机制利用子图同构问题本身的特性,尽早发现不匹配的情况,得以优化算法。

### 5 算法性能实验

实验所用的 PC 机配置为 Pentium 4-1600,256 MB 内存,辐射路匹配算法和实验所需的子电路随机选取算法用 C++语

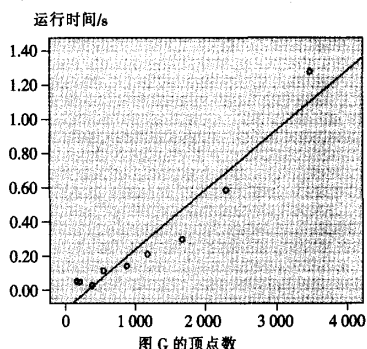


图5 运行时间和目标电路的线性关系

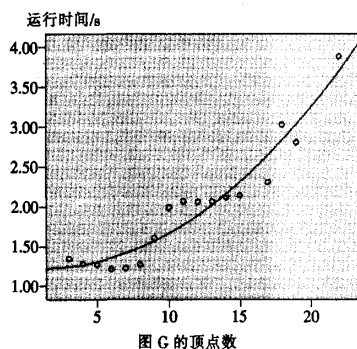


图6 运行时间和模版电路的平方关系

言实现。实验的数据来自ISCAS85的Benchmark,选择10个逻辑门数较多的电路作为目标电路。在10个电路中,分别随机选取100个子电路,作为功能模块电路。实验表明,运行时间与目标电路和模版电路的逻辑门数,逻辑门的种类数均有关系。表1列出了部分电路提取程序的运行时间。图5示意了辐射路算法中运行时间与目标电路逻辑门数的线性关系,图6示意了辐射路算法中运行时间和模版电路逻辑门数的平方关系。

表1 部分实验结果

编号	目标电路图		模版电路图		平均时间/s	算法
	门数	门种类数	门数	平均门种类数		
c432	160	8	13	3.0	0.032	辐射路
c499	202	6	10	5.0	0.030	辐射路
c880	383	9	10	3.2	0.032	辐射路
c1355	546	6	15	4.6	0.158	辐射路
c1908	880	13	12	4.0	0.203	辐射路
e2670	1178	12	12	3.0	0.191	辐射路
c3540	1669	15	12	4.0	0.274	辐射路
c5315	2290	12	14	4.8	0.563	辐射路
c6288	2415	3	10	2.2	5.200	赋标号
c7552	3473	14	14	5.9	2.120	辐射路

## 6 结束语

门级到功能级子电路提取在大规模集成电路设计中是一个重要而困难的问题,本文针对子电路的特征,分别采用不同的子图同构算法,有效地解决了该问题,并成功地应用到了工程实践中。(收稿日期:2006年3月)

## 参考文献:

- [1] BOEHNER M.LOGEX—an automatic logic extractor from transistor to gate level for CMOS technology[C]/Proc IEEE/ACM Design Automation Conference.Anaheim,1988:517-522.
- [2] KUNDU S.GateMaker:A transistor to gate level model extractor for simulation,automatic test patter generation and verification[C]/Proc

- International Test Conference.Washington,1998:372-381.
- [3] OHLRICH M,EBELING C,GINTING E.SubGemini:Identifying sub-circuits using a fast subgraph isomorphism algorithm[C]/Proc IEEE/ACM Design Automation Conference.Dallas,1993:31-37.
- [4] RUBANOV N.SubIslands:The probabilistic match assignment algorithm for subcircuit recognition [J].IEEE Transactions on CAD of Integrated Circuits and Systems,2003,22(1):26-38.
- [5] EBELING C,ZAJICEK O.Validating VLSI circuit layout by wirelist comparison[C]/Proceedings of the Conference on Computer Aided Design (ICCAD),1983:172-173.
- [6] AHO A V,HOPCROFT J E,ULLMAN J D.The design and analysis of computer algorithm[M].Boston,Massachusetts:Addison Wesley,1974.
- [7] HOPCROFT F,WONG J.Linear time algorithm for isomorphism of planar graphs[C]/Proceedings of the Sixth Annual ACM Symposium on Theory of Computing.seattle,1974:172-184.
- [8] LUKS E M.Isomorphism of Graphs of bounded valence can be tested in polynomial time [J].Journal of Computer System Science,1982,25:42-65.
- [9] READ R C,CORNEIL D G.The graph isomorphism disease[J].Journal of Graph Theory,1977,1:339-363.
- [10] CORNEIL D G,GOTTLIEB C C.An efficient algorithm for graph isomorphism [J].Journal of the Association for Computer Machinery,1970,17(1):51-64.
- [11] ULLMANN J R.An algorithm for subgraph isomorphism [J].Journal of the Association for Computer Machinery,1976,23(1):31-42.
- [12] FALKENHAINER B,FORBUS K D,GENTNER D.The structure-mapping engine:algorithms and examples [J].Artificial Intelligence,1989,41(1):1-63.
- [13] MESSMER B T,BUNKE H.A decision tree approach to graph and subgraph isomorphism detection [J].Pattern Recognition,1999,32(12):1979-1998.
- [14] 惠文峰.集成电路反向工程逻辑综合算法研究[R].北京:中科院自动化所,1999.

(上接184页)

- 2002,22(4):67-70.
- [5] 宋善德,郭飞.基于JAVA的WEB数据库连接池技术的研究[J].计算机工程与应用,2002,(8):201-203.
- [6] 李华,吴六爱.JSP网页中JDBC数据动态查询的强化方法[J].兰州交

通大学学报,2004,23(1):76-78.

- [7] 黄家林,廖俊平.网络用户安全身份认证系统设计与实现[J].电脑开发与应用,2003,16(4):40-41.
- [8] 屈震.基于JSP技术和B/S模式的信息管理系统的研究和实现[D].硕士学位论文,2004:35-45.

作者: 李长青, 张富斌, 彭思龙, [LI Chang-qing](#), [ZHANG Fu-bin](#), [PENG Si-long](#)  
作者单位: 中国科学院, 自动化研究所, 国家专用集成电路设计工程技术研究中心, 北京, 100080  
刊名: [计算机工程与应用](#) **ISTIC** **PKU**  
英文刊名: [COMPUTER ENGINEERING AND APPLICATIONS](#)  
年, 卷(期): 2006, 42 (34)  
被引用次数: 1次

## 参考文献(14条)

1. [BOEHNER M](#) [LOGEX-an automatic logic extractor from transistor to gate level for CMOS technology](#) 1988
2. [KUNDU S](#) [GateMaker A transistor to gate level model extractor for simulation,automatic test pattern generation and verification](#) 1998
3. [OHLRICH M](#); [EBELING C](#); [GINTING E](#) [SubGemini:Identifying subcircuits using a fast subgraph isomorphism algorithm](#) 1993
4. [RUBANOV N](#) [SubIslands:The probabilistic match assignment algorithm for subcircuit recognition](#) 2003 (01)
5. [EBELING C](#); [ZAJICEK O](#) [Validating VLSI circuit layout by wirelist comparison](#) 1983
6. [AHO A V](#); [HOPCROFT J E](#); [ULLMAN J D](#) [The design and analysis of computer algorithm](#) 1974
7. [HOPCROFT F](#); [WONG J](#) [Linear time algorithm for isomorphism of planar graphs](#) 1974
8. [LUKS E M](#) [Isomorphism of Graphs of bounded valence can be tested in polynomial time](#) 1982
9. [READ R C](#); [CORNEIL D G](#) [The graph isomorphism disease](#) 1977
10. [CORNEIL D G](#); [GOTTLIEB C C](#) [An efficient algorithm for graph isomorphism](#) 1970 (01)
11. [ULLMANN J R](#) [An algorithm for subgraph isomorphism](#) 1976 (01)
12. [FALKENHAINER B](#); [FORBUS K D](#); [GENTNER D](#) [The structuremapping engine:algorithms and examples](#) 1989 (01)
13. [MESSMER B T](#); [BUNKE H](#) [A decision tree approach to graph and subgraph isomorphism detection](#) 1999 (12)
14. [扈文峰](#) [集成电路反向工程逻辑综合算法研究](#) 1999

## 本文读者也读过(10条)

1. [李长青](#), [汪雪林](#), [彭思龙](#), [Li Changqing](#), [Wang Xuelin](#), [Peng Silong](#) [辐射路匹配:从门级到功能模块级的子电路提取算法](#)[期刊论文]-[计算机辅助设计与图形学学报](#)2006, 18 (9)
2. [张志祥](#), [李庆华](#), [罗建明](#), [ZHANG Zhi-Xiang](#), [LI Qing-Hua](#), [LUO Jian-Ming](#) [改进的基于分解的子图同构算法](#)[期刊论文]-[计算机科学](#)2006, 33 (1)
3. [李长洲](#), [李庆](#), [魏蛟龙](#), [周曼丽](#) [基于智能多代理者的故障诊断系统](#)[期刊论文]-[计算机与数字工程](#)2002, 30 (2)
4. [刘夫云](#) [复杂网络中的完全子图搜索算法研究](#)[会议论文]-2006
5. [张俊峰](#), [周焱](#), [薛冰](#), [刘荣辉](#), [ZHANG Jun-Feng](#), [ZHOU Yan](#), [XUE-Bing](#), [LIU Rong-Hui](#) [逐步最佑扩展的频繁子图挖掘算法](#)[期刊论文]-[河南科技大学学报 \(自然科学版\)](#) 2011, 32 (1)
6. [吴卫江](#), [李国和](#), [WU Wei-jiang](#), [LI Guo-he](#) [一种基于极大连通子图的电信社群网分割算法](#)[期刊论文]-[计算机工程与应用](#)2008, 44 (5)
7. [宋美娜](#) [基于DFS编码的图形数据库Top-K查询技术研究](#)[学位论文]2009
8. [解春欣](#), [汪卫](#), [XIE Chun-xin](#), [WANG Wei](#) [子图同构验证算法OES](#)[期刊论文]-[计算机工程](#)2011, 37 (3)
9. [刘芝梅](#) [寻找高连通子图的近似算法](#)[学位论文]2006

10. [杨成林](#), [田书林](#), [龙兵](#), [陈芳](#), [Yang Chenglin](#), [Tian Shulin](#), [Long Bing](#), [Chen Fang](#) [基于启发式图搜索的最小测点集优选新算法](#)[期刊论文]-[仪器仪表学报](#)2008, 29(12)

#### 引证文献(1条)

1. [潘伟涛](#), [邱智亮](#) [基于压缩式改进迷宫算法的同构子电路提取](#)[期刊论文]-[计算机工程与应用](#) 2012(20)

引用本文格式: [李长青](#), [张富斌](#), [彭思龙](#), [LI Chang-qing](#), [ZHANG Fu-bin](#), [PENG Si-long](#) [基于子图同构的子电路提取算法](#)[期刊论文]-[计算机工程与应用](#) 2006(34)