

一种基于图模式匹配的逻辑单元映射算法

倪 刚 来金梅* 童家榕

(复旦大学专用集成电路与系统国家重点实验室 上海 201203)

(nigang@fudan.edu.cn)

摘 要 基于数学中图模式匹配的概念,根据电路特征在子图同构算法中加入图约束条件,研究了针对不同结构的 FPGA 逻辑单元都能适用的映射算法 FDUMap。实验中应用 FDUMap 将测试电路映射到不同的逻辑单元中。该算法比现有的专用的逻辑单元映射算法通用性更好,而平均性能上仅相差 3%。

关键词 逻辑单元映射;工艺映射;图模式匹配;现场可编程门阵列

中图法分类号 TN47

A Logic Cell Mapping Algorithm Based on Graph Pattern-Matching

Ni Gang Lai Jinmei* Tong Jiarong

(State Key Laboratory of ASIC & System, Fudan University, Shanghai 201203)

Abstract Based on the concept of graph pattern-matching, a universal FPGA logic cell mapping algorithm (FDUMap) was studied by adding graph constraints to subgraph isomorphism algorithm according to circuit character. In the experiment, FDUMap can successfully map the benchmarks to logic cells of different structures. Compared with existing logic cell specific mapping algorithms, FDUMap is better in universality and only 3% worse in average performance.

Key words logic cell mapping; technology mapping; graph pattern-matching; field programmable gate array

FPGA 的软件流程如图 1 所示,从门级网表到逻辑块的布局布线之间的步骤统称为工艺映射。工艺映射的目的是将用户设计电路的门级网表进行划分,划分后的每一小块电路的逻辑功能都可以用 FPGA 的一个逻辑块来实现。逻辑块是 FPGA 中实现逻辑功能的阵列块,早期的 FPGA 的逻辑块是平面的,平面逻辑块称为逻辑单元(logic cell, LC),而且 LC 的内部只含有单个查找表(look-up table, LUT),因此工艺映射的工作主要集中在 LUT 的映射上^[1]。随着电路设计规模的增大, FPGA 中 LC 的结构也越来越复杂, LC 内部有多个 LUT 和多个 D 触发器(D flip-flop, DFF),在 LUT 映射后还要进行 LC 的映射。RASP 系统^[2]中集成了处理 Xilinx 的 XC3000 系列 FPGA 的 LC 的映射算法 lut2xc3k 和

处理 XC4000 系列 FPGA LC 的映射算法 lut2xc4k。现今主流 FPGA 的逻辑块是层次化的(层次逻辑块称为逻辑簇),逻辑簇中含多个 LC 和内部互连开关矩阵,还需要把 LC 装箱到逻辑簇中才能完成整个工艺映射^[3]。如果 FPGA 的逻辑块只是平面的,则图 1 流程中的虚线部分可以省略。

可见,不论是平面化还是层次化的逻辑块, LC 的映射都是必不可少的步骤,而且对软件系统的性能起着十分关键的作用。由于不同 FPGA 的 LC 中的 LUT 和 DFF 数目、连接情况各异, LC 映射一直是个难点。商用 FPGA 厂商针对自己的 FPGA 产品中的 LC 的特点有未予公开的专用的 LC 映射算法;学术界目前研究的主流 FPGA 的 LC 结构非常简单,仅含一个 LUT 和一个 DFF,因此相应的专用

LC 映射算法就很简单,往往和 LC 装箱算法集成在一起^[3],即使是能处理复杂的 LC 结构的 RASP^[2],其中的 LC 映射算法也不完善.为了简化甚至不考虑 DFF 的存在,仅假设 LC 中含多个 LUT.近年来,学术界也鲜有 LC 映射的研究成果出现,针对这一现状和实际需要,本文提出一种对不同结构 LC 都适用的 LC 映射算法 FDUMap. FDUMap 由 LC 结构生成它对应的功能电路集,并采用数学的图模式匹配的概念,在子图同构算法中加入代表电路特征的图约束条件,以实现功能电路和用户电路的匹配和 LC 替换,从而用户电路完全由 FPGA 的 LC 实现.

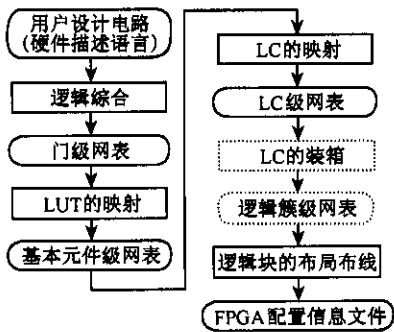


图1 FPGA 的软件流程

1 LC 映射问题定义

1.1 LC 结构

图 2 所示为 Xilinx 公司 XC4000 系列 FPGA 芯片的可配置逻辑块(configurable logic block , CLB)结构^[4].它是一个典型的 FPGA 的 LC ,内部的元件有以下类型:1)LUT. LUT 是 LC 中实现组合逻辑的元件,有 $k(k>1)$ 个输入端和 1 个输出端, k 输入 LUT 可以实现 k 变量的任意布尔逻辑. 2)DFF. DFF 是 LC 中实现时序逻辑的元件,有 1 个数据输入端和 1 个数据输出端,此外还有时钟、置位和复位等控制输入端. 3)开关多路选通器(switch MUX , SMUX). LC 中的选通元件,不实现电路逻辑, $I(I>1)$ 路输入中只有 1 路可以通过 SMUX 输出. 它有 $m(m = \text{ceil}(\lg_2 I))$ 个控制端, 连接到 m 位存储编程值的 SRAM 上. 图 2 中标出了 SMUX 连接的 SRAM 位 $R_1 \sim R_{10}$. 因为多选一选通器总可以由几个二选一选通器组成, 所以约定本文后面提到的 SMUX 都是二选一的, 当 SRAM 位为 0 时第 1 个输入通过, 为 1 时第 2 个输入通过. 4)原始输入端(primary input , PI). 5)原始输出端(primary output , PO).

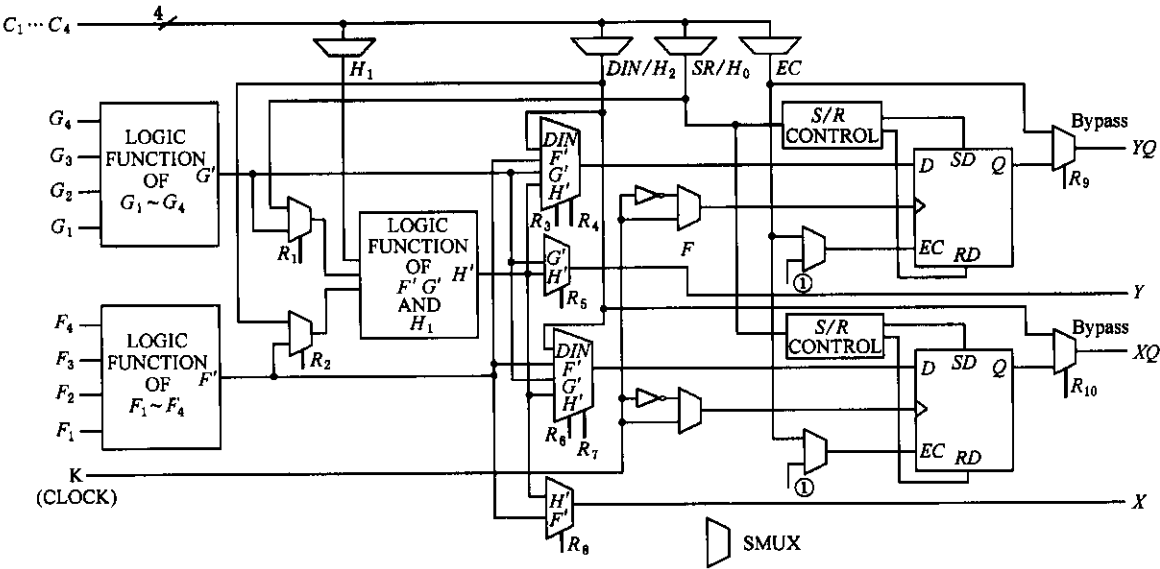


图2 一个典型的 LC 结构

若顶点 v 表示元件, $i[k]$ 表示元件的第 k 个输入端, 有向边 $x[i][k]$ 表示元件 x 的输出端连接到元件 y 的第 k 个输入端, 则 LC 可以用一个有向无环图(directed acyclic graph , DAG) G_{LC} 表示, $G_{LC} = (V_{LC}, E_{LC})$. 其中, $V_{LC} = V_{LUT}(LC) \cup V_{DFF}(LC) \cup$

$V_{SMUX}(LC) \cup V_{PI}(LC) \cup V_{PO}(LC)$, $E_{LC} = \{ x[i][k] \mid x \neq y; x[i][k] \in V_{LC} \}; V_{LUT}(LC), V_{DFF}(LC), V_{SMUX}(LC), V_{PI}(LC)$ 和 $V_{PO}(LC)$ 分别是 LC 中 LUT, DFF, SMUX, PI 和 PO 这 5 种类型的元件顶点集合.

1.2 用户设计电路

LC 映射所处理的用户设计电路是基本元件级网表,网表中的元件类型有 PI,PO,LUT 和 DFF.基本元件级网表用有向图 G_{U_1} 表示为 $G_{U_1}=(V_{U_1},E_{U_1})$. 其中, $V_{U_1}=V_{LUT}(U_1)\cup V_{DFF}(U_1)\cup V_{PI}(U_1)\cup V_{PO}(U_1)$, $E_{U_1}=\{x,y[k]\mid x\neq y;x,y\in V_{U_1}\}$; $V_{LUT}(U_1)$, $V_{DFF}(U_1)$, $V_{PI}(U_1)$ 和 $V_{PO}(U_1)$ 分别是基本元件级网表中 LUT,DFF,PI 和 PO 类型的元件顶点集合.

经过 LC 映射后,用户设计电路成为 LC 级网表,网表中的元件类型除了 PI,PO 以外只有 LC. LC 级网表用有向图 G_{U_2} 表示为 $G_{U_2}=(V_{U_2},E_{U_2})$. 其中, $V_{U_2}=V_{LC}(U_2)\cup V_{PI}(U_2)\cup V_{PO}(U_2)$, $E_{U_2}=\{x,y[k]\mid x\neq y;x,y\in V_{U_2}\}$; $V_{LC}(U_2)$, $V_{PI}(U_2)$ 和 $V_{PO}(U_2)$ 分别是 LC 级网表中 LC,PI 和 PO 类型的元件顶点集合.

1.3 LC 映射问题的数学描述

LC 映射问题:如何把 G_{U_1} 划分成 M 个子图 G_{Sub} ,这些子图构成的集合 $S_G=\{G_{Sub}(i)\mid i=1,2,\dots,M\}$ 满足以下 2 个条件:

- 1) $G_{Sub}(i)$ 表示的那部分电路中的元件连接可以用一个 LC 实现;
- 2) $G_{Sub}(i)\cap G_{Sub}(j)=\emptyset(i\neq j)$, $G_{Sub}(i)\subset G_{U_1}$, $G_{Sub}(i)=(V_{Sub}(i),E_{Sub}(i))$, $V_{Sub}(i)=V_{LUT}(Sub(i))\cup V_{DFF}(Sub(i))$, $\bigcup_{i=1}^M V_{Sub}(i)=V_{LUT}(U_1)\cup V_{DFF}(U_1)$, $E_{Sub}(i)=\{x,y[k]\mid x\neq y;x,y\in V_{Sub}(i)\}$; $V_{LUT}(Sub(i))$ 和 $V_{DFF}(Sub(i))$ 分别表示基本元件级网表的第 i 个子电路部分中 LUT 和 DFF 类型的元件顶点集合.

得到 S_G 后,按照图变换关系 f :

$$\begin{aligned} G_{Sub}(i) &\Rightarrow \alpha(i), \\ S_G &\Rightarrow V_{LC}(U_2), V_{LC}(U_2) = \{\alpha(i)\mid i=1,2,\dots,M\}, \\ V_{PI}(U_1) &\Rightarrow V_{PI}(U_2), \\ V_{PO}(U_1) &\Rightarrow V_{PO}(U_2), \\ x,y \mid x\in V_{Sub}(i), y\in V_{Sub}(i) &\Rightarrow x,\alpha(i), \\ x,y \mid x\in V_{Sub}(i), y\in V_{Sub}(i) &\Rightarrow \alpha(i),y, \end{aligned}$$

就可以得到 $G_{U_2}=f(G_{U_1})$. 条件 1 中表述的“一个 LC 可以实现的元件连接”将用“功能电路”概念来数学化.

1.4 功能电路

定义 1. LC 在编程配置(所有 SMUX 的控制端连接的 SRAM 中存储了一组二进制值)后,组合和

时序元件间的实际连接称为 LC 在这组编程值下的功能电路(function circuit, FC).

LC 在不同配置值下对应的 FC 是不同的. 一个 LC 实现的元件连接的所有可能情况就是它的 FC 的集合. LC 对应的所有 FC 可以用有向图集 S_{FC} 描述如下:

$$\begin{aligned} S_{FC} &= \{G_{FC}(i)\mid i=1,2,\dots,N\}, \\ G_{FC}(i) &= (V_{FC}(i),E_{FC}(i)), \\ V_{FC}(i) &= V_{LUT}(FC(i))\cup V_{DFF}(FC(i)), V_{FC}(i)\subset V_{LC}, \\ E_{FC}(i) &= E_{FC_1}(i)\cup E_{FC_2}(i), E_{FC_1}(i)\subset E_{LC}, \\ E_{FC_1}(i) &= \{x,y\mid x,y\in V_{FC}(i)\cup V_{PI}(LC)\cup V_{PO}(LC)\}, \\ E_{FC_2}(i) &= \{x,y\mid x,z\in E_{LC}, z,y\in E_{LC}, \\ &\quad z\in V_{SMUX}(LC)\}. \end{aligned}$$

其中, $V_{LUT}(FC(i))$ 和 $V_{DFF}(FC(i))$ 分别表示 LC 的第 i 个 FC 中 LUT 和 DFF 类型的元件顶点集合.

限于篇幅,FC 集 S_{FC} 的生成方法略.

2 FC 匹配

由定义 1 第 1.3 节中的条件 1 可描述为: $G_{Sub}(i)$ 表示的那部分电路是 LC 的一个 FC $G_{FC}(j)$. 那么 LC 的映射问题的关键就是 FC 匹配问题:在用户电路 G_{U_1} 中依次匹配 FC 集 S_{FC} 中的每一个 FC $G_{FC}(j)$,并用 V_{LC} 来替换 G_{U_1} 中每处相匹配的部分 $G_{Sub}(i)$,直到用户电路成为 G_{U_2} ,LC 映射完成.

2.1 LC 映射的目标函数

LC 映射问题最终转变成 FC 和用户电路的匹配问题. 由于 FC 有很多个,LC 映射的目标函数决定了和用户电路匹配时 FC 的优先顺序.

1) 以面积最小为目标的 LC 映射

面积最小指映射后的 LC 级用户电路 G_{U_2} 中 LC 个数最少,即 $\min(|V_{LC}(U_2)|)$. 因此,匹配顺序就是内部含 LUT 和 DFF 个数多的 FC 优先.

2) 以时延最小为目标的 LC 映射

时延最小指 G_{U_2} 中从 PI 到 PO 的关键路径上经过的 LC 个数最小,即 $\min(\max(|path(v_{PI},v_{PO})|))$. 因此,匹配顺序就是 FC 中关键路径长的优先.

2.2 图模式匹配

图的模式匹配是一个经典的数学问题,就是在一个给定的目标图 G 中找出另一个样本图 G' 的同构的像,因此又常称为子图同构问题.

子图同构的数学定义:对图 $G=(V,E)$ 和图 $G'=(V',E')$,若关系 $\phi\subseteq V'\times V$ 满足 $\phi^T\phi\subseteq I$, $\phi\phi^T=I$, $E\subseteq\phi E'\phi^T$,则称 ϕ 是从 G' 到 G 的子图的

一个同构关系,记为 $\phi:G'\rightarrow G$. 子图同构关系 $\phi:V'\rightarrow V$ 的性质是一个单射函数,对所有的 $u',v'\in V'$ ($u',v'\in E'$ 都成立 $(\phi(u'),\phi(v'))\in E$).

例如, G' 和 G 如图 3 中所示,则 G' 到 G 有以下 2 个子图同构关系:

$$\phi_1 = \{ (v'_1, v_3) (v'_2, v_1) (v'_3, v_2) \},$$
$$\phi_2 = \{ (v'_1, v_4) (v'_2, v_1) (v'_3, v_2) \}.$$

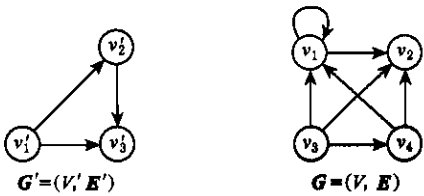


图 3 子图同构例子

子图同构问题是 NP 完全问题,若目标图中的顶点个数是 m ,样本图中的顶点个数是 n ($m>n$),则得到 ϕ 所需的试验次数的最坏情况是 $O(m^n)$.

文献 5 对图模式匹配问题进行了深入研究,其算法思想是利用深度优先的树搜索构造每一个可行解,代入子图同构定义中的 3 个判断式中验证是否满足;同时在改进算法中增加了搜索树的剪枝算子,对明显不会同构的分支情形进行预先判断和排除,大大地降低了搜索的次数,减少了构造出的可行解.

2.3 电路的图模式匹配

在 FC $G_{FC}(j)$ 和用户电路 G_{U_1} 匹配时,把 G_{U_1} 作为目标图, $G_{FC}(j)$ 作为样本图,这样就可以用图模式匹配算法,在目标图中找到一个同构的像图 $G_{Sub}(i)$.

电路图比起数学中一般意义的图有很多自己的特征. 基于图模式匹配算法^[5],我们根据电路的一些特征加入了如下的图约束条件:1)顶点有类型,样本图中的顶点要和它在目标图中的像顶点的类型一致;2)边是有方向的;3)样本图中的输入顶点(即与 $V_{PI}(LC)$ 相连的顶点)的入度必须不小于它的像顶点的入度,非输入顶点的入度要和它的像顶点的入度相同,非输出顶点(即不与 $V_{PO}(LC)$ 相连的顶点)的出度要和它的像顶点的出度相同;4)顶点各条入边的等价性,LUT 的输入端是等价的,DFE 的输入端不等价. 在基本树搜索时利用这些约束条件作为额外的剪枝算子,可以快速得到匹配结果.

3 实 验

FDUMap 在 Windows 环境下用 C++ 语言实现.

实验中选取了 3 种 LC:Xilinx 公司 XC4000 系列 FPGA 芯片的 CLB(如图 2 所示),XC3000 系列 FPGA 芯片的 CLB,以及复旦大学自主研发的 FPGA 芯片 FDT200k^[6]的可编程 LC. 测试电路选用了 MCNC 测试网表^[7]中规模较大的一些组合和时序电路.

测试电路预先经过 LUT 映射算法 FlowMap^[1]处理成为基本元件级网表,然后分别使用 RASP 系统^[2]中的算法 lut2xc3k, lut2xc4k 以及本文的 FDUMap 进行 LC 映射. 由于 lut2xc3k, lut2xc4k 都是基于面积的,所以 FDUMap 中采用面积最小为目标函数. lut2xc4k 是专门针对 XC4000 系列的 LC 开发的映射算法,因此只能把这些测试电路映射到 XC4000 的 CLB 中, lut2xc3k 是专门针对 XC3000 系列的 LC 开发的映射算法,因此只能把这些测试电路映射到 XC3000 的 CLB 中,而 FDUMap 成功地把测试电路映射到 FDT200k, XC4000 和 XC3000 这 3 种 FPGA 的逻辑单元中. LC 映射算法对相同的测试电路的映射结果如表 1 所示,其中,第 2 列中的数字表示电路在映射之前 LUT 和 DFE 总数,第 3 列数字表示采用 FDUMap 算法把电路映射到 FDT200k LC 后占用的 FDT200k 这种 LC 的数目,第 5~7 列含义可类比第 3 列.

表 1 3 种算法的映射结果

	映射前 元件数	FDT200k	XC4000		XC3000	
		A	A	B	A	C
too-large	5 522	5 166	2 497	2 497	3 176	3 219
des	3 427	2 672	1 414	1 385	1 903	2 106
bigkey	3 055	2 824	1 627	1 135	1 650	1 655
misex3	2 453	2 415	1 182	1 008	1 427	1 483
apex2	2 240	2 193	1 103	987	1 291	1 302
seq	1 990	1 943	983	878	1 147	1 139
alu4	1 805	1 756	892	766	1 070	1 130
dsip	1 601	1 363	688	683	907	907
ex5p	1 397	1 351	687	616	794	760
i8	1 345	1 272	626	615	728	752
i10	946	881	472	424	543	529
apex3	931	890	439	397	503	519
cordic	845	797	360	356	507	544
合计			12 970	11 747	15 646	16 045

注:A 表示 FDUMap 算法;B 表示 lut2xc4k 算法;C 表示 lut2xc3k 算法

从表 1 中可以看出,FDUMap 算法对 3 种 LC

都可以很好地进行处理,而 lut2xc4k 算法仅能处理 XC4000 的 CLB,lut2xc3k 算法仅能处理 XC3000 的 CLB,它们都无法处理其他结构的 LC.因此在通用性方面,FDUMap 是目前已有的 LC 映射算法所无法相比的.

对于 XC4000 的 CLB 映射结果,FDUMap 比 lut2xc4k 平均差 10.4%;对于 XC3000 的 CLB 映射结果,FDUMap 比 lut2xc3k 平均优 2.5%;综合估计,FDUMap 算法比专用的 LC 映射算法在平均性能上仅差 3%.与通用性相比,性能上的一点差别完全可以忽略不计.

4 结 论

LC 映射是 FPGA 工艺映射流程中与 LC 结构有关的步骤,已有的算法都是针对某一具体和确定的 LC 而设计的.本文提出了基于图模式匹配的 LC 映射的思想,并研究了通用性 LC 映射算法 FDUMap. FDUMap 首先从一个 LC 结构中生成能表示它内部各元件间可能连接情况的 FC 集,然后将基本元件级的用户设计电路和 LC 的 FC 都用 DAG 表示,从而用数学中的图模式匹配算法完成了用户设计电路在 LC 中的映射.因为 LC 的结构也是 FDUMap 的一个输入项,所以 FDUMap 不是只针对某种特定结构的 LC 的映射算法,而是具有很好的通用性,并且在性能上也与专用的 LC 映射算法基本相当.

参 考 文 献

[1] Cong J, Ding Y. FlowMap: an optimal technology mapping algorithm for delay optimization in lookup-table based FPGA designs[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1994, 13(1): 1-12

[2] Cong J, Peck J, Ding Y. RASP: a general logic synthesis system for SRAM-based FPGAs[C]//Proceedings of the 4th International Symposium on FPGAs. New York: ACM Press, 1996: 137-143

[3] Marquardt A, Betz V, Rose J. Using cluster-based logic blocks and timing-driven packing to improve FPGA speed and density [C]//Proceedings of the 4th International Symposium on FPGAs. New York: ACM Press, 1999: 37-46

[4] Xilinx Inc. The programmable logic data book[M]. San Jose, California: Xilinx Inc., 2000

[5] Valiente G, Martinez C. An algorithm for graph pattern-matching [C]//Proceedings of the 4th South American Workshop on String Processing, Volume 8 of International Informatics Series. Valparaiso, Indiana: Carleton University Press, 1997: 180-197

[6] Wang Yuan. Design and implementation of the system structure of 0.18μm FPGA[D]. Shanghai: Fudan University, 2005 (in Chinese)

(王元. 0.18μm FPGA 系统结构设计与实现[D]. 上海: 复旦大学, 2005)

[7] Yang S. Logic synthesis and optimization benchmarks, Version 3.0[R]. Research Triangle Park, NC: Microelectronics Center of North Carolina, 1991



倪 刚 男,1981 年生,硕士,主要研究方向为 VLSI EDA 软件算法、FPGA 工艺映射算法等.



来金梅 女,1965 年生,博士,副教授,论文通讯作者,主要研究方向为可编程系统芯片及其软件系统设计(jmlai@fudan.edu.cn).



童家榕 男,1942 年生,教授,博士生导师,主要研究方向为电子线路与系统、IC ⅡC CAD.

一种基于图模式匹配的逻辑单元映射算法

作者: [倪刚](#), [来金梅](#), [童家榕](#), [Ni Gang](#), [Lai Jinmei](#), [Tong Jiarong](#)
作者单位: [复旦大学专用集成电路与系统国家重点实验室](#), 上海, 201203
刊名: [计算机辅助设计与图形学学报](#) 
英文刊名: [JOURNAL OF COMPUTER-AIDED DESIGN & COMPUTER GRAPHICS](#)
年, 卷(期): 2006, 18(12)
被引用次数: 4次

参考文献(6条)

1. [Cong J;Peck J;Ding Y](#) RASP:a general logic synthesis system for SRAM-based FPGAs 1996
2. [Marquardt A;Betz V;Rose J](#) Using cluster-based logic blocks and timing-driven packing to improve FPGA speed and density 1999
3. [Xilinx Inc](#) The programmable logic data book 2000
4. [Valiente G;Martinez C](#) An algorithm for graph pattern-matching 1997
5. [王元](#) 0.18 μ m FPGA系统结构设计与实现 2005
6. [Yang S](#) Logic synthesis and optimization benchmarks, Version 3.0 1991

本文读者也读过(10条)

1. [武新宇](#), [来金梅](#), [孙承绶](#), [任俊彦](#), [章倩苓](#) 双频激励耦合PDE-AE射频系统的准周期稳态响应模拟算法研究[期刊论文]-[电子学报](#)2003, 31(12)
2. [张琨](#), [周华兵](#), [陈陵都](#), [刘忠立](#), [Zhang Kun](#), [Zhou Huabing](#), [Stanley L Chen](#), [Liu Zhongli](#) 针对一种多模式逻辑单元结构FPGA的工艺映射[期刊论文]-[计算机辅助设计与图形学学报](#)2009, 21(10)
3. [倪刚](#), [童家榕](#), [来金梅](#), [NI Gang](#), [TONG Jia-rong](#), [LAI Jin-mei](#) 通用的FPGA逻辑单元映射工具[期刊论文]-[复旦学报\(自然科学版\)](#) 2006, 45(4)
4. [杨倩](#), [Yang Qian](#) 模式映射语义更新的探讨[期刊论文]-[山东师范大学学报\(自然科学版\)](#) 2006, 21(4)
5. [来金梅](#), [章勇](#), [姚庆栋](#), [LAI Jin-Mei](#), [ZHANG Yong](#), [YAO Qing-Dong](#) 视频编码器片上系统集成中软硬件协同设计方法的研究[期刊论文]-[计算机辅助设计与图形学学报](#)2000, 12(6)
6. [黄迟](#), [孙承绶](#), [来金梅](#) 降低射频电路串扰噪声的布线方法[期刊论文]-[半导体技术](#)2002, 27(10)
7. [侯慧](#), [曹伟](#), [张钊炯](#), [来金梅](#), [童家榕](#), [HOU Hui](#), [CAO Wei](#), [ZHANG Fan-jiong](#), [LAI Jin-mei](#), [TONG Jia-rong](#) 一种快速高效的二维一级小波变换的硬件实现[期刊论文]-[信息与电子工程](#)2008, 6(4)
8. [杨励](#), [谭俊](#), [来金梅](#), [Omar Wing](#), [郑增钰](#) 基于MOS管PDE模型的RF电路瞬态包络仿真算法分析[期刊论文]-[复旦学报\(自然科学版\)](#)2004, 43(1)
9. [李瑞轩](#), [卢正鼎](#), [肖卫军](#), [李兵](#) 多数据库系统中的模式映射方法[期刊论文]-[计算机工程与科学](#)2004, 26(3)
10. [来金梅](#), [武新宇](#), [任俊彦](#), [章倩苓](#), [Omar Wing](#) 基于MOSFET PDE模型的射频自治电路周期稳态算法研究[期刊论文]-[电子学报](#)2003, 31(8)

引证文献(4条)

1. [李鹏](#), [兰巨龙](#), [李立春](#) 统一关键路径时延为基准FPGA模拟退火布局算法[期刊论文]-[计算机辅助设计与图形学学报](#) 2011(3)
2. [龚爱慧](#), [梁绍池](#), [陈志辉](#), [王伶俐](#), [童家榕](#) CSPack:采用CSP图匹配的新型装箱算法[期刊论文]-[计算机辅助设计与图形学学报](#) 2010(11)
3. [蔡丹](#), [来金梅](#), [童家榕](#) PLBMAP:高性能通用FPGA可编程逻辑块映射算法[期刊论文]-[微电子学与计算机](#) 2008(8)
4. [张琨](#), [周华兵](#), [陈陵都](#), [刘忠立](#) 针对一种多模式逻辑单元结构FPGA的工艺映射[期刊论文]-[计算机辅助设计与图形学学报](#) 2009(10)

引用本文格式：[倪刚](#). [来金梅](#). [童家榕](#). [Ni Gang](#). [Lai Jinmei](#). [Tong Jiarong](#) [一种基于图模式匹配的逻辑单元映射算法](#)
[\[期刊论文\]](#)-[计算机辅助设计与图形学学报](#) 2006(12)