

东南大学

学术型研究生学位论文开题报告 及论文工作实施计划

院（系、所） 电子科学与技术学院

学科（专业） 微电子学与固体物理学

研究生姓名 李小泉

学科门类与学位级别 工学硕士

导师姓名 孙伟锋

入学年月 2013年9月

开题报告日期 2014年12月16日

填 表 须 知

1、论文开题报告由研究生本人向审议小组报告并听取意见后，由研究生本人填写此表。

2、论文开题报告填写完成后，必须经导师审批，通过后方能提交。

3、博士生应在第四学期内、硕士生应在第三学期内完成此开题报告。开题报告经研究生秘书在网上审核确认（硕士生至少半年、博士生至少一年）后方可申请答辩。

4、研究生开题前应填写查新报告。查新报告对理、工、医、管等学科博士生作为必要环节。博士生查新工作可委托图书馆负责，也可在完成网络文献检索类研究生课程的学习或参加学校组织的网络文献检索培训后，自行组织查新检索，自行组织查新需要详细文献查新述评作为附件。自行查新报告须经导师审查后由开题报告审核专家组审核签字（或盖章）。硕士生和文科博士生开题查新参考上述办法，不作硬性要求。

5、本表一式两份，一份研究生自留放入本人“研究生档案材料袋”；一份由院（系、所）保存并归入院（系、所）研究生教学档案。

6、学科门类与学位级别指的是工学（或理学等）博士、硕士。

7、本表下载区：<http://seugs.seu.edu.cn/s/97/t/1707/aa/b8/info43704.htm>。本表电子文档打印时用 A4 纸张，格式不变，内容较多可以加页。

一、学位论文开题报告

论 文 题 目	FPGA 互连架构低功耗设计与优化								
研 究 方 向	低功耗 FPGA								
题 目 来 源	国家	部委	省	市	厂、矿	自 选	有无合 同	经费数	备注
						√	无		
题 目 类 型	基础 研究	应用 研究	综 合 研 究	其它					
			√						
论文开题 前上网检 索情况 (硕士生 可不作要 求;理、 工、医、 管学科博 士生应填 写并附查 新报告)									

开题报告内容

(包括: 立题依据及价值、研究内容及方法、可行性分析、预期的成果、预计的困难及解决办法)

一、立题依据及价值

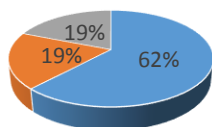
1. 课题背景

现场可编程门阵列(Field-Programmable Gate Arrays, FPGA) 自从 1984 年产生之后, 一直保持着强劲的发展势头, 到现在已经有 30 年的发展历史[1]。目前嵌入式和移动领域成为半导体行业一个新的增长点, 消费电子, 尤其是智能手机、平板电脑、引发了新一轮的电子消费热潮, 从而强劲地拉动了相关芯片的出货量。但是这些领域对芯片功耗通常有苛刻的要求, FPGA 的功耗是专用集成电路的十几倍甚至几十倍, 这极大地限制了 FPGA 在这些领域的广泛使用。

研究指出 FPGA 的互连部分占用了 50% - 80% 的 FPGA 总面积 [2] - [4], 60% - 70% 的 FPGA 总延时 [2] - [6] 和 50% - 80% 的 FPGA 总功耗 [2] - [4], [6], [7]。

表 1 互连结构的动态功耗

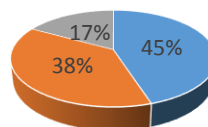
动态功耗



■ 互连 ■ 时钟 ■ 逻辑

表 2 互连结构的静态功耗

静态功耗



■ 互连 ■ 时钟 ■ 逻辑

如何在满足时序约束的条件下降低 FPGA 互连功耗是当前研究的热点。本课题在当前学术界的低功耗 FPGA 互连方案的基础上对低功耗互连结构进行探索。

2. 国内外研究现状

在 FPGA 发展之初, 研究主要集中在提高 FPGA 的性能和降低 FPGA 的面积。随着电路集成度的提高以及应用的扩展, 功耗超越其它问题成为主要的关注点。目前降低 FPGA 互连结构功耗的方法主要可以分为 3 类

- 晶体管级电路改进

目前比较成熟的技术是在 FPGA 的不同区域的器件采用不同的氧化层厚度, 降低静态功耗

- 低功耗电路技术:

文献[26]提出的门控电路结构和文献[27][31]提出的多电压驱动电路分别通过关闭未使用电路的控制开关和降低非关键路径的电压使得电路满足时序约束的同时降低功耗。文献[28]采用了功率门控电路技术降低 FPGA 中不被使用的区域的功耗。

● 结构级电路改进

结构级电路改进是功耗降低研究的热点，它主要有三个研究出发点：

- 连线长度、比例、分布及与开关盒的搭配
- 多种不同的开关盒的提出
- 全新的互连架构，新的拓扑结构替代原来的全局一致性结构

人们从这三个方向出发，对 FPGA 的互连结构进行了优化探索，取得了良好的效果。

表 3 学术界在 FPGA 互连结构级电路改进中的研究

分类	文献	方案	结果
连线	[21] (ACM, 2008)	基于 VPR, 开发了一个可以对 FPGA 的连线分布进行探索的工具，针对不同的应用和架构，探索该架构在特定应用下的最佳连线选择	延时降低 21% 功耗降低 10%
	[8] (IEEE, 2009)	从连通性考虑出发，使用更短的连线，为了避免短连线的缺点（使用轻量级的开关盒，也避免了配置存储增加），对 routing fabric 做出相应的修改	延时降低 19% 功耗降低 9 %
开关盒	[9] (ACM, 2005)	对大量的 benchmark 的布线结果分析，统计不同的连线在 switch box 中的数量，在最小的灵活性代价下，用硬连线替换部分 switch box 中的互连线 代价： 15.45%的 Channel width 的增加	延时降低 17.45% 功耗降低 4 % 面积减少 5%
	[11] (IEEE, 2005)	通过测试 routing fabric 的不同参数、不同结构部分对 FPGA 的整体性能、功耗的影响，探索出一个新的针对低功耗的 routing fabric	延时增加 5% 功耗降低 ~10 %
整体架构	[10]	提出 GSB(通用开关盒)结构代替 CB/SB 结构，将 CB、SB 的功能用一个 GSB 来完成，LB 直接与 GSB 互连	延时降低 3 % 功耗降低 4 % 面积减少 10.7%
	[12][13] [14] (FPL 2007)	设计了一个 routing 的 profile 工具，对大量的 benchmark 的布线结果分析，获取布线后的连通性需求和功耗的分布图，根据分布图的反馈对 FPGA 的互连结构进行修改 提出了按需分配的架构设计思想，根据 FPGA 不同区域对连通性的不同需求，不同区域使用不同的互连结构	延时降低 26% 功耗降低 11 %

学术界在 FPGA 的互连结构的探索依赖于多伦多大学的开源编译工具链 VPR[33]的支持，基本上所有的工具链都是从 VPR 派生出来。对于商业的 FPGA 设计，架构的更新会相对更加保守，由于资料的保

密性，不能或者目前主流的 FPGA 在互连结构设计上针对低功耗的改进。但是从 Xilinx 和 Altera 公司的发行专

利中仍然可以找到他们在低功耗架构探索上做的一些尝试。

和
公
司
结
构
面
的
利

文献	互连方案
[15][16] Xilinx 专利 (2009, 2014)	将十个互连单元组合在一起（一个功耗互连、一个接地互连、八个额外的互连）
[17][18][19]... Xilinx 专利 (2005, 2009, 2011)	将 FPGA 互连划分成两个子集，一个被优化成高性能，一个被优化成低功耗 修改工具链，将不是关键路径上的电路映射到低性能互连上
[20] Altera 专利 (2008)	把 FPGA 互连划分成多个区域，每个区域有不同的性能需求 通过电压控制，实现不同区域的不同性能

表 4
Xilinx
Altera
在互连
优化方
发行专

二、研究内容及方法

1. 研究基础

课题的研究基础主要来自学术上发表的关于低功耗互连的论文，商业上的文档中会对各自的 FPGA 的互连架构有一个总体的描述，缺乏对具体细节的描述；课题开始时对大量的低功耗互连方案做了总结和归类。

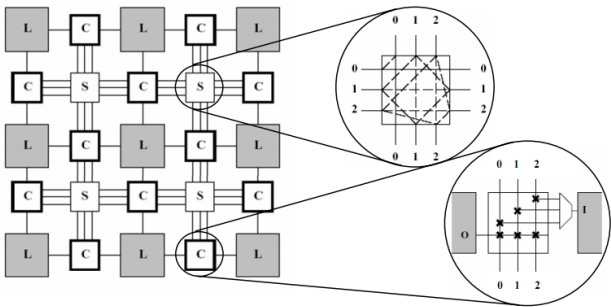


图 1 FPGA 互连结构

从 FPGA 的结构图中可以看出 FPGA 互连架构中所包含的三个主要部件：连线、开关盒、连接盒。大部分的论文都是讨论这三个部件的具体参数对 FPGA 的功耗的影响，从而获得功耗最优的互连架构参数。

● 连线

FPGA 的连线负责将不同的逻辑块连接到一起。连线的长度、比例、分布都是互连架构中的主要参数。

短线：更高的灵活性，更低的能量消耗，

长线：灵活性低，更高的能量消耗

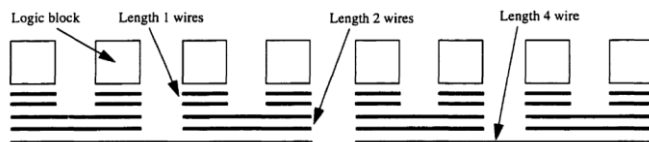


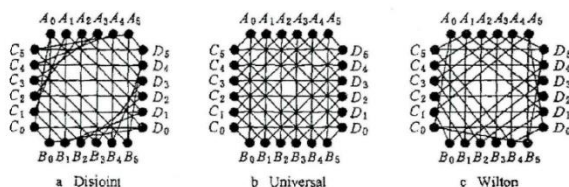
图 2 FPGA 中的连线分布

但如果用短线组成长线，那么开销会变大，因为需要开关盒去连接这些短线，如果长线作为短线使用则浪费了一部分长度没有被使用[21]

连线的长度、比例的确定：

依据：延迟、面积、功耗

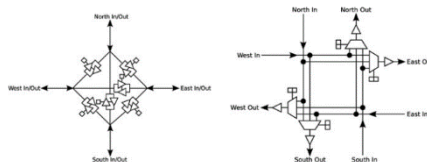
- 长度为 4 的连线能获得最好的延时和面积效益[21][22]
- 长度为 4 和 8 的组合能达到最好的连延时和面积效益[21][22]
- 长度为 3 的连线下 FPGA 的功耗延迟积最低[23]



● 开关盒

开关盒主要负责将不同方向的连线连接到一起，或者线连接成长线使用，对于互连架构，可以探索的方向盒的种类，开关盒中连线的种类，开关盒的连通系数

是将短是开关Fs 以及



- 开关盒的种类

不同的开关盒在连通性、面积、功耗上的差别[25]

图 3 不同种类开关盒的拓扑结构

- 开关盒里的连线的性质

双向和单向连线[24]

- 开关盒的连通系数 F_s

主要是连通性与面积与功耗之间的权衡

- 不同开关盒配对不同的连线的效果

图 4. 开关盒中单向和双向连线

● 连接盒

CLB、IP 等模块与连线的连通接口，复杂性主要体现在两个参数 F_{cin} 和 F_{cout} 上。

F_{cin} 与 F_{cout} 定义如下：

$$F_c = (\text{输入/输出连接点数}) / \text{沟道宽度 } (W)$$

F_c 定义了模块与互连的连通性，根据连通度需求在 $0 \sim 1$ 之间权衡选值。文献[34]指出设置 F_{cin} 为 0.8， F_{cout} 为 0.3 最有利于低功耗设计。

● 工具链

学术上 FPGA 架构探索都在多伦多大学的开源工具链 VPR(versatile place and route)上进行，它提供了一个完整的编译工具链，从电路设计到最后布线结束的二进制流文件，工具链还集成了用于时序、面积、功耗分析的工具。VPR 程序能够根据用户的输入参数，自动生成相应的逻辑和互连结构，从而非常方便结构研究人员对不同结构做出比较。当提出新的架构超出 VPR 本身支持的范围以外时，只需要对工具链做适应性修改。

2. 研究内容

本课从现有的研究论文出发，根据合理的连通性划分，分别探索在不同连通性需求下的最佳结构确定。

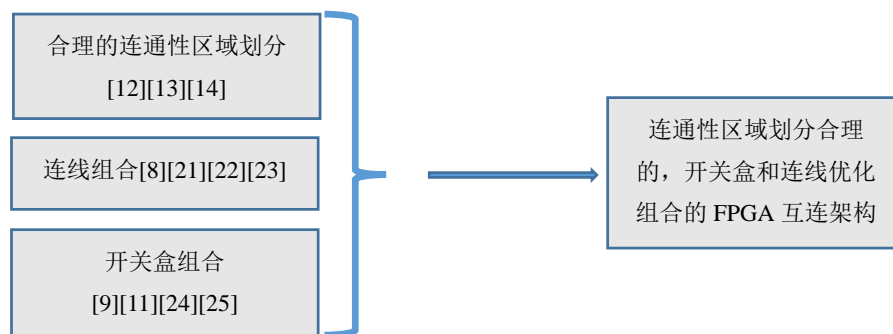


图5 研究内容

性能区域划分

- 不同的区域被使用的概率不同
 - 当设计足够大，所有的资源都被利用上以后，不同的区域的连通性需求也不相同
- 当明确每一个区域的连通性以后，从功耗的角度出发选择合适的设计参数

- 互连线长度、比例
- 开关盒的种类、单双向性、Fs
- 开关盒和连线的搭配
- 连接盒的 Fc 参数确定

3. 设计方案

- 总体方案

先从大量的测试集的统计结果来获得一般电路在 FPGA 上实现后的统计的连通性需求分布，然后通过对不同区域的互连架构参数进行

探索，找到这些参数针对低功耗的最优值；在 VPR 原始版本的基础上对其进行新架构的适应性修改，在修改后的 VPR 上对新的互连架构进行验证。

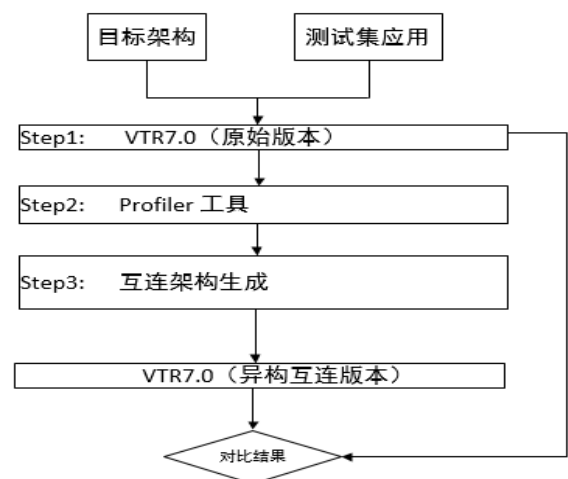
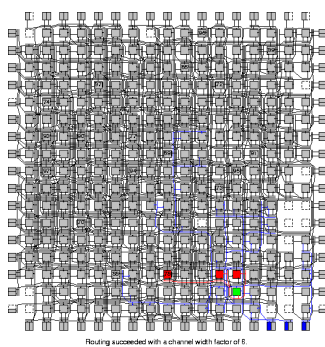
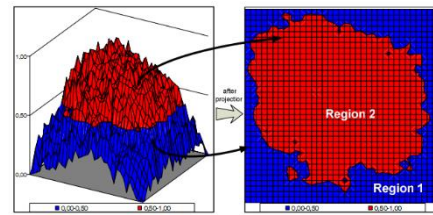


图6 总体方案

● 连
连
输入是
线后的
对不同
开关等
建立一
一个范
性区域的拓扑架构。



通性区域划分
通性
电路
结
区域
的使



分析的
布局布
果,通过
的连线、
用情况

套评判标准来定义不同区域的连通因子。将连通因子在某
围的区域划分成一个区域，整个 FPGA 被划分成不同连通



图 7 从布线结果中提取连通因子

● 互连架构生成

不同连通性区域的互连架构参数探索

高连通性：短连线，较大的 F_s 和 F_c 参数，使用复杂的开关盒（welton），沟道宽度（W）大，双向的开关盒连线（合理选择，如何在保证连通性的情况下尽可能地降低功耗）

低连通性：更多的长线，较小的 F_s 和 F_c 参数，使用简单的的开关盒（Disjoint），单向的开关盒连线，较小的沟道宽度

互连架构参数的确定从理论出发，但是最终的确定还是要将整个架构生成以后放到编译工具链中验证后才能确定。

● CAD 工具流设计

选择在学术上被大量采用的 VPR 工具作为工具平台，这是多伦多大学维护的一个开源的编译工具链，课题会在 VPR 原始版本的基础上对其进行新架构的适应性修改。

- 异构互连的 FPGA 架构在 VPR 工具链中生成
- 布局布线对新架构的支持
- 针对新架构的面积、延时、功耗、分析。

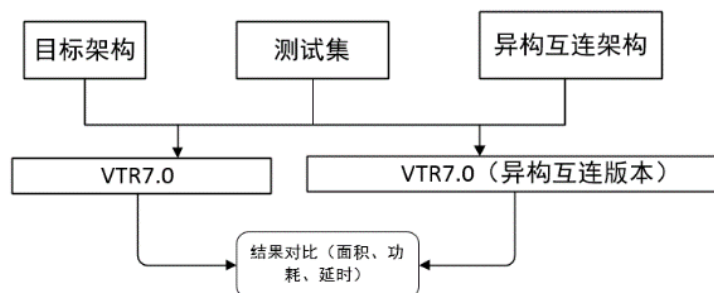


图 8 编译工具链修改

● 架构验证

目标架构：采用 VTR7.0 套件里的 Stratix IV FPGA 架构，由于某些架构信息的缺失，所以只能称之为近似架构。商业架构非常复杂，比较完整（去除加密部分）的架构描述对应的 xml 文件有十几万行，但是其中大多都是与互连无关的 IP，因此在做探索时会去掉无关的 IP，保留 Stratix IV 原有的互连结构。

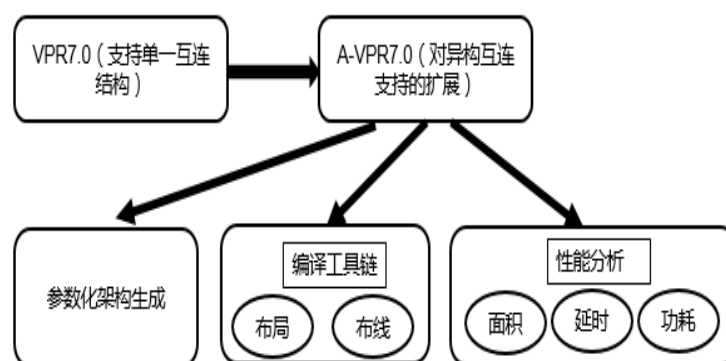
测试集选择：选择在学术界被广泛采用的 MCNC 测试集。

图 9 测试框架

三、可行性分析

本课题以学术上的论文为基础，选取合理的连通性划分方式，从已有的论文出发确定每一个区域中各个架构参数，将论文中互连架构低功耗探索的结论应用到不同的连通性区域，并对其进行验证。目前学术上已经有许多论文在这些方面做出了探索，并得出了许多可用的结。

课题选择在学术上被大量采用的 VPR 工具作为工具平台，这是多伦多大学维护的一个开源的编译工具链，课题会在 VPR 原始版本的基础上对其进行新架构的适应性修改；由于 VPR 的良好的可扩展性，因此这种方式是学术上对 FPGA 的架构探索所采用的普遍模式。



四、预期的成果

- 连通性区域划分合理的，开关盒和连线优化组合的 FPGA 互连架构，并且该架构在延迟和功耗的优化结果上要优于对比论文。
- 支持异构互连探索的编译工具链，该工具链要保证整个架构的验证和对比。
- 发表一篇高水平论文

五、预计的困难及解决办法

- 连通性区域划分的依据获取

从大量的测试集的统计结果来获得一般电路在 FPGA 上实现后的统计的连通性需求分布。对于具体的连通性情况要对每一个电路的布线结果作分析，统计不同区域的连通性情况，并用图表的形式把它描述出来。

- 不同连通性区域架构参数的确定

对于不同的连通性区域的架构参数，前人的论文研究可以作为确定的基础，从这些基础出发可以获取某些连通性区域参数的一个指导值，然后通过对这些参数进行验证探索，找到这些参数的最优值。当所有区域的架构参数都被低功耗优化以后整个架构在理论上就确定了。

- 异构互连的 FPGA 架构在 VPR 工具链中生成

对于异构互连的架构探索，很大一部分努力是对现有的基础工具链的扩展。VPR 的架构生成是参数化的，这为我们定义自己的架构停供了方便，但同时也意味着无法对架构更改太多，许多架构特性都是被确定了的，一旦新的架构超出这个范围，那么原来的参数生成架构的方法就不一定能适用，或者新的架构与原来的一套方法会存在许多的冲突。对于异构互连，这些冲突是显而易见的，因此如何在参数生成架构的模式下生成异构互连架构是一个很大的困难，而目前并没有一个好的方案来解决这个问题。

六、参考文献

- [1] BETZ, Vaughn; ROSE, Jonathan; MARQUARDT, Alexander. Architecture and CAD for deep-submicron FPGAs. Kluwer Academic Publishers, 1999.
- [2] C. Chen, S. Mitra, H.-S. P. Wong, R. T. Howe, J. Watt, D. Lewis, J. Provine, K. Akarvardar, S. Chong, N. Patil, and R. Parsa, "Efficient FPGAs using nanoelectromechanical relays," in Proc. 18th Annu. Int. Symp. Field Program. Gate Arrays, 2010, pp. 273 - 282
- [3] S. Tanachutiwat, M. Liu, and W. Wang, "FPGA based on integration of CMOS and RRAM," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 19, no. 11, pp. 2023 - 2032, Nov. 2011.
- [4] E. Ahmed and J. Rose, "The effect of LUT and clustersize on deep-submicron FPGA performance and density," IEEE Trans. VLSI Syst., vol. 12, no. 3, pp. 288 - 298, Mar. 2004.
- [5] C. Dong, C. Deming, S. Haruehanroengra, and W. Wang, "3-D nFPGA: A reconfigurable architecture for 3-D CMOS/nanomaterial hybrid digital circuits," IEEE Trans. Circuits Syst. I, Regular Papers, vol. 54, no. 11, pp. 2489 - 2501, Nov. 2007.
- [6] F. Li, Y. Lin, L. He, D. Chen, and J. Cong, "Power modeling and characteristics of field programmable gate arrays," IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., vol. 24, no. 11, pp. 1712 - 1724, Nov. 2005.
- [7] F. Li, Y. Lin, L. He, D. Chen, and J. Cong, "Power modeling and characteristics of field programmable gate arrays," IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., vol. 24, no. 11, pp. 1712 - 1724, Nov. 2005.
- [8] Lin, Mingjie, and Abbas El Gamal. "A low-power field-programmable gate array routing fabric." Very Large Scale Integration (VLSI) Systems, IEEE Transactions on 17.10 (2009): 1481-1494.
- [9] Sivaswamy, Satish, et al. "HARP: hard-wired routing pattern FPGAs." Proceedings of the 2005 ACM/SIGDA 13th international symposium on Field-programmable gate arrays. ACM, 2005.
- [10] SHAO, Hai-bo, Ke-jie MA, and Ling-li WANG. "Low Power Interconnects Design for

- General Switch Box Based FPGA." Journal of Fudan University (Natural Science) 1 (2012): 011.
- [11] Rahman, Arifur, et al. "Heterogeneous routing architecture for low-power FPGA fabric." Custom Integrated Circuits Conference, 2005. Proceedings of the IEEE 2005. IEEE, 2005.
- [12] Siozios, Kostas, Dimitrios Soudris, and Antonios Thanailakis. "A Software-Supported Methodology for Designing General-Purpose Interconnection Networks for Reconfigurable Architectures." International Journal of Computer Systems Science & Engineering 4.3 (2008).
- [13] Siozios, Kostas, and Dimitrios Soudris. "Wire segment length and switch box co-optimization for FPGA architectures." Field Programmable Logic and Applications, 2006. FPL'06. International Conference on. IEEE, 2006.
- [14] Siozios, Kostas, et al. "Designing heterogeneous FPGAs with multiple SBs." Reconfigurable Computing: Architectures, Tools and Applications. Springer Berlin Heidelberg, 2007. 91-96.
- [15] Von Herzen B. Interconnect array formed at least in part with repeated application of an interconnect pattern: U.S. Patent 7,501,341[P]. 2009-3-10.
- [16] Wu P Y, Wheeler R L. Interconnect pattern for semiconductor packaging: U.S. Patent 8,743,559[P]. 2014-6-3.
- [17] Das S, Kao S W, Rahman A, et al. Structures and methods for heterogeneous low power programmable logic device: U.S. Patent 7,477,073[P]. 2009-1-13.
- [18] Anderson J B, Cline R L, Lakka S, et al. Integrated circuit with a selectable interconnect circuit for low power or high performance operation: U.S. Patent 7,893,712[P]. 2011-2-22.
- [19] New B J. FPGA architecture with mixed interconnect resources optimized for fast and low-power routing and methods of utilizing the same: U.S. Patent 6,930,510[P]. 2005-8-16.
- [20] Shi H, Xie Y. Method of optimizing interconnect distribution to improve signal integrity: U.S. Patent 7,472,367[P]. 2008-12-30.
- [21] Lin, Mingjie, and Abbas El Gamal. "TORCH: A design tool for routing channel segmentation in FPGAs." Proceedings of the 16th international ACM/SIGDA symposium on Field programmable gate arrays. ACM, 2008.
- [22] V. Betz and J. Rose, "FPGA routing architecture: segmentation and buering to optimize speed and density," in Proceedings of the 1999 ACM/SIGDA Seventh International Symposium on Field-Programmable Gate Arrays, pp. 59 { 68, 1999.
- [23] R. Tu and B.-X. Shao, "Energy/performance/area trade os in nanometer FPGA segmented routing architecture," in Solid-State and Integrated Circuit Technology, 2006. ICSICT '06. 8th International Conference on, pp. 1954-956, 2006.
- [24] Lemieux G, Lee E, Tom M, Yu A (2004) Directional and single-driver wires in fpga interconnect. In Proceedings of the international conference on field-programmable technology, pp41 - 48
- [25] BETZ,V., ROSE,J., AND MARQUARDT ,A. 1999. Architecture and CAD For Deep-Submicron FPGAs.Kluwer Academic Publishers, Norwell, MA.
- [26] Shang, Li, Alireza S. Kaviani, and Kusuma Bathala. "Dynamic power consumption in Virtex™-II FPGA family." Proceedings of the 2002 ACM/SIGDA tenth international symposium on Field-programmable gate arrays. ACM, 2002.

- [27] Mondal, Somsubhra, and Seda Ogrenci Memik. "A low power FPGA routing architecture." *Circuits and Systems*, 2005. ISCAS 2005. IEEE International Symposium on. IEEE, 2005.
- [28] CE, L. I.; YIPING, D. O. N. G.; WATANABE, Takahiro. Low power placement and routing for the coarse-grained power gating FPGA architecture. *IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences*, 2011, 94.12: 2519-2527.
- [29] GAYASEN, Aman, et al. Reducing leakage energy in FPGAs using region-constrained placement. In: *Proceedings of the 2004 ACM/SIGDA 12th international symposium on Field programmable gate arrays*. ACM, 2004. p. 51-58.
- [30] Gayasen, Aman, et al. "A Dual-V dd Low Power FPGA Architecture." *Field Programmable Logic and Application*. Springer Berlin Heidelberg, 2004. 145-157.
- [31] Rahman, Arifur, et al. "Heterogeneous routing architecture for low-power FPGA fabric." *Custom Integrated Circuits Conference*, 2005. *Proceedings of the IEEE 2005*. IEEE, 2005.
- [32] George, Varghese, Hui Zhang, and Jan Rabaey. "The design of a low energy FPGA." *Proceedings of the 1999 international symposium on Low power electronics and design*. ACM, 1999.
- [33] Betz, Vaughn, and Jonathan Rose. "VPR: A new packing, placement and routing tool for FPGA research." *Field-Programmable Logic and Applications*. Springer Berlin Heidelberg, 1997.
- [34] 徐新民; 尚丽娜; 严晓浪. FPGA 的布线结构参数 F_c 对其功耗的影响. *高技术通讯*, 2006, 15.10: 16-20.

研究生签名:

年 月 日

二、学位论文工作实施进度与安排

起讫 日期	工 作 内 容 和 要 求	备 注
2014. 12	熟悉 VTR 工具流, 运行一组 benchmark	
2015. 1~2015. 2	编写布线结果的 profiler 工具	
2015. 3~2015. 4	编写异构扩展的布局布线工具	
2015. 5~2015.7	建立异构扩展的面积、延迟、功耗模型	
2015. 8~2015.9	编写架构生成工具, 专利撰写	
2015. 10~2015.12	在完成的工具链上进行互连架构探索, 高水平论文撰写	
2016. 1~2016. 3	毕业论文撰写及答辩	

指导教师对开题报告的综合意见	<p style="text-align: center;">指导教师（签名）</p> <p style="text-align: center;">年 月 日</p>	
开题报告审议情况记录	<p>1、审议小组成员（一般 3-5 人）： 组长：杨军 成员：曹鹏 刘新宁 戚隆宁 单伟伟</p> <p>2、审议小组意见记录</p> <p>3、投票表决结果 审议小组出席 _____ 人；通过 _____ 人；不通过 _____ 人。 开题报告质量_____（优、良、中、通过）</p> <p>4、审议小组组长（签名） 审议小组成员（签名）</p> <p style="text-align: right;">年 月 日</p>	

院（系、所）意见：	
院（系、所）负责人签名（或印章） 年 月 日	
备注：	