

# 11 - Interrupção e Exceções

Engenharia da Computação 4º Ano

Nome: Wilton Sapia Dantas

R.A.:09.01399-7

Nome: Gabriel Couto de Almeida

R.A.: 11.01298-6

Nome: José Lucas Cordeiro

R.A.: 13.02424-9

1.

Uma interrupção não mascarada (NMI) pode ser sinalizada por um periférico ou acionada por software. Esta é a exceção de maior prioridade desconsiderando o reset . Ela é permanentemente habilitada e tem uma prioridade fixa de -2 . NMIs não pode ser:

- mascaradas ou impedidas de ativação por qualquer outra exceção
- Sobrescritas por qualquer outra exceção além do reset.

Uma interrupção , ou IRQ , é uma exceção sinalizada por um periférico , ou gerado por uma requisição de software . Todas as interrupções são assíncronas para a execução da instrução . No sistema , periféricos utilizam interrupções para se comunicar com o processador

Portanto , pode-se concluir que a diferença entre os dois tipos de exceção está na prioridade de cada uma, onde que NMIS possuem uma maior prioridade

Fonte:<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.dui0553a/BABGBEC.html>

2.

2.1.

IRQ são interrupções de hardware, canais que os dispositivos podem utilizar para chamar a atenção do processador, dar preferência a outros dispositivos, já o (ISR) é uma rotina software que hardware invoca em resposta a uma interrupção.

Fonte:<http://www.hardware.com.br/livros/hardware-manual/pedido-interruptcao-irq.html>

2.2.

O cortex M4 suporta cerca de 16 tipos de exceção, sendo que as de numero 7 a 10 e 12 a 13 não são definidas por estarem reservadas. A exceção de menor prioridade é do tipo IRQ, , que possui valor 0.

Fonte:<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.dui0553a/BABGBEC.html>

- 2.3. Os pedidos de interrupção rápida (FIQs) são um tipo especializado de pedido de interrupção, uma técnica padrão usada em CPUs de computadores para lidar com eventos que precisam ser processadas à medida que ocorrem, tal como receber dados a partir de uma placa de rede, ou ações do teclado ou do mouse. FIQs tem prioridade sobre um IRQ em um sistema ARM
- 2.4. O FIQ tem prioridade maior sobre um IRQ. Além disso, apenas uma fonte FIQ de cada vez é suportado.
- 2.5. PIOA: ID 11  
PIOB: ID 12  
TC0: ID 23
- 2.6. O reset da flag não seria efetuado e bloquearia a interrupção.
- 2.7. Latência é o tempo ocorrido durante um pedido de interrupção. Nesse tempo, a CPU armazena instrução seguinte e carrega o ISR.
- 2.8. A latência do ARM Cortex M4 é de 12 ciclos.
- 3.
4.
  - 4.1. As funções desenvolvidas em aula de maneira geral possuem as mesmas funcionalidades que as apresentadas pela biblioteca ASF, ou seja, funções para facilitar a manipulação dos registradores da placa, criando-se assim um nível de abstração .
  - 4.2.
    - tclnit(): Será responsável pela inicialização do Timer Counter, sendo necessário o endereço do módulo deste contador
    - tcStart(): Inicializa o contador, sendo necessário o ponteiro para o endereço e o canal do contador.
    - tcEnableInterrupt(): Permite a interrupção do Timer Counter em um canal desejado, sendo necessário o ponteiro para o contador, a configuração do canal e a fonte de interrupção.
5.
  - 5.1. O botão gerará um interrupção no kit mencionado caso este esteja em borda de descida
  - 5.2. Para se configurar uma interrupção em um periférico, primeiramente deve se habilitar essa .. Além disso deve se definir o tipo de evento detectado, se será por borada ou level e suas orientações (borda de subida ou descida ou level de nível alto ou baixo). Caso o tipo de evento detectado não seja nenhum destes citados, então o registrador que habilita essa opção deverá ser habilitado. Após essas configurações , o registrador PIO\_ISR que será responsável pela detecção da interrupção. Se eles estiver setado, o sistema gerará uma interrupção. Quando se lê este registrador, todas as interrupções deverão ser tratadas .
  - 5.3.
    - 5.3.1. PIO\_IER/PIO\_IDR: Habilitação ou desabilitação de interrupções no periférico.

- 5.3.2. PIO\_AIMER/PIO\_AIMDR: Habilitam ou desabilitam outros métodos de interrupção além dos padrões de borda e level.
- 5.3.3. PIO\_ELSR: Define o tipo de detecção de evento para identificar a interrupção, se será por borda ou por level.
- 5.3.4. PIO\_FRLHSR: Define a orientação do evento de detecção de interrupção, se , no caso for por borda, define se será por borda de subida ou descida, ou , no caso por level , se será por nível alto ou baixo.