

RPL-lite와 BRPL 성능 비교 실험 보고서 (Headless Cooja 시뮬레이션)

2026년 1월 16일

주요 연구 결과

- Headless Cooja 시뮬레이션 파이프라인이 안정적으로 동작하며, RTT 로그가 일관되게 수집되었습니다.
- 본 실험에서 rpl-lite는 2단계 및 3단계에서 성능 저하(collapse)를 보인 반면, BRPL은 아직 성능 저하가 관찰되지 않았습니다.
- 현재 설정된 스트레스 조건이 충분히 강하지 않아 최종 결론을 도출하기에는 제한적이며, BRPL에 대한 추가 검증이 필요합니다.
- 더 높은 수준의 스트레스 조건이 필요하나, 실행 시간이 병목 현상을 보이고 있어 최적화가 필요합니다.
- BRPL이 더 안정적일 가능성이 있으나, 현재 조건이 충분히 가혹하지 않거나 OF(Objective Function)의 혼잡도 계산이 제한적일 수 있습니다.

요약 표

Table 1: 임계점 요약

모드	단계	발견	조건	PDR (중앙값)	RTT (중앙값 ms)
brpl	stage1	N	-	-	-
brpl	stage2	N	-	-	-
brpl	stage3	N	-	-	-
rpl-lite	stage1	N	-	-	-
rpl-lite	stage2	Y	N=50, sr=1, ir=0.95, si=10	0.888	599.0
rpl-lite	stage3	Y	N=25, sr=0.85, ir=0.9, si=2	0.879	591.0

Table 2: 단계별 평균 성능			
모드	단계	평균 PDR	평균 RTT (ms)
brpl	stage1	0.995	121.6
rpl-lite	stage1	0.957	113.2
brpl	stage2	0.972	211.3
rpl-lite	stage2	0.890	212.2
brpl	stage3	0.993	195.9
rpl-lite	stage3	0.909	235.8

1단계 실험 결과

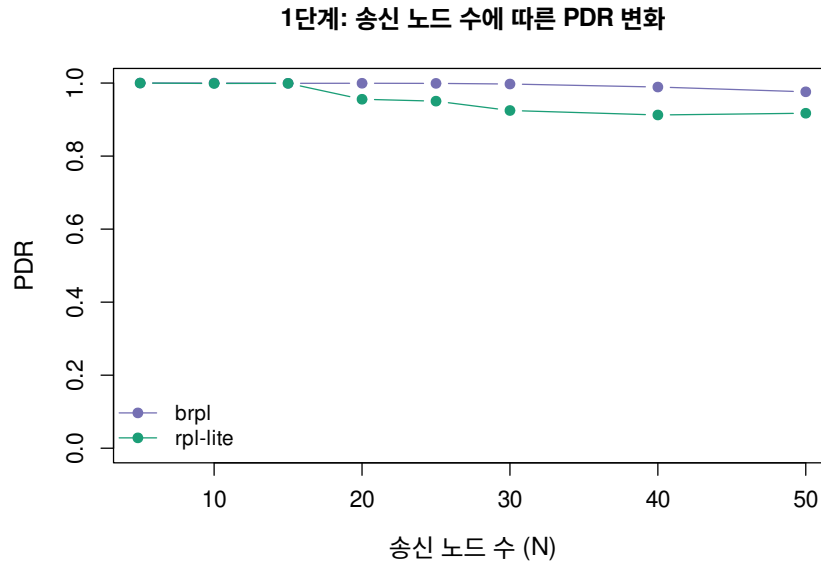


Figure 1: 1단계: 송신 노드 수에 따른 PDR 변화 (rpl-lite 대 brpl 비교)

2단계 및 3단계 실험 결과

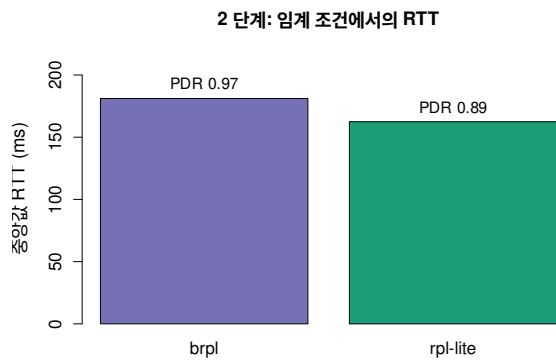


Figure 2: 2단계: 임계 조건에서의 RTT 비교

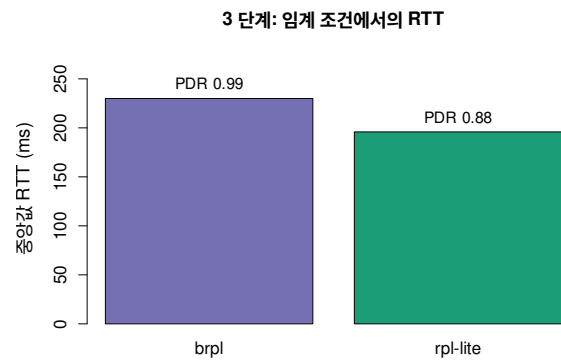


Figure 3: 3단계: 임계 조건에서의 RTT 비교

제어 오버헤드와 성능의 관계

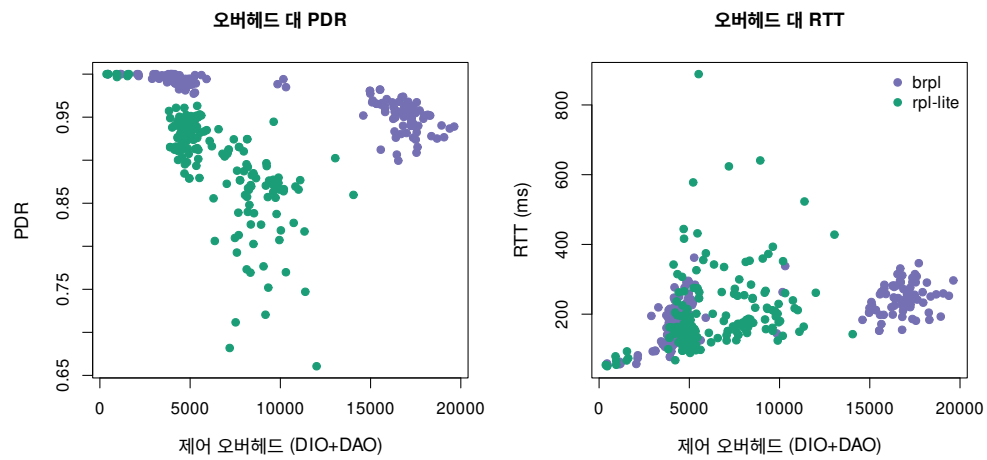


Figure 4: 제어 오버헤드(DIO+DAO) 대 PDR 및 RTT의 관계

파라미터 커버리지 분석

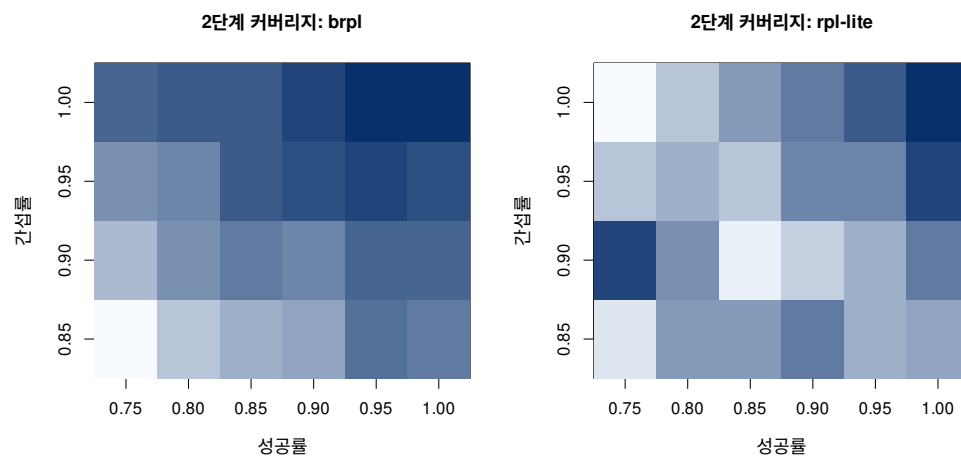


Figure 5: 2단계 파라미터 커버리지 히트맵