

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
ОДЕСЬКИЙ НАЦІОНАЛЬНИЙ ПОЛІТЕХНІЧНИЙ УНІВЕРСИТЕТ

Протокол

Лабораторна робота №3

На тему: “СИСТЕМА ДЕШИФРАТОР – ЛІЧИЛЬНИК”  
По предмету: “Технології проектування комп'ютерних систем”

Виконав:

студент групи АМ-182

Борщов М. І.

Перевірив:

Защолкін К. В.

Одеса 2021

## **Перелік завдань до лабораторної роботи**

В даному проекті необхідно виконати розробку, синтез та моделювання двійкового лічильника.

## Хід роботи

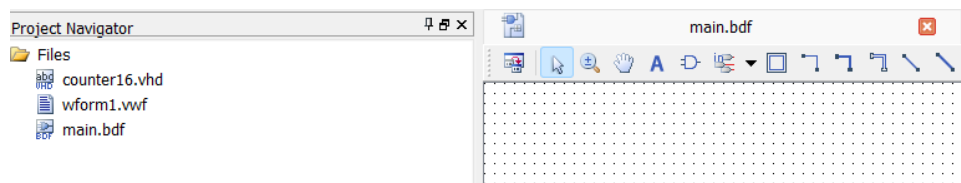
### 1) Створити проект

За основу був обраний проект з другої лабораторної роботи

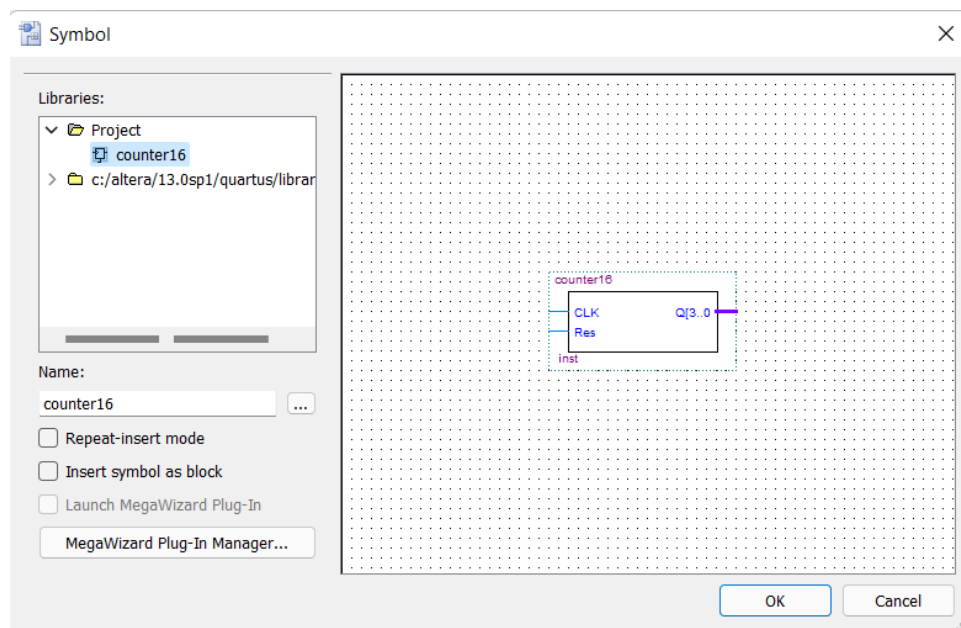
### 2) Створення символу двійкового лічильника

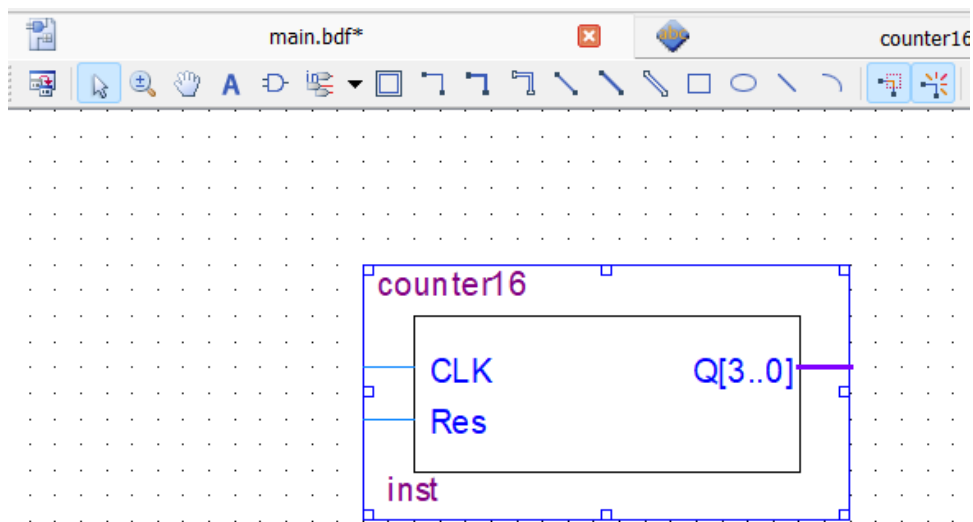
```
.....  
Running Quartus II 64-Bit Create Symbol File  
Command: quartus_map --read_settings_files=on --write_settings_files=off c  
Quartus II 64-Bit Create Symbol File was successful. 0 errors, 0 warnings
```

### 3) Створення схематехнічного файлу проекту

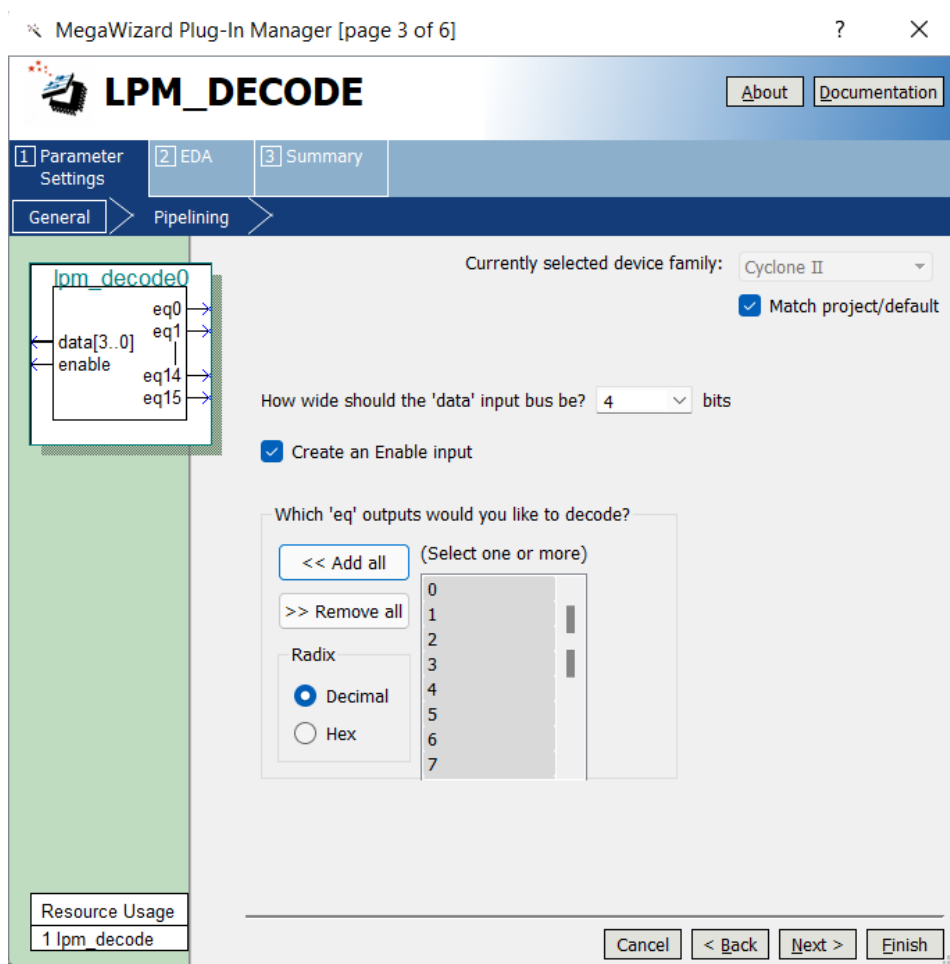


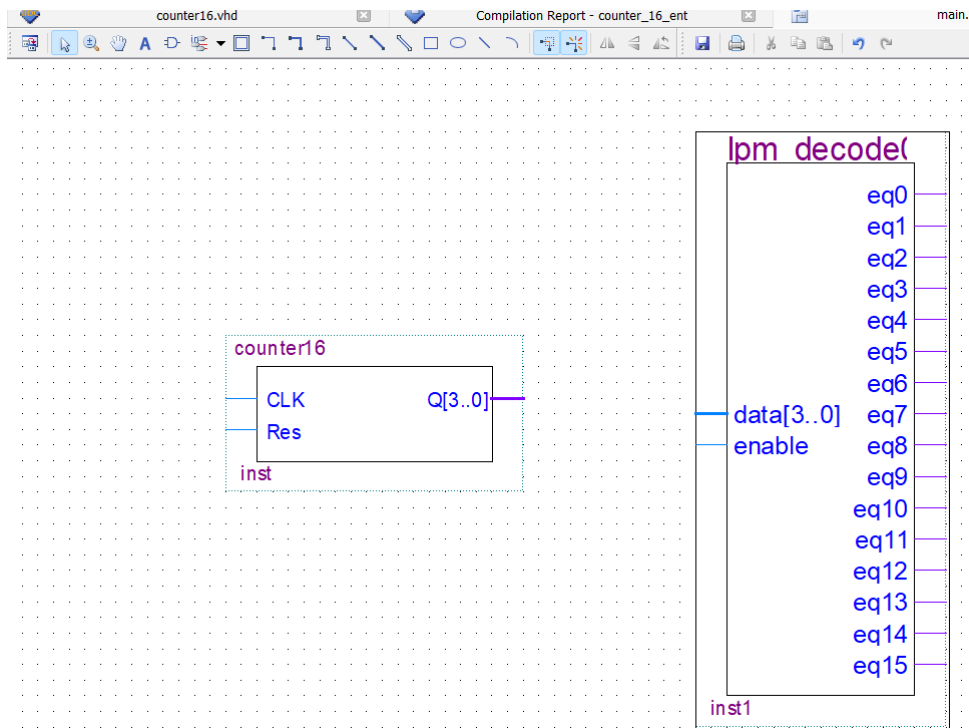
### 4) Додавання символу лічильника в схематехнічний файл



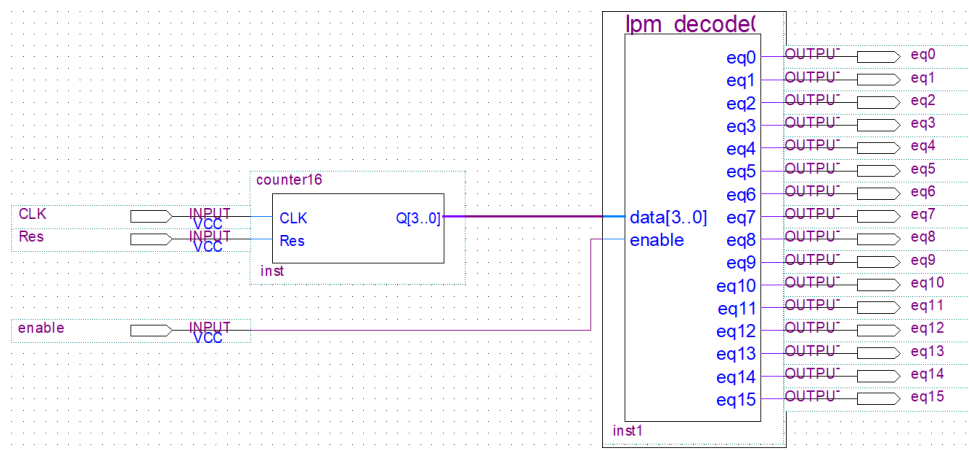


## 5) Додавання символу дешифратора в схемотехнічний файл





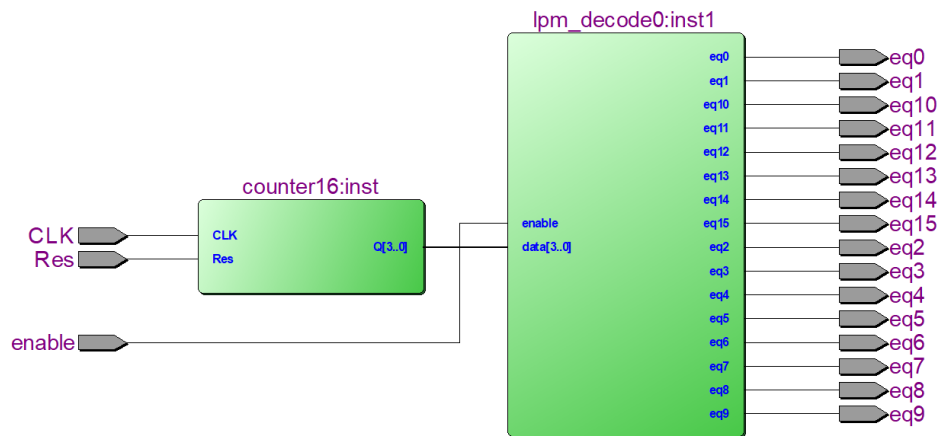
## 6) Налаштування пінів



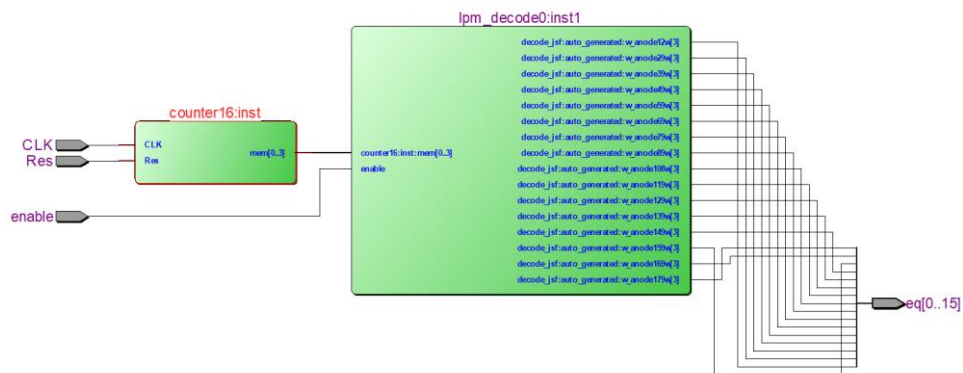
## 7) Компіляція

✓	▼ ▶	Compile Design
✓	> ▶	Analysis & Synthesis
✓	> ▶	Fitter (Place & Route)

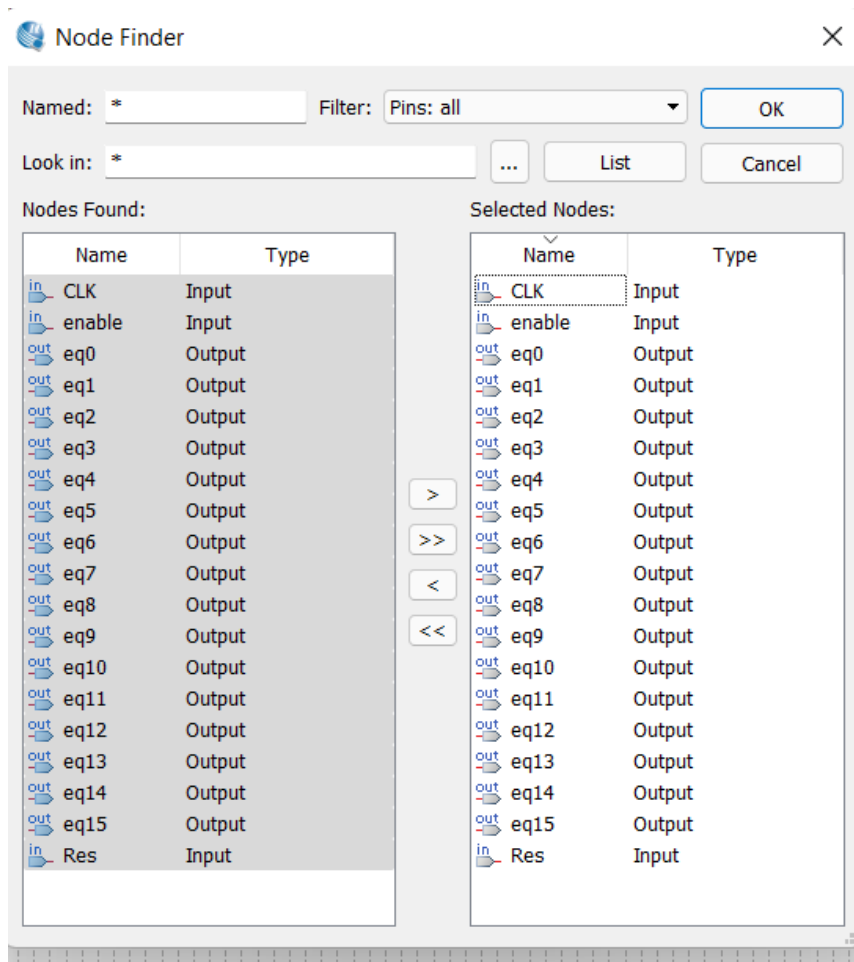
Перегляд RTL view:



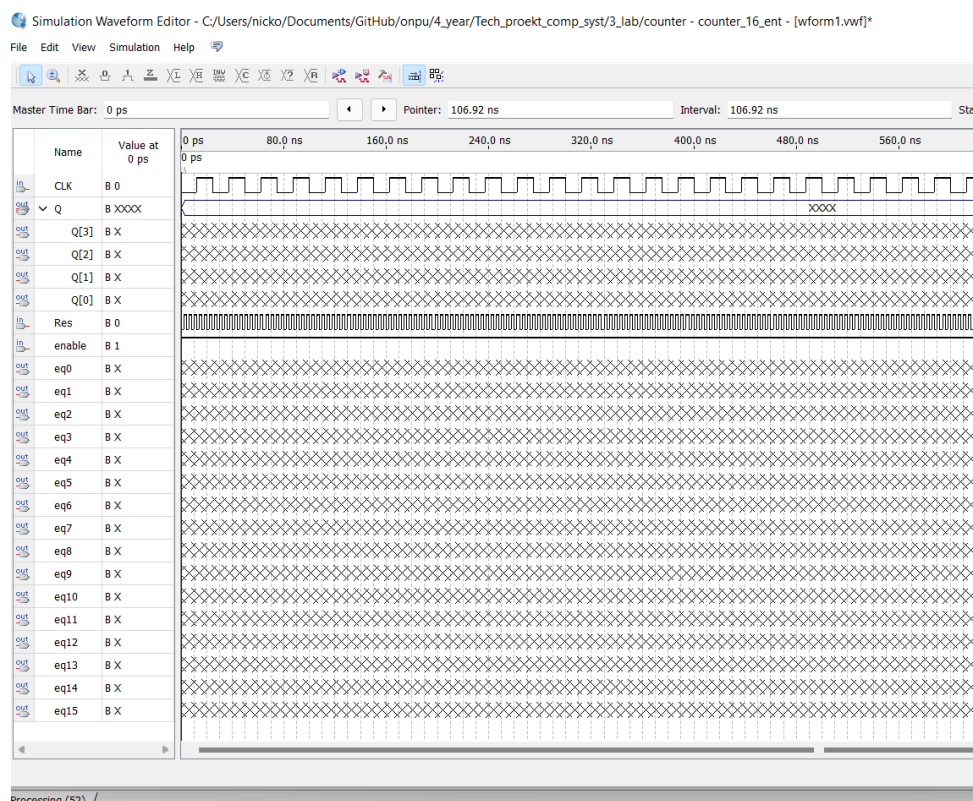
Перегляд Technology Map Viewer:



Додавання вхідних і вихідних портів дешифратора:



## Встановлення форми та параметрів вхідних сигналів системи

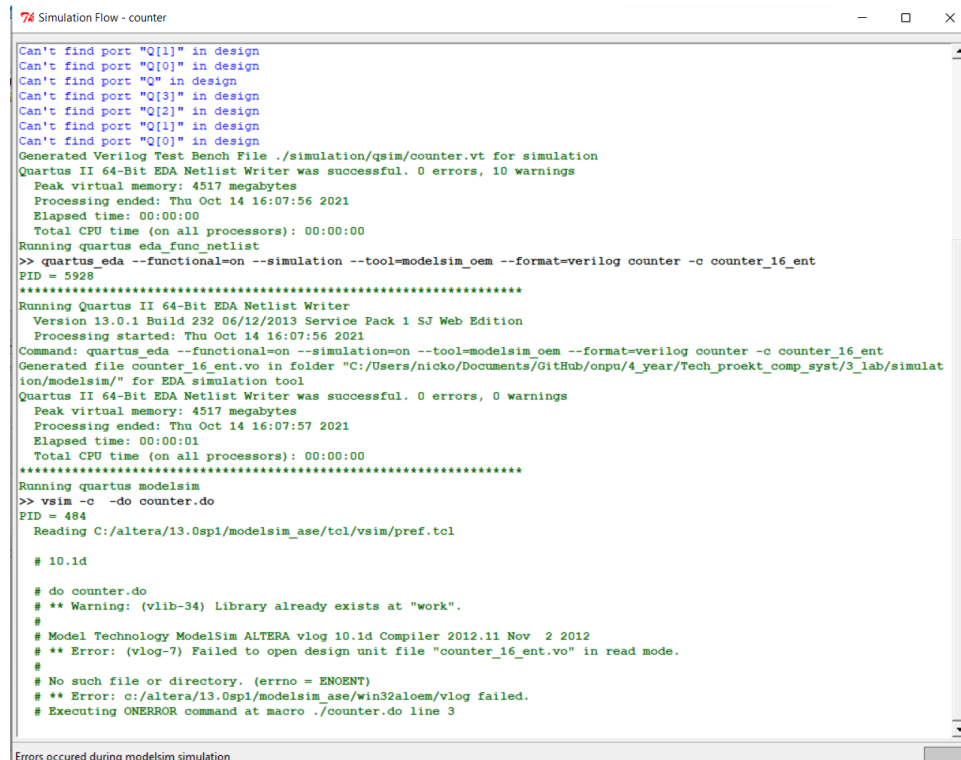


CLK = 25 ns

RES = 2 ns

Enable = Force High (1) - Зняття ресет

Запуск симуляції:



```
Simulation Flow - counter

Can't find port "Q[1]" in design
Can't find port "Q[0]" in design
Can't find port "Q" in design
Can't find port "Q[3]" in design
Can't find port "Q[2]" in design
Can't find port "Q[1]" in design
Can't find port "Q[0]" in design
Generated Verilog Test Bench File ./simulation/qsim/counter.vt for simulation
Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 10 warnings
  Peak virtual memory: 4517 megabytes
  Processing ended: Thu Oct 14 16:07:56 2021
  Elapsed time: 00:00:00
  Total CPU time (on all processors): 00:00:00
Running quartus_eda_func_netlist
>> quartus_eda --functional-on --simulation --tool=modelsim_oem --format=verilog counter -c counter_16_ent
PID = 5928
*****
Running Quartus II 64-Bit EDA Netlist Writer
  Version 13.0.1 Build 232 06/12/2013 Service Pack 1 SJ Web Edition
  Processing started: Thu Oct 14 16:07:56 2021
  Command: quartus_eda --functional-on --simulation-on --tool=modelsim_oem --format=verilog counter -c counter_16_ent
  Generated file counter_16_ent.vo in folder "C:/Users/nicko/Documents/GitHub/onpu/4_year/Tech_proekt_comp_syst/3_lab/simulation/modelsim/" for EDA simulation tool
  Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 0 warnings
  Peak virtual memory: 4517 megabytes
  Processing ended: Thu Oct 14 16:07:57 2021
  Elapsed time: 00:00:01
  Total CPU time (on all processors): 00:00:00
*****
Running quartus_models
>> vsim -c -do counter.do
PID = 484
  Reading C:/altera/13.0spl/modelsim_ase/tcl/vsim/pref.tcl

# 10.1d

# do counter.do
# ** Warning: (vlib-34) Library already exists at "work".
#
# Model Technology ModelSim ALTERA vlog 10.1d Compiler 2012.11 Nov  2 2012
# ** Error: (vlog-7) Failed to open design unit file "counter_16_ent.vo" in read mode.
#
# No such file or directory. (errno = ENOENT)
# ** Error: c:/altera/13.0spl/modelsim_ase/win32aloem/vlog failed.
# Executing ONERROR command at macro ./counter.do line 3

Errors occurred during modelsim simulation
```

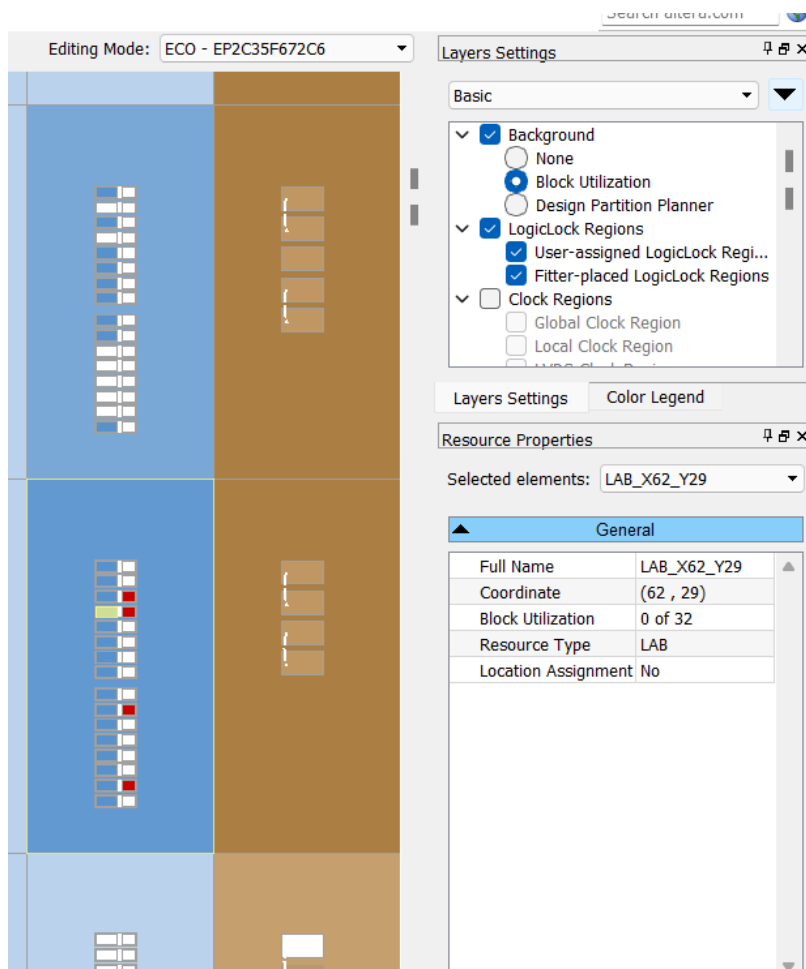
Нажаль при запуску симуляції в мене виводь помилку.

Симуляція повинна показати як працює лічильник з дешифратором

## 5) Запустіть процес розміщення та трасування проекту

Chip Planer:





## 6) Run Timing Simulation

```

Simulation Flow - counter

Can't find port "Q[1]" in design
Can't find port "Q[0]" in design
Can't find port "Q" in design
Can't find port "Q[3]" in design
Can't find port "Q[2]" in design
Can't find port "Q[1]" in design
Can't find port "Q[0]" in design
Generated Verilog Test Bench File ./simulation/qsim/counter.vt for simulation
Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 10 warnings
Peak virtual memory: 4517 megabytes
Processing ended: Thu Oct 14 16:09:41 2021
Elapsed time: 00:00:01
Total CPU time (on all processors): 00:00:00
Running quartus_eda_timing_netlist
>> quartus_eda --functional=off --timescale=1ps --simulation --tool=modelsim_om --format=verilog counter -c counter_16_ent
PID = 4888
*****
Running Quartus II 64-Bit EDA Netlist Writer
Version 13.0.1 Build 232 06/12/2013 Service Pack 1 5J Web Edition
Processing started: Thu Oct 14 16:09:41 2021
Command: quartus_eda --functional=off --timescale=1ps --simulation=on --tool=modelsim_om --format=verilog counter -c counter_16_ent
Generated files "counter_16_ent.vo", "counter_16_ent_fast.vo", "counter_16_ent_v.sdo" and "counter_16_ent_v_fast.sdo" in directory "C:/Users/nicko/Docume
nts/GitHub/comp/4_year/Tech_proekt_comp_syst/3_lab/simulation/modelsim/" for EDA simulation tool
Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 0 warnings
Peak virtual memory: 4517 megabytes
Processing ended: Thu Oct 14 16:09:41 2021
Elapsed time: 00:00:00
Total CPU time (on all processors): 00:00:01
*****
Running quartus_modelsim
>> vsim -c -do counter.do
PID = 6164
Reading C:/altera/13.0api/modelsim_ase/tcl/vsim/pref.tcl

# 10.1d

# do counter.do
# ** Warning: (vlib-34) Library already exists at "work".
#
# Model Technology ModelSim ALTERA vlog 10.1d Compiler 2012.11 Nov 2 2012
# ** Error: (Vlog-7) Failed to open design unit file "counter_16_ent.vo" in read mode.
#
# No such file or directory. (errno = ENOENT)
# ** Error: c:/altera/13.0api/modelsim_ase/win32aloem/vlog failed.
# Executing ONERROR command at macro ./counter.do line 3

Errors occurred during modelsim simulation

```

При виконні часого моделювання пристрою знов виникла помилка, скоріш за мене не встановлені усі необхідні пакети / модулі / бібліотки.

**Висновок:**

В результаті виконання даної лабораторної роботи я ознайомився з тим, як працює двоцифровий лічильник з дешифратором, вдосконалив проект двоцифрового лічильника, добавивши дешифратор, перевінив коректність роботи коду, задав необхідні параметри. Але нажаль часові діаграми не запустились із-за внутрішньої помилки програми.