

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ОДЕСЬКИЙ НАЦІОНАЛЬНИЙ ПОЛІТЕХНІЧНИЙ УНІВЕРСИТЕТ

Протокол

Лабораторна робота №1

На тему: “Розробка простого цифрового пристрою”
По предмету: “Технології проектування комп'ютерних систем”

Виконав:

студент групи АМ-182

Борщов М. І.

Перевірив:

Защолкін К. В.


Одеса 2021

Перелік завдань до лабораторної роботи

- 1) створення проекту в САПР Altera Quartus II;
- 2) опис простого цифрового пристрою мовою VHDL;
- 3) синтез проекту;
- 4) функціональне моделювання;
- 5) розміщення та трасування проекту;
- 6) часове модулювання;
- 7) аналіз часових характеристик проекту

Хід роботи

1) Створити проект

 New Project Wizard ✕

Directory, Name, Top-Level Entity [page 1 of 5]

What is the working directory for this project?

C:/Users/nicko/Documents/GitHub/onpu/4_year/Tech_proekt_comp_syst/1_lab ...

What is the name of this project?


first_lab ...

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.

first_lab_entl ...

Use Existing Project Settings...

< Back Next > Finish Cancel Help

 New Project Wizard ✕

Family & Device Settings [page 3 of 5]

Select the family and device you want to target for compilation.
You can install additional device support with the Install Devices command on the Tools menu.

Device family

Family: Cyclone II ▾

Devices: All ▾

Target device

☐ Auto device selected by the Fitter

☒ Specific device selected in 'Available devices' list

☐ Other: n/a


Show in 'Available devices' list

Package: Any ▾

Pin count: 672 ▾


Speed grade: 6 ▾

Name filter:

☒ Show advanced devices ☐ HardCopy compatible only 

Available devices:

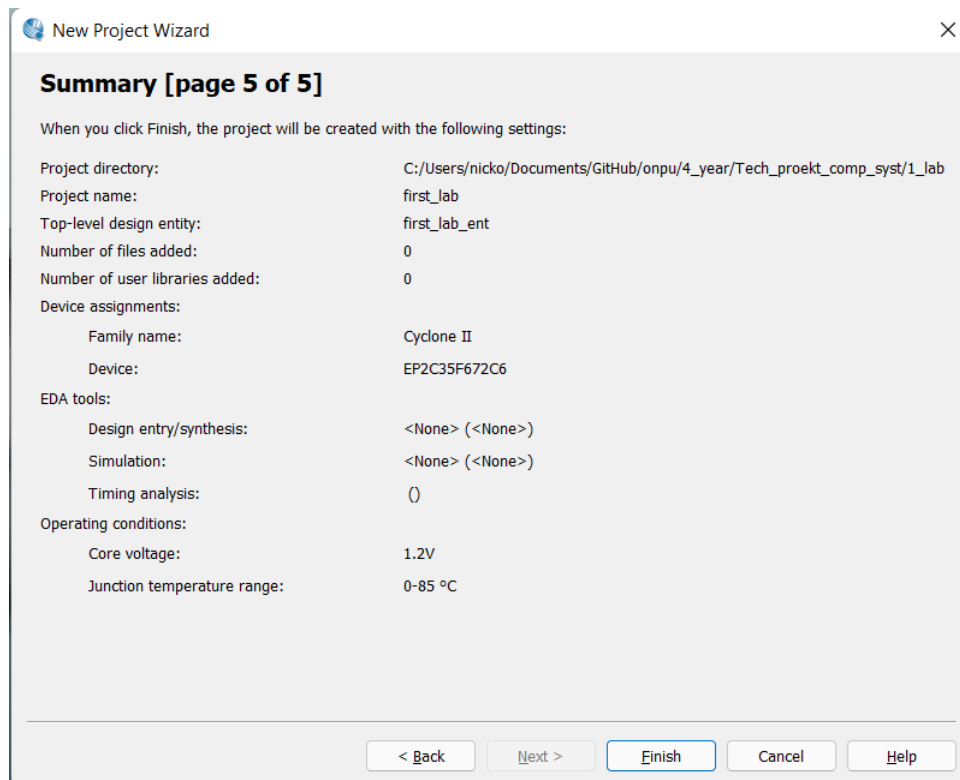
Name	Core Voltage	LEs	User I/Os	Memory Bits	Embedded multiplier 9-bit eleme
EP2C35F672C6	1.2V	33216	475	483840	70
EP2C50F672C6	1.2V	50528	450	594432	172

Companion device 

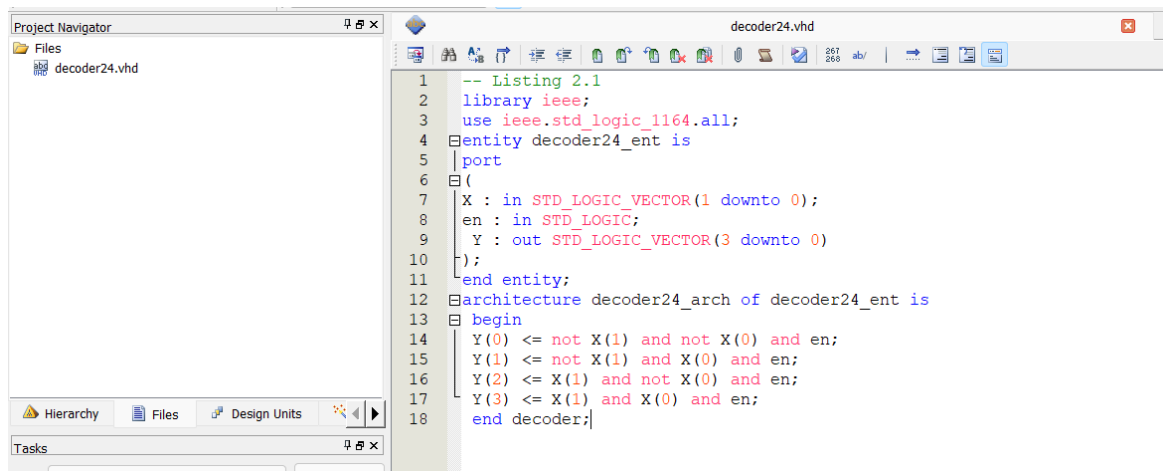
HardCopy:

☐ Limit DSP & RAM to HardCopy device resources

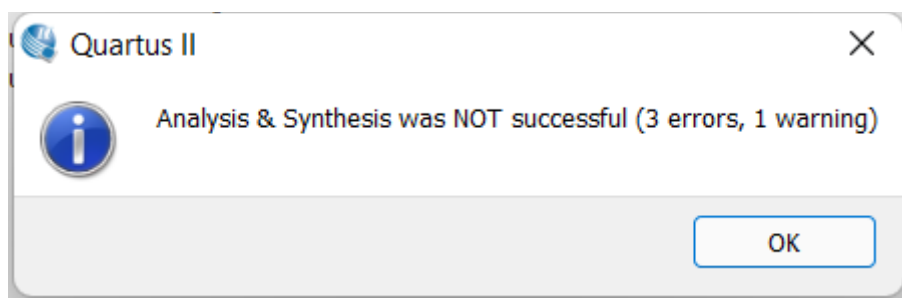
< Back Next > Finish Cancel Help



2) Створення файлів проекту



3) Перевірка



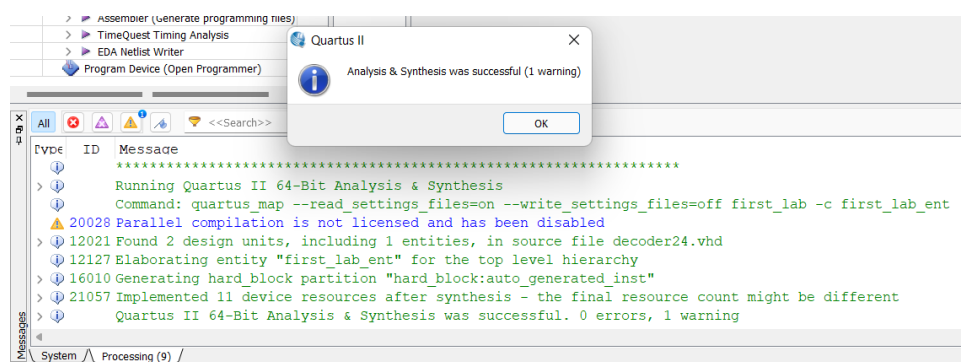
Analysis and Synthesis показав наявність помилок у проєкті. Код було змінено на наступний: (заміна назви entity та 18 рядка)

```

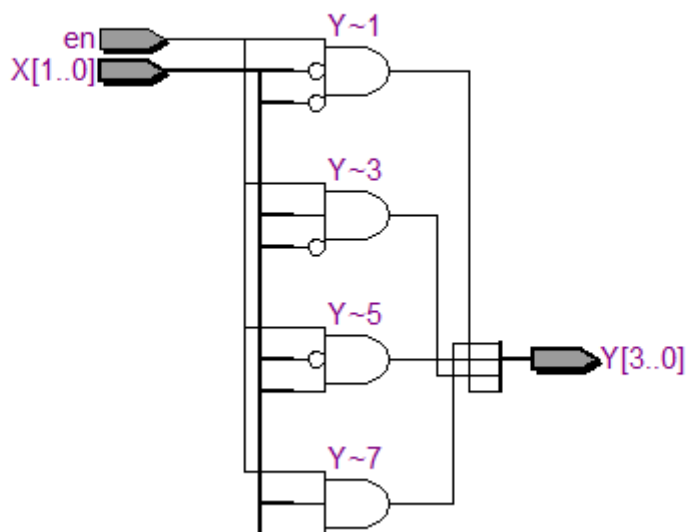
1  -- Listing 2.1
2  library ieee;
3  use ieee.std_logic_1164.all;
4  entity first_lab_ent is
5  | port
6  | (
7  |   X : in STD_LOGIC_VECTOR(1 downto 0);
8  |   en : in STD_LOGIC;
9  |   Y : out STD_LOGIC_VECTOR(3 downto 0)
10 | );
11 | end entity;
12 | architecture decoder24_arch of first_lab_ent is
13 | begin
14 |   Y(0) <= not X(1) and not X(0) and en;
15 |   Y(1) <= not X(1) and X(0) and en;
16 |   Y(2) <= X(1) and not X(0) and en;
17 |   Y(3) <= X(1) and X(0) and en;
18 | end architecture;

```

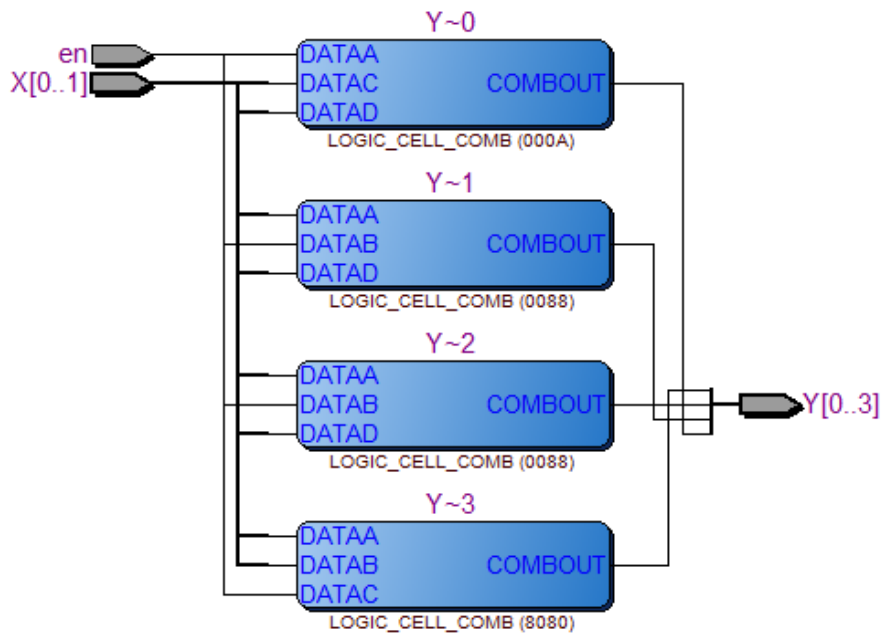
Результат:



Посмотрим RTL view:

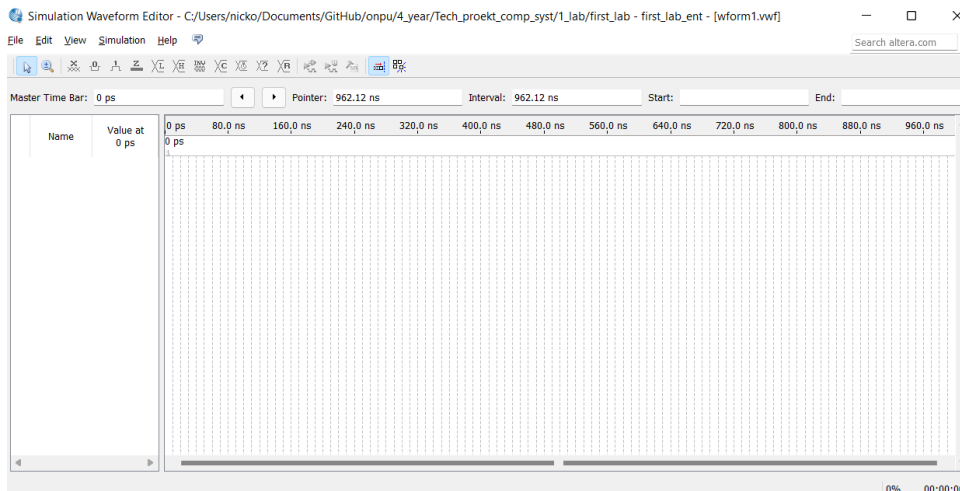


Посмотрим Technology Map Viewer:

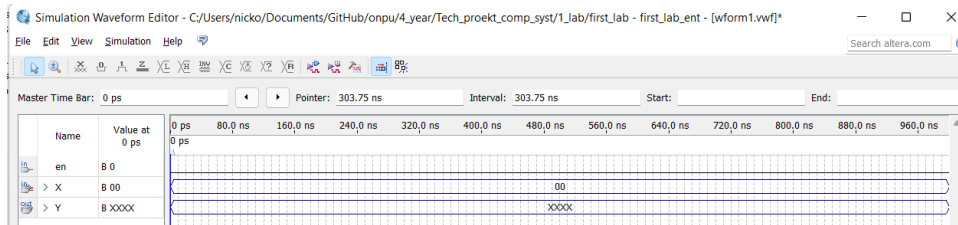
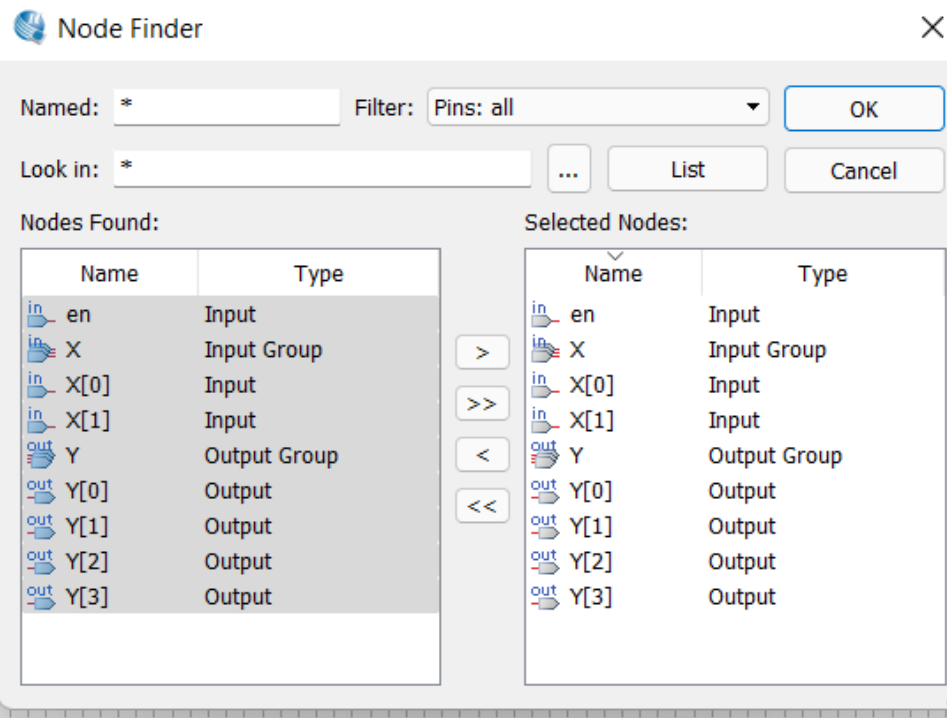


4) Додайте в проект файл типу University Program VWF

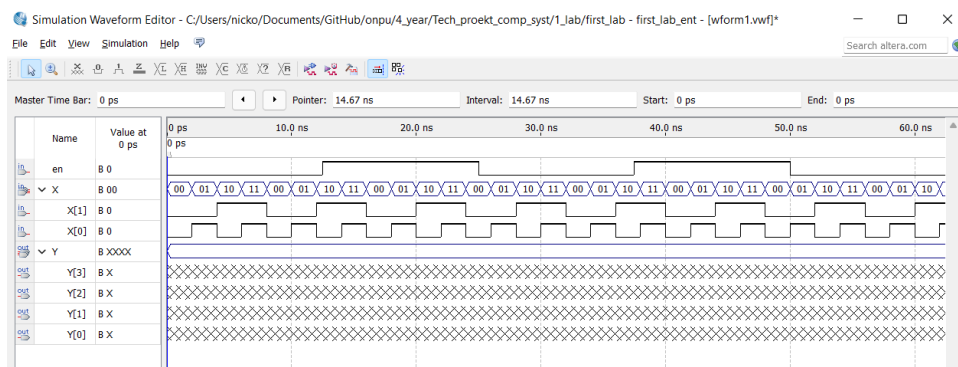
І збережете його під ім'ям `wform1.vwf`:



Додавання вхідних і вихідних портів дешифратора:



Встановлення форми та параметрів вхідних сигналів системи



Запуск симуляції:

```
Simulation Flow - first_lab
PID = 4584
*****
Running Quartus II 64-Bit EDA Netlist Writer
Version 13.0.1 Build 232 06/12/2013 Service Pack 1 SJ Web Edition
Processing started: Thu Oct 14 14:47:18 2021
Command: quartus_eda --gen_testbench --check_outputs-on --tool=modelsim_om --format=verilog first_lab -c first_lab_ent --vector_source=
C:/Users/nicko/Documents/GitHub/onpu/4_year/Tech_proekt_comp_syst/1_lab/wforml.vwf --testbench_file=./simulation/qsim/first_lab.vt
Selected device EP2C35P672C6 for design "first_lab_ent"
Generated Verilog Test Bench File ./simulation/qsim/first_lab.vt for simulation
Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 0 warnings
Peak virtual memory: 4518 megabytes
Processing ended: Thu Oct 14 14:47:19 2021
Elapsed time: 00:00:01
Total CPU time (on all processors): 00:00:00
Running quartus_eda_func_netlist
>> quartus_eda --functional-on --simulation --tool=modelsim_om --format=verilog first_lab -c first_lab_ent
PID = 6368
*****
Running Quartus II 64-Bit EDA Netlist Writer
Version 13.0.1 Build 232 06/12/2013 Service Pack 1 SJ Web Edition
Processing started: Thu Oct 14 14:47:19 2021
Command: quartus_eda --functional-on --simulation-on --tool=modelsim_om --format=verilog first_lab -c first_lab_ent
Selected device EP2C35P672C6 for design "first_lab_ent"
Generated file first_lab_ent.vo in folder "C:/Users/nicko/Documents/GitHub/onpu/4_year/Tech_proekt_comp_syst/1_lab/simulation/modelsim/"
for EDA simulation tool
Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 0 warnings
Peak virtual memory: 4517 megabytes
Processing ended: Thu Oct 14 14:47:19 2021
Elapsed time: 00:00:00
Total CPU time (on all processors): 00:00:00
*****
Running quartus_modelsim
>> vsim -c -do first_lab.do
PID = 3624
Reading C:/altera/13.0sp1/modelsim_ase/tcl/vsim/pref.tcl

# 10.1d

# do first_lab.do
# Model Technology ModelSim ALTERA vlog 10.1d Compiler 2012.11 Nov 2 2012
# ** Error: (vlog-7) Failed to open design unit file "first_lab_ent.vo" in read mode.
#
# No such file or directory. (errno = ENOENT)
# ** Error: c:/altera/13.0sp1/modelsim_ase/win32aloem/vlog failed.
# Executing ONERROR command at macro ./first_lab.do line 3

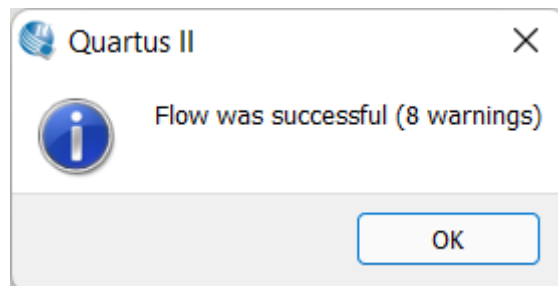
Errors occurred during modelsim simulation
```

Нажалъ при запуску симуляції в мене виводъ помилку.

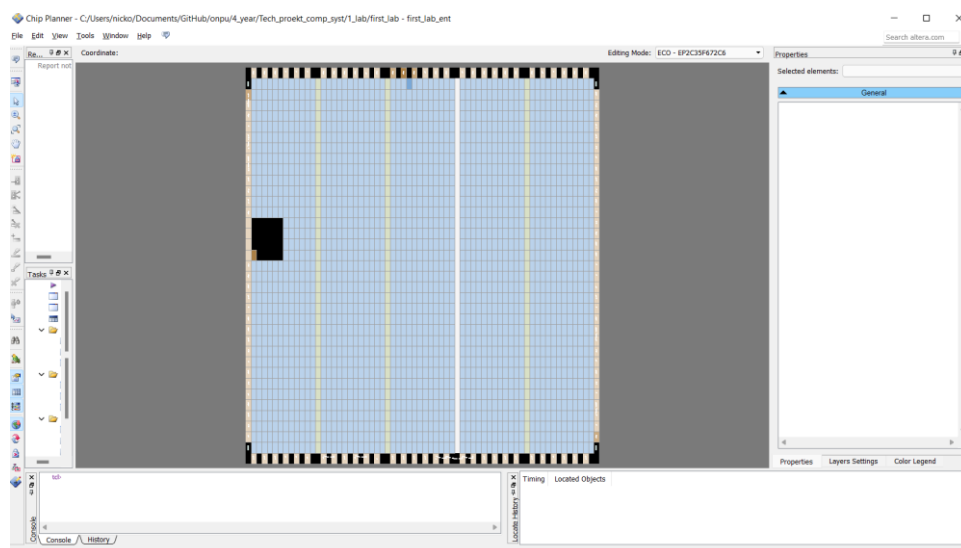
Симуляція повинна показати як змінюються вихідні значення Y[3...1]

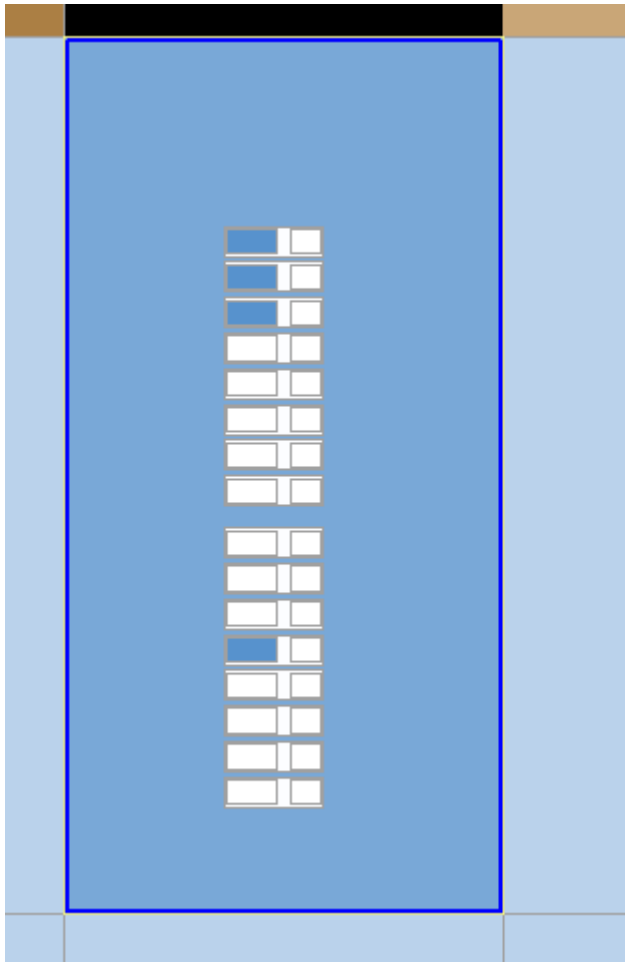
5) Запустіть процес розміщення та трасування проекту

Start Fitter



Chip Planer:





Resource Property Editor - C:/Users/nicko/Documents/GitHub/onpu/4_year/Tech_proekt_comp_syst/1_lab/first_lab - first_lab_ent

File Edit View Tools Window Help

Search altera.com

Node Name: ☐ Select All ☒ |first_lab_ent|Y~0 LCCOMB_X30_Y35_N0 Location:

Logic Resource(s)

Properties/Modes Values

Sum LUT Mask	000C
Carry LUT Mask	N/A
Operation Mode	normal
Latch Type	none
Sum Equation	B & IC & ID
Carry Equation	N/A

Combinational

Input Port Name	Signal Name	Inverted
Register		
ENB	<Disconnected>	False
SCLR	<Disconnected>	False
ACLR	<Disconnected>	False
SDATA	<Disconnected>	False
DATAIN	<Disconnected>	False
SLOAD	<Disconnected>	False
CLK	<Disconnected>	False
Combinational		
DATA0	first_lab_ent X[0]	False

Output Port Name	Signal Name
Register	
REGOUT	<Disconnected>
Combinational	
COUT	<Disconnected>
COMBOUT	first_lab_ent Y~0

6) Run Timing Simulation

```
Simulation Flow - first_lab

PID = 10712
*****
Running Quartus II 64-Bit EDA Netlist Writer
Version 13.0.1 Build 232 06/12/2013 Service Pack 1 SJ Web Edition
Processing started: Thu Oct 14 15:00:17 2021
Command: quartus_eda --gen_testbench --check_outputs=on --tool=modelsim_om --format=verilog first_lab -c first_lab_ent --vector_source=C:/Users/nic
ko/Documents/GitHub/onpu/4_year/Tech_proekt_comp_syst/i_lab/wform1.vwf --testbench_file=./simulation/qsim/first_lab.vt
Generated Verilog Test Bench File ./simulation/qsim/first_lab.vt for simulation
Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 0 warnings
Peak virtual memory: 4517 megabytes
Processing ended: Thu Oct 14 15:00:17 2021
Elapsed time: 00:00:00
Total CPU time (on all processors): 00:00:00
Running quartus_eda_timing_netlist
>> quartus_eda --functional=off --timescale=1ps --simulation --tool=modelsim_om --format=verilog first_lab -c first_lab_ent
PID = 3896
*****
Running Quartus II 64-Bit EDA Netlist Writer
Version 13.0.1 Build 232 06/12/2013 Service Pack 1 SJ Web Edition
Processing started: Thu Oct 14 15:00:17 2021
Command: quartus_eda --functional=off --timescale=1ps --simulation=on --tool=modelsim_om --format=verilog first_lab -c first_lab_ent
Generated files "first_lab_ent.vo", "first_lab_ent_fast.vo", "first_lab_ent_v.sdo" and "first_lab_ent_v_fast.sdo" in directory "C:/Users/nicoko/Docum
ents/GitHub/onpu/4_year/Tech_proekt_comp_syst/i_lab/simulation/modelsim/" for EDA simulation tool
Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 0 warnings
Peak virtual memory: 4517 megabytes
Processing ended: Thu Oct 14 15:00:18 2021
Elapsed time: 00:00:01
Total CPU time (on all processors): 00:00:00
*****
Running quartus_modelsim
>> vsim -c -do first_lab.do
PID = 9084
Reading C:/altera/13.0spl/modelsim_ase/tcl/vsim/pref.tcl

# 10.1d

# do first_lab.do
# ** Warning: (vlib-34) Library already exists at "work".
#
# Model Technology ModelSim ALTERA vlog 10.1d Compiler 2012.11 Nov 2 2012
# ** Error: (vlog-7) Failed to open design unit file "first_lab_ent.vo" in read mode.
#
# No such file or directory. (errno = ENOENT)
# ** Error: c:/altera/13.0spl/modelsim_ase/win32aloem/vlog failed.
# Executing ONERROR command at macro ./first_lab.do line 3

Errors occurred during modelsim simulation
```

При виконні часого моделювання пристрою знов виникла помилка, скоріш за в мене не встановлені усі необхідні пакети / модулі.

Висновок:

В результаті виконання даної лабораторної роботи я ознайомився з роботою у програмі Quartus 2, та створив дешифратор, задав частоти, але нажалі часові діаграми не запустились із-за внутрішньої помилки програми.