

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ОДЕСЬКИЙ НАЦІОНАЛЬНИЙ ПОЛІТЕХНІЧНИЙ УНІВЕРСИТЕТ

Протокол
Лабораторна робота №2
На тему: “ДВІЙКОВИЙ ЛІЧИЛЬНИК”
По предмету: “Технології проектування комп'ютерних систем”

Виконав:
студент групи АМ-182

Борщов М. І.

Перевірив:
Зацолкін К. В.

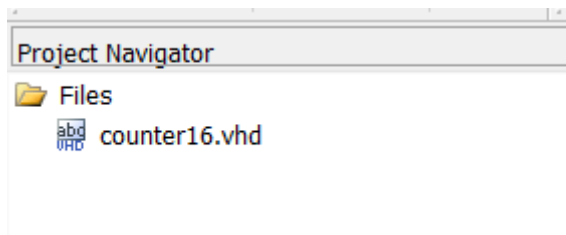
Одеса 2021

Перелік завдань до лабораторної роботи

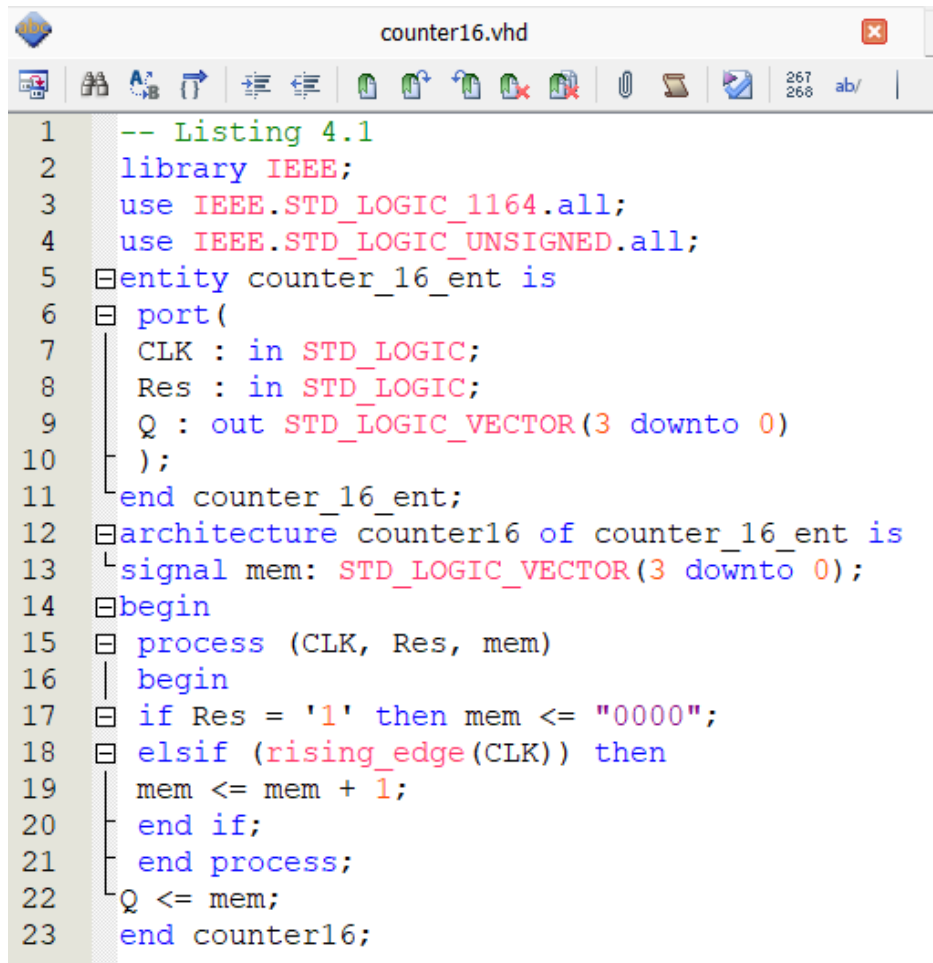
В даному проекті необхідно виконати розробку, синтез та моделювання двійкового лічильника.

Хід роботи

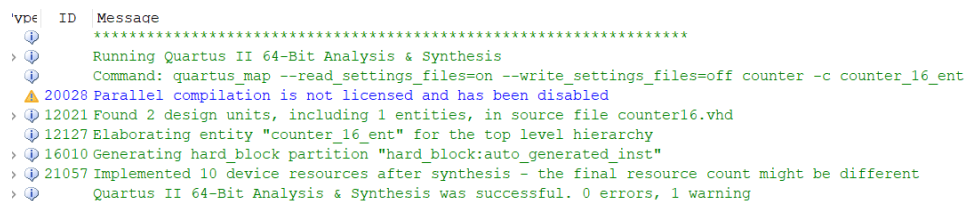
1) Створити проект



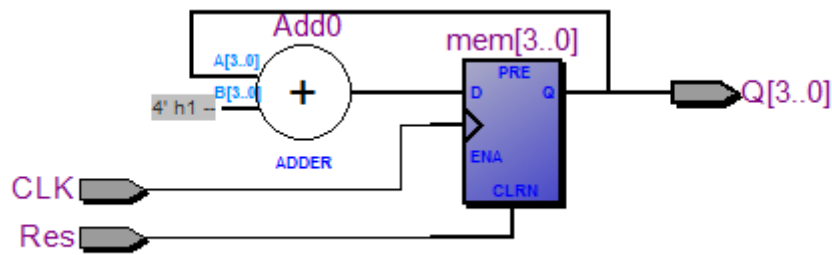
2) Створення файлів проекту



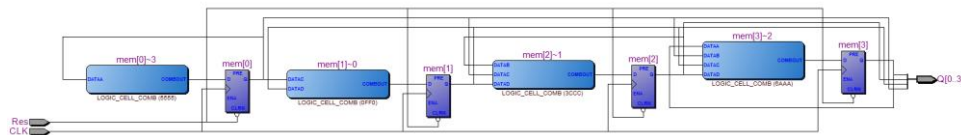
3) Перевірка



Перегляд RTL view:

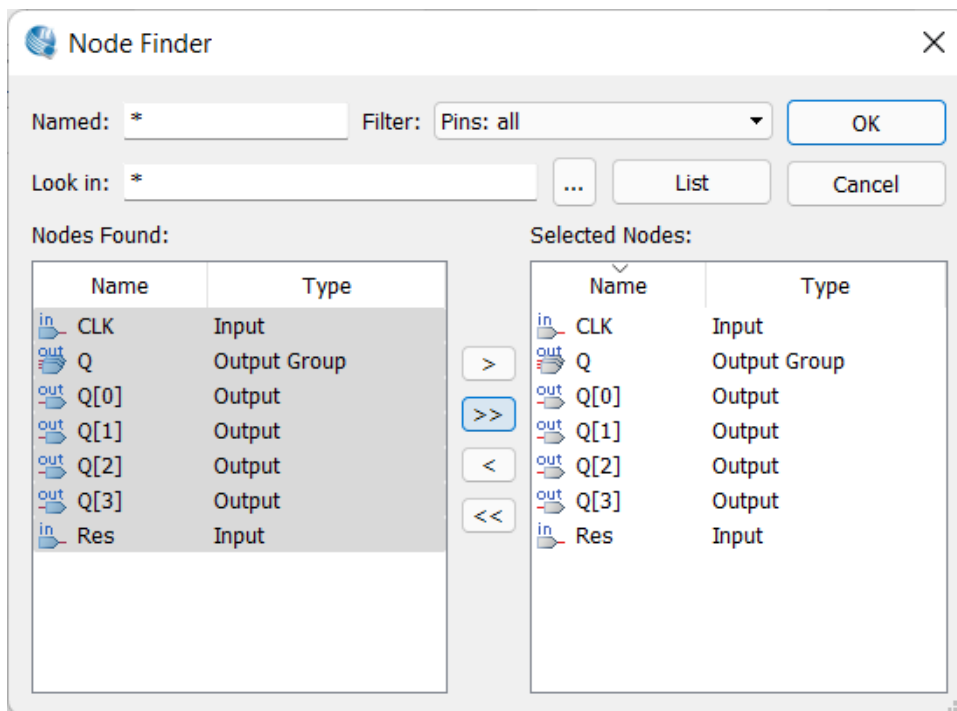


Перегляд Technology Map Viewer:

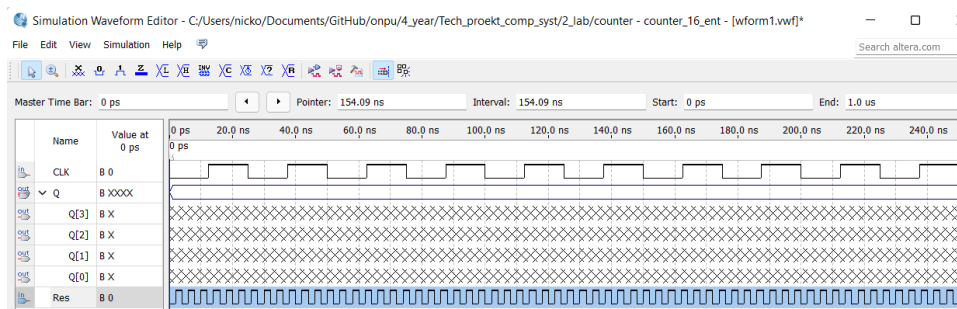


4) Додайте в проект файл типу University Program VWF

Додавання вхідних і вихідних портів дешифратора:



Встановлення форми та параметрів вхідних сигналів системи



CLK = 25 ns

RES = 2 ns

Запуск симуляції:

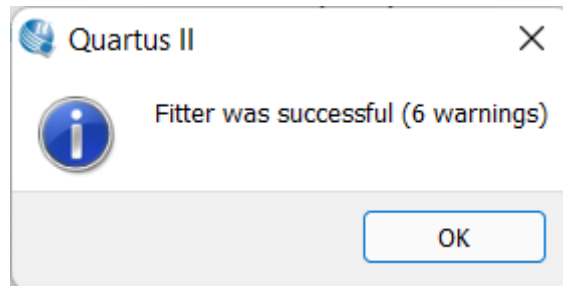
```
Simulation Flow - counter
*****
Running Quartus II 64-Bit EDA Netlist Writer
Version 13.0.1 Build 232 06/12/2013 Service Pack 1 SJ Web Edition
Processing started: Thu Oct 14 15:24:24 2021
Command: quartus_eda --gen testbench --check_outputs-on --tool-modelsim_om --format-verilog counter -c counter_16_ent --vector_source=C:/Users/nicko/Documents/GitHub/ompn/4_year/Tech_proekt_comp_syst/2_lab/wform.vwf --testbench_file=./simulation/qsim/counter.vt
Sub/ompn/4_year/Tech_proekt_comp_syst/2_lab/wform.vwf
Selected device EP2C35F672C6 for design "counter_16_ent"
Generated Verilog Test Bench File ./simulation/qsim/counter.vt for simulation
Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 0 warnings
Peak virtual memory: 4517 megabytes
Processing ended: Thu Oct 14 15:24:24 2021
Elapsed time: 00:00:00
Total CPU time (on all processors): 00:00:00
Running quartus_eda_func_netlist
>> quartus_eda --functional-on --simulation --tool-modelsim_om --format-verilog counter -c counter_16_ent
PID = 3420
*****
Running Quartus II 64-Bit EDA Netlist Writer
Version 13.0.1 Build 232 06/12/2013 Service Pack 1 SJ Web Edition
Processing started: Thu Oct 14 15:24:24 2021
Command: quartus_eda --functional-on --simulation --tool-modelsim_om --format-verilog counter -c counter_16_ent
Sub/ompn/4_year/Tech_proekt_comp_syst/2_lab/wform.vwf
Selected device EP2C35F672C6 for design "counter_16_ent"
Generated file counter_16_ent.vo in folder "C:/Users/nicko/Documents/GitHub/ompn/4_year/Tech_proekt_comp_syst/2_lab/simulation/modelsim/" for EDA simulation tool
Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 0 warnings
Peak virtual memory: 4517 megabytes
Processing ended: Thu Oct 14 15:24:25 2021
Elapsed time: 00:00:01
Total CPU time (on all processors): 00:00:00
*****
Running quartus_modelsim
>> vsim -c -do counter.do
PID = 12724
Reading C:/alters/13.0sp1/modelsim_ase/tcl/vsim/pref.tcl
# 10.1d
# do counter.do
# ** Warning: (vlib-34) Library already exists at "work".
#
# Model Technology ModelSim ALTERA vlog 10.1d Compiler 2012.11 Nov 2 2012
# ** Error: (vlog-7) Failed to open design unit file "counter_16_ent.vo" in read mode.
#
# No such file or directory. (errno = ENOENT)
# ** Error: c:/alters/13.0sp1/modelsim_ase/win32aioem/vlog failed.
# Executing ONERROR command at macro ./counter.do line 3
Errors occurred during modelsim simulation
```

Нажаль при запуску симуляції в мене виводь помилку.

Симуляція повинна показати як працює лічильник

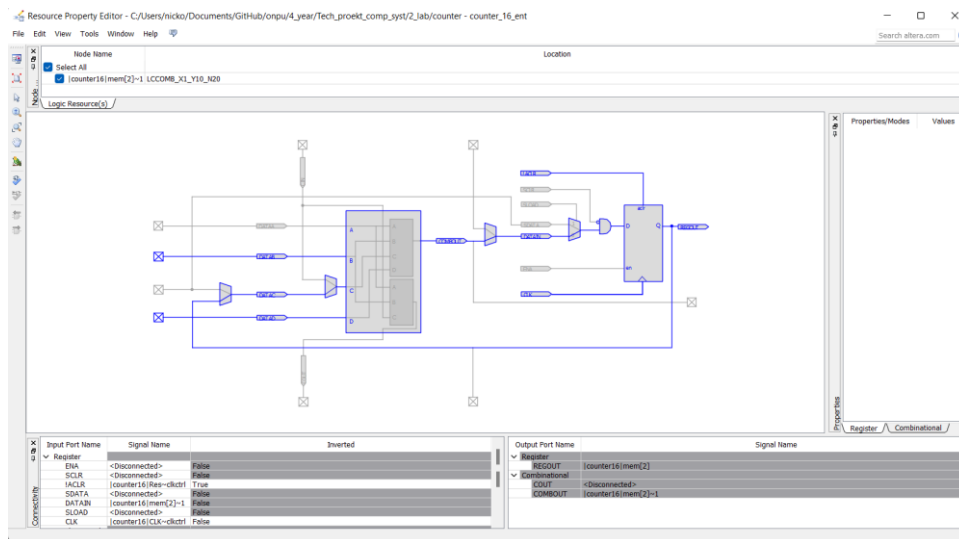
5) Запустіть процес розміщення та трасування проекту

Start Fitter



Chip Planer:





6) Run Timing Simulation

```

Simulation Flow - counter

PID = 5244
*****
Running Quartus II 64-Bit EDA Netlist Writer
Version 13.0.1 Build 232 06/12/2013 Service Pack 1 SJ Web Edition
Processing started: Thu Oct 14 15:27:41 2021
Command: quartus_eda --gen_testbench --check_outputs=on --tool=modelsim_om --format=verilog counter -c counter_16_ent --vector_source=C:/Users/nicko/Documents/GitHub/onpu4_year/Tech_proekt_comp_syst/2_lab/wform1.vwf --testbench_file=./simulation/qsim/counter.vt
Generated Verilog Test Bench File ./simulation/qsim/counter.vt for simulation
Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 0 warnings
Peak virtual memory: 4517 megabytes
Processing ended: Thu Oct 14 15:27:42 2021
Elapsed time: 00:00:01
Total CPU time (on all processors): 00:00:00
Running quartus_eda_timing_netlist
>> quartus_eda --functional=off --timescale=1ps --simulation --tool=modelsim_om --format=verilog counter -c counter_16_ent
PID = 10544
*****
Running Quartus II 64-Bit EDA Netlist Writer
Version 13.0.1 Build 232 06/12/2013 Service Pack 1 SJ Web Edition
Command: quartus_eda --functional=off --timescale=1ps --simulation=on --tool=modelsim_om --format=verilog counter -c counter_16_ent
Generated files "counter_16_ent.vo", "counter_16_ent_fast.vo", "counter_16_ent_v.sdo" and "counter_16_ent_v_fast.sdo" in directory "C:/Users/nicko/Documents/GitHub/onpu4_year/Tech_proekt_comp_syst/2_lab/simulation/modelsim/" for EDA simulation tool
Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 0 warnings
Peak virtual memory: 4517 megabytes
Processing ended: Thu Oct 14 15:27:42 2021
Elapsed time: 00:00:00
Total CPU time (on all processors): 00:00:00
*****
Running quartus_modelsim
>> vsim -c -do counter.do
PID = 12224
Reading C:/altera/13.0sp1/modelsim_ase/tcl/vsim/pref.tcl

# 10.1d

# do counter.do
# ** Warning: (vlib-34) Library already exists at "work".
#
# Model Technology ModelSim ALTERA vlog 10.1d Compiler 2012.11 Nov 2 2012
# ** Error: (vlog-7) Failed to open design unit file "counter_16_ent.vo" in read mode.
#
# No such file or directory. (errno = ENOENT)
# ** Error: c:/altera/13.0sp1/modelsim_ase/win32aloem/vlog failed.
# Executing ONERROR command at macro ./counter.do line 3

Errors occurred during modelsim simulation

```

При виконні часого моделювання пристрою знов виникла помилка, скоріш за все мене не встановлені усі необхідні пакети / модулі / бібліотки.

Висновок:

В результаті виконання даної лабораторної роботи я ознайомився з тим, як працює лічильник, створив проект, перевінив коректність роботи коду, задав необхідні параметри. Але нажаль часові діаграми не запустились із-за внутрішньої помилки програми.