

## Реализация схемы

Данный этап работы состоит из следующих частей:

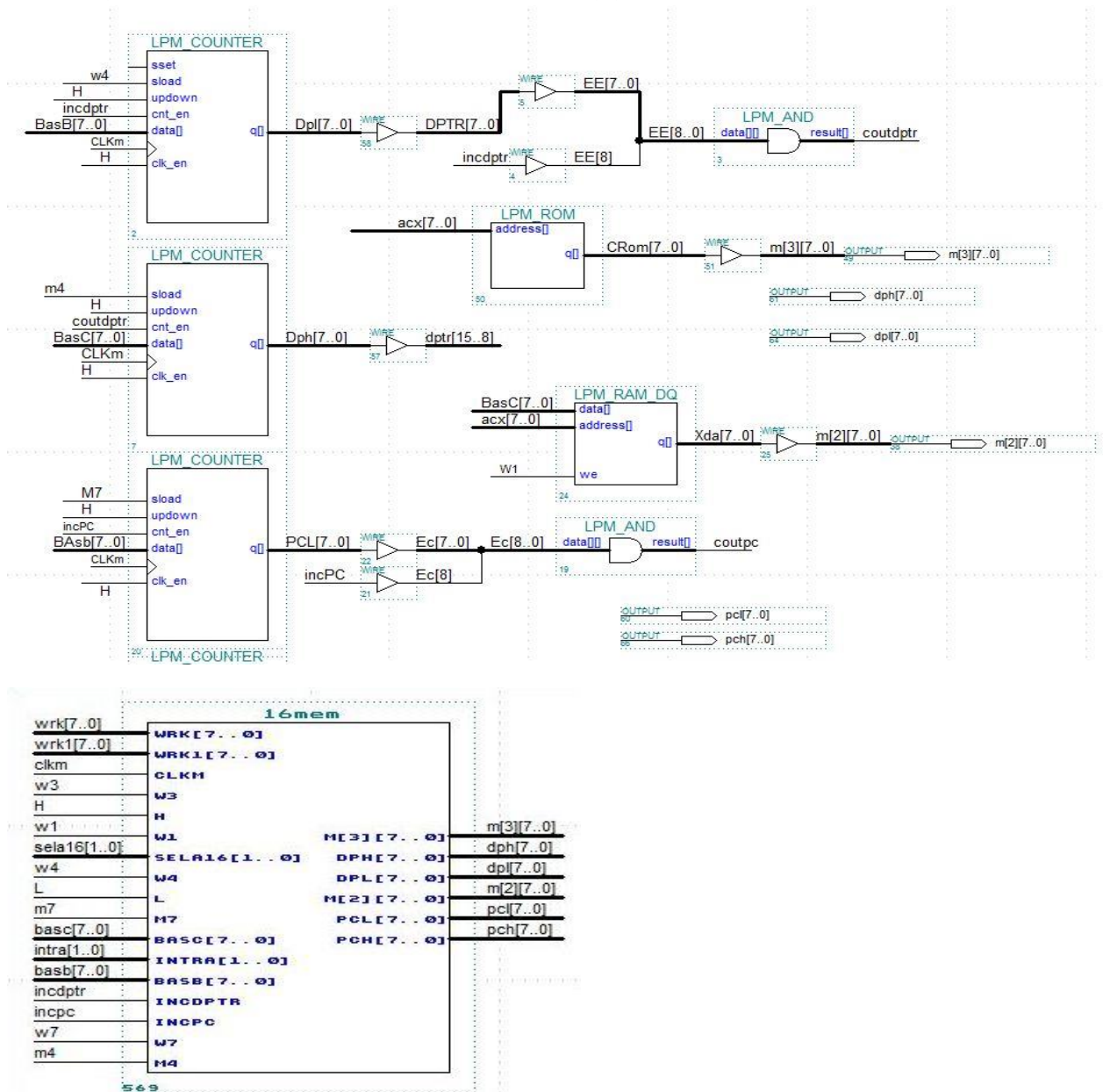
1. Генерация кода на языке *Verilog*
2. Синтез схемы из *Verilog* при помощи специальных программных средств, например, *MAX+Plus II*

Для того чтобы реализовать схему можно использовать язык описания аппаратуры *Verilog HDL* (*Verilog Hardware Description Language*). Так как наш эмулятор написать на *C*, то нам необходимо перевести код из *C* в код на *Verilog*.

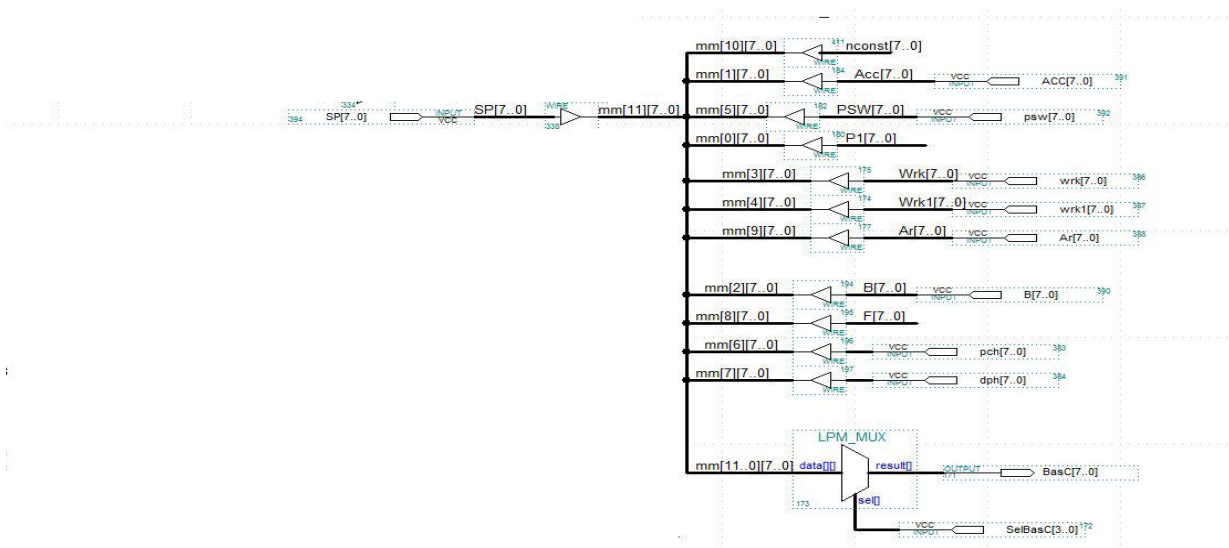
Для перевода кода можно воспользоваться ресурсом <http://www.vsyn.ru>.

После того как мы получили код на *Verilog*, мы его используем для создания схемы в САПР. В качестве САПР использовался *Max+Plus II*.

## Схема реализации системы с одной инструкцией







## Схема реализации системы с полным набором инструкций

