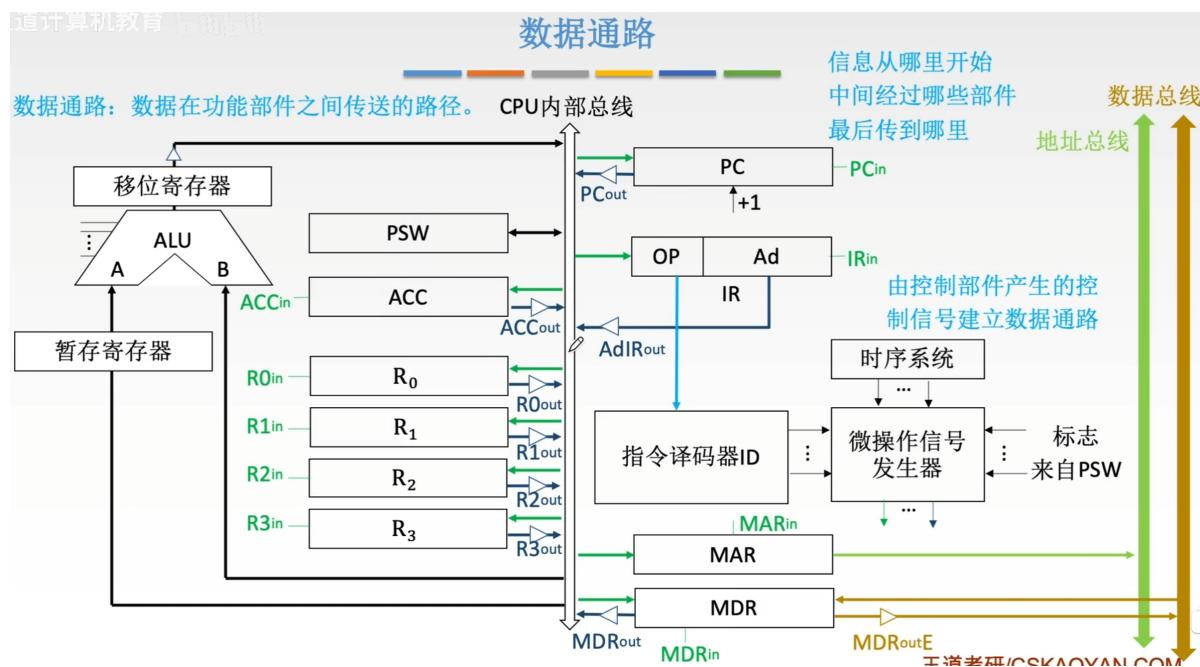
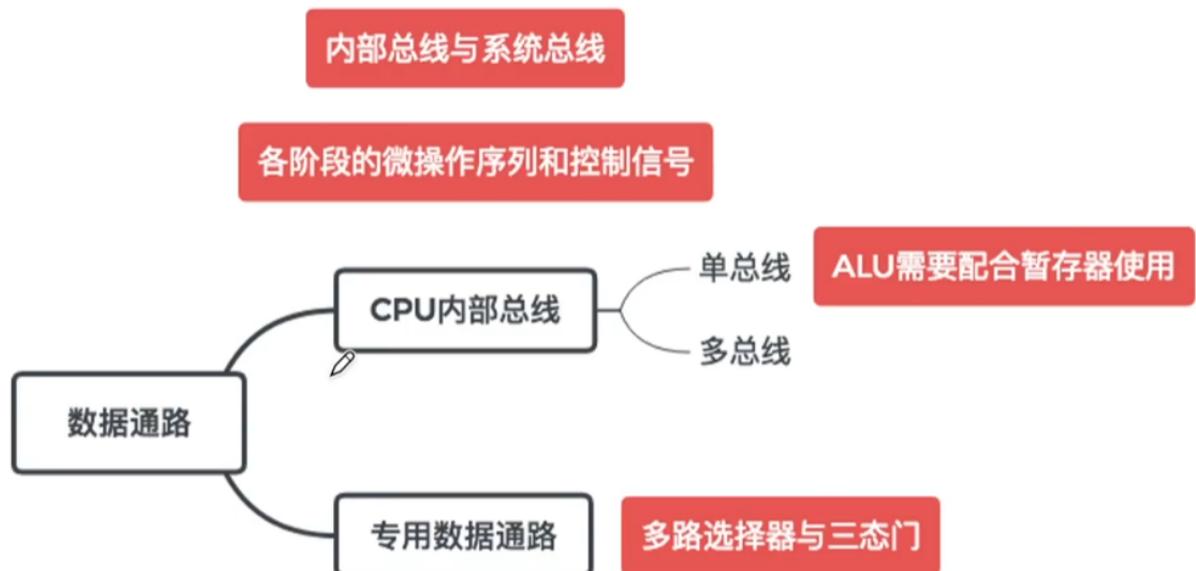


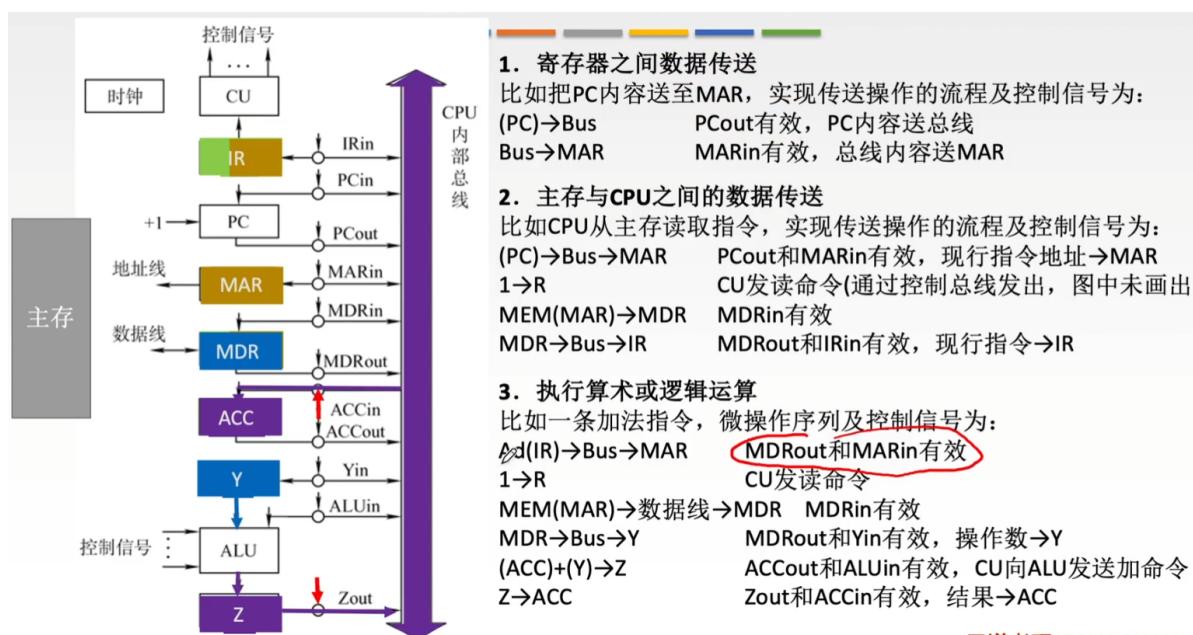
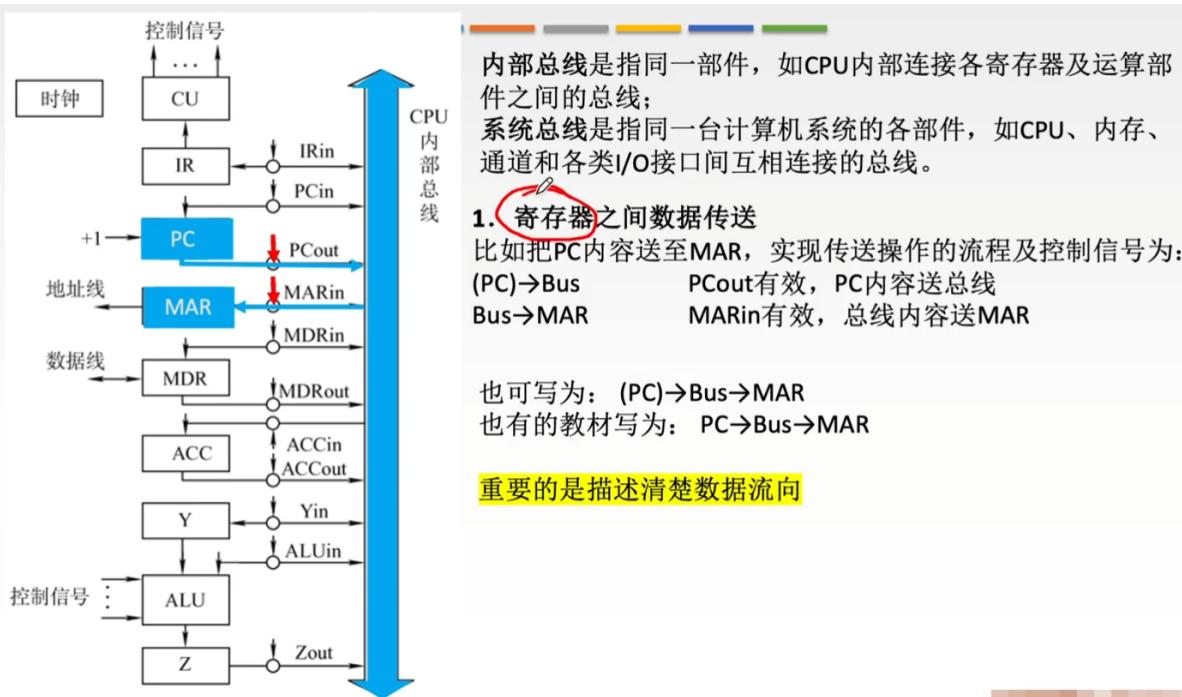
# 数据通路的功能



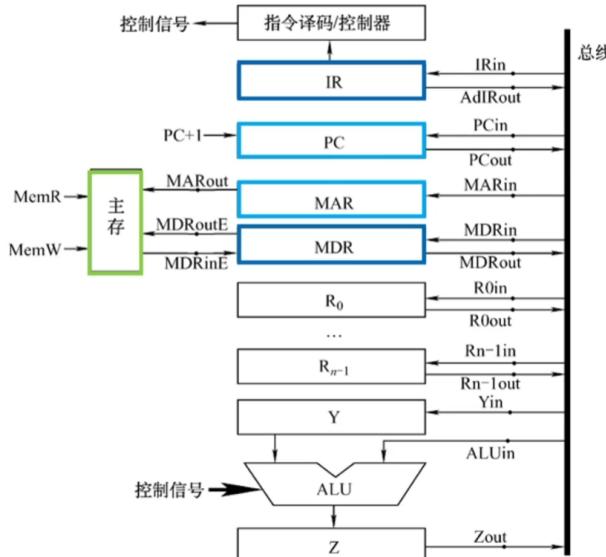
数据通路的基本结构：

1. CPU内部单总线方式
2. CPU内部多总线方式
3. 专用数据通路方式

# 单总线结构



## 取指周期



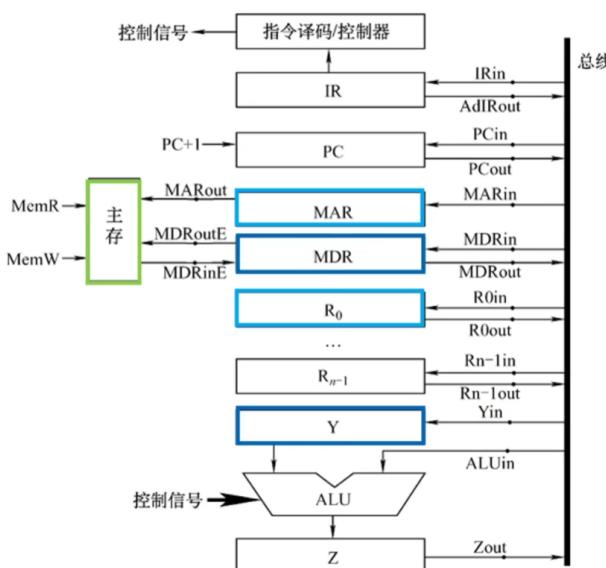
设有如图所示的单总线结构，分析指令 ADD (R0), R1 的指令流程和控制信号。

- 分析指令功能和指令周期  
功能:  $((R0))+(R1) \rightarrow (R0)$   
取指周期、间址周期、执行周期

- 写出各阶段的指令流程  
取指周期: 公共操作

时序	微操作	有效控制信号
1	$(PC) \rightarrow MAR$	PCout, MARin
2	$M(MAR) \rightarrow MDR$ $(PC)+1 \rightarrow PC$	MemR, MARout, MDRinE
3	$(MDR) \rightarrow IR$	MDRout, IRin
4	指令译码	-

## 间址周期



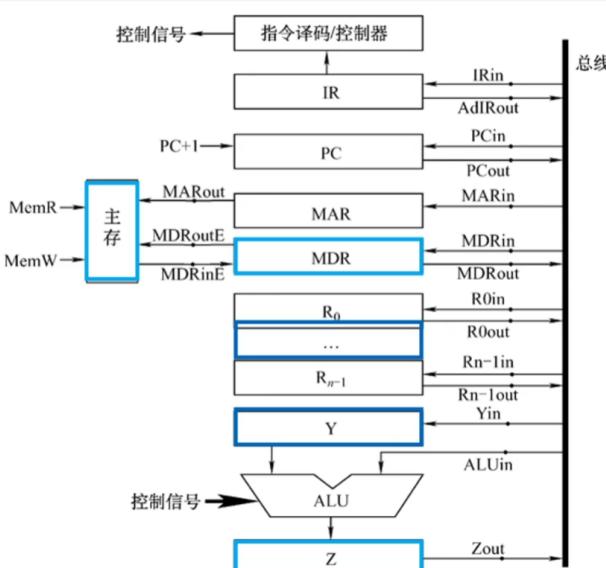
设有如图所示的单总线结构，分析指令 ADD (R0), R1 的指令流程和控制信号。

- 分析指令功能和指令周期  
功能:  $((R0))+(R1) \rightarrow (R0)$   
取指周期、间址周期、执行周期

- 写出各阶段的指令流程  
间址周期: 完成取数操作，被加数在主存中，加数已经放在寄存器R1中。

时序	微操作	有效控制信号
1	$(R0) \rightarrow MAR$	R0out, MARin
2	$M(MAR) \rightarrow MDR$	MemR, MARout, MDRinE
3	$(MDR) \rightarrow Y$	MDRout, Yin

## 执行周期



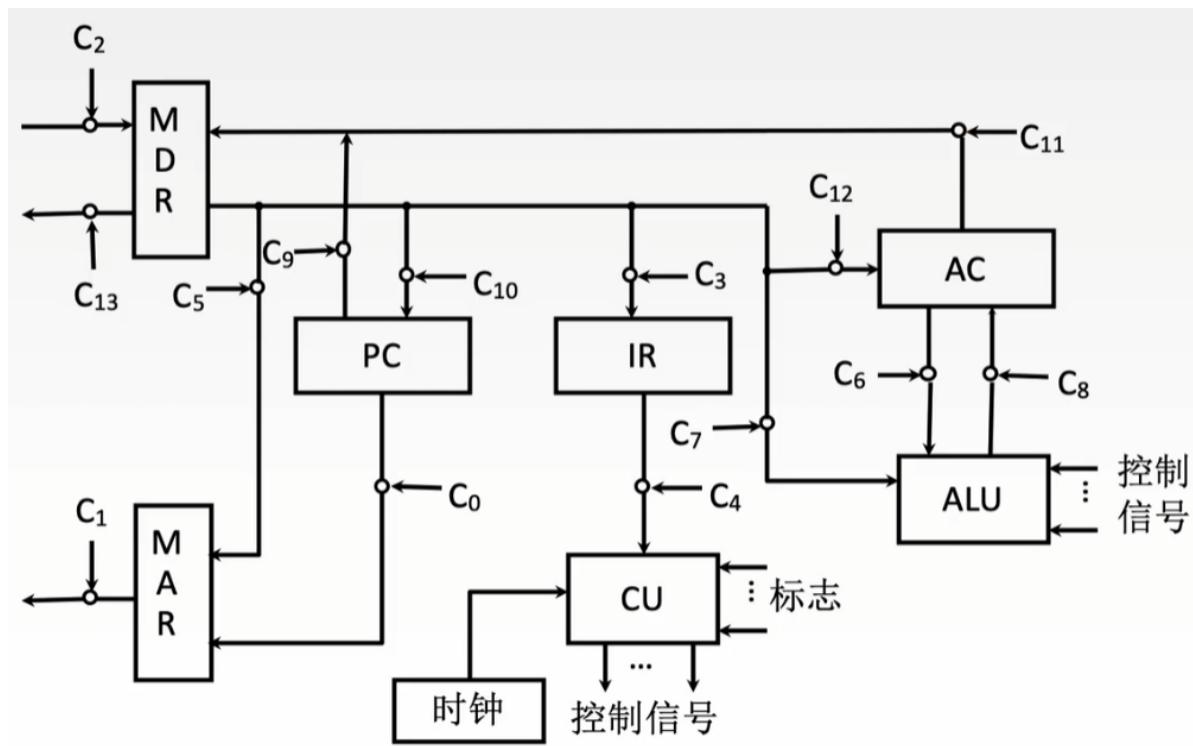
设有如图所示的单总线结构，分析指令 ADD (R0), R1 的指令流程和控制信号。

- 分析指令功能和指令周期  
功能:  $((R0))+(R1) \rightarrow (R0)$   
取指周期、间址周期、执行周期

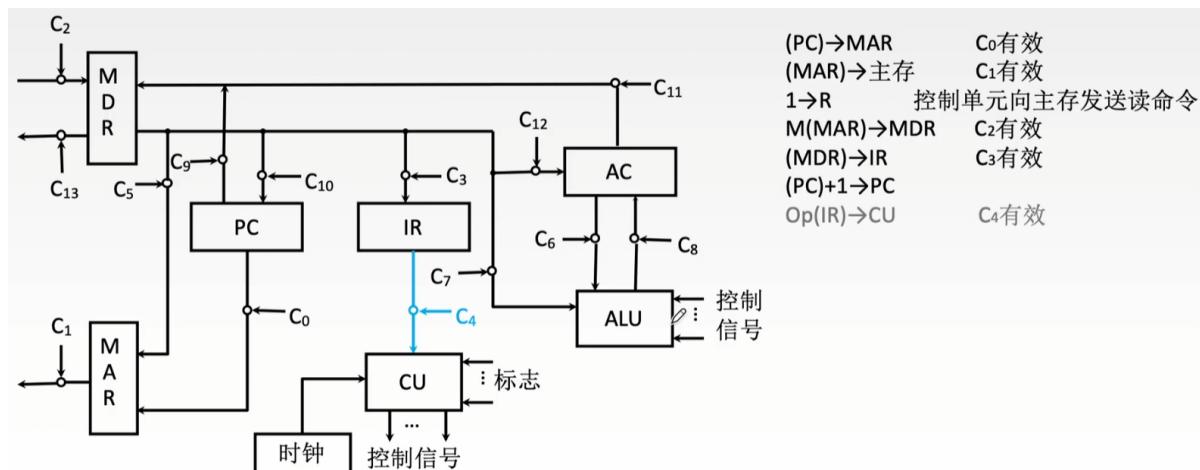
- 写出各阶段的指令流程  
执行周期: 完成取数操作，被加数在主存中，加数已经放在寄存器R1中。

时序	微操作	有效控制信号
1	$(R1)+(Y) \rightarrow Z$	R1out, ALUin, CU向ALU发ADD控制信号
2	$(Z) \rightarrow MDR$	Zout, MDRin
3	$(MDR) \rightarrow M(MAR)$	MemW, MDRoutE, MARout

# 专用通路结构



## 取指周期



下图是一个简化了的CPU与主存连接结构示意图（图中省略了所有的多路选择器）。其中有一个累加寄存器（ACC）、一个状态数据寄存器和其他4个寄存器：主存地址寄存器（MAR）、主存数据寄存器（MDR）、程序寄存器（PC）和指令寄存器（IR），各部件及其之间的连线表示数据通路，箭头表示信息传递方向。

要求：

- (1) 请写出图中a、b、c、d 4个寄存器的名称。
- (2) 简述图中取指令的数据通路。
- (3) 简述数据在运算器和主存之间进行存/取访问。
- (4) 简述完成指令LDA X的数据通路（X为主存地址）。
- (5) 简述完成指令ADD Y的数据通路（Y为主存地址）。
- (6) 简述完成指令STA Z的数据通路（Z为主存地址）。

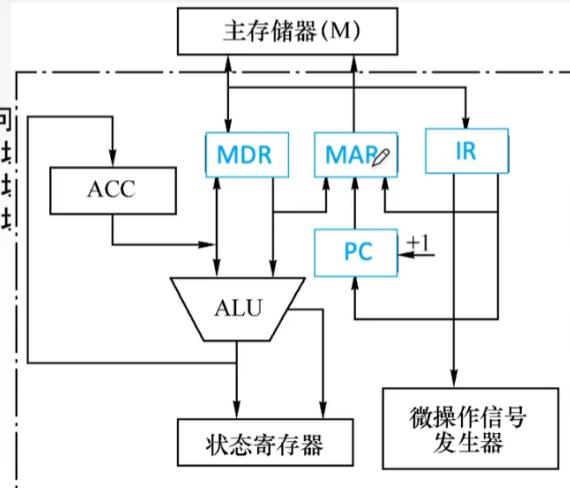
(1)

d能自动“+1”，是PC

PC内容是地址，送MAR，故c是MAR

b与微操作信号发生器相连，是IR

与主存相连的寄存器是MAR和MDR，c是MAR，则a是MDR



下图是一个简化了的CPU与主存连接结构示意图（图中省略了所有的多路选择器）。其中有一个累加寄存器（ACC）、一个状态数据寄存器和其他4个寄存器：主存地址寄存器（MAR）、主存数据寄存器（MDR）、程序寄存器（PC）和指令寄存器（IR），各部件及其之间的连线表示数据通路，箭头表示信息传递方向。

要求：

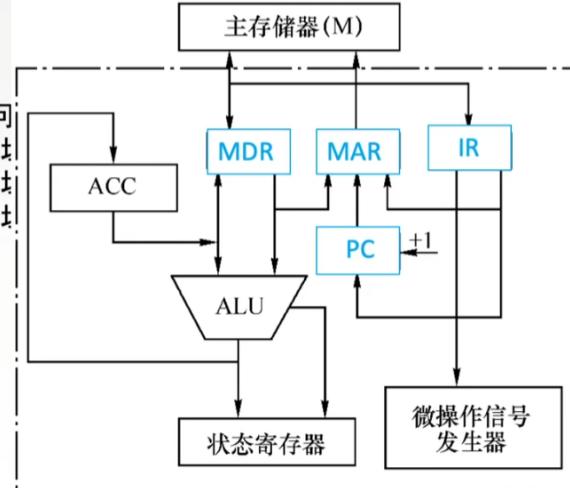
- (1) 请写出图中a、b、c、d 4个寄存器的名称。
- (2) 简述图中取指令的数据通路。
- (3) 简述数据在运算器和主存之间进行存/取访问。
- (4) 简述完成指令LDA X的数据通路（X为主存地址）。
- (5) 简述完成指令ADD Y的数据通路（Y为主存地址）。
- (6) 简述完成指令STA Z的数据通路（Z为主存地址）。

(2)

(PC) → MAR

M(MAR) → MDR

(MDR) → IR



下图是一个简化了的CPU与主存连接结构示意图（图中省略了所有的多路选择器）。其中有一个累加寄存器（ACC）、一个状态数据寄存器和其他4个寄存器：主存地址寄存器（MAR）、主存数据寄存器（MDR）、程序寄存器（PC）和指令寄存器（IR），各部件及其之间的连线表示数据通路，箭头表示信息传递方向。

(3) 简述数据在运算器和主存之间进行存/取访问的数据通路。

存/取的数据放到ACC中

设数据地址已放入MAR

取:

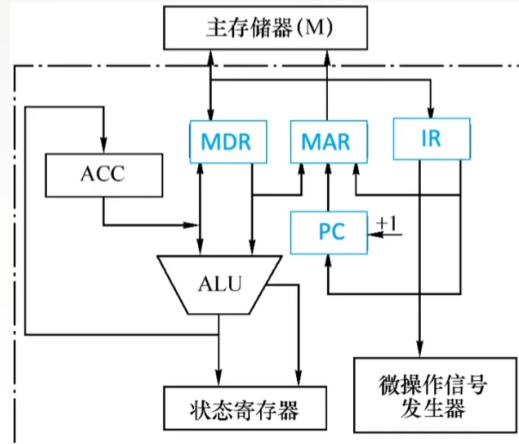
M(MAR) → MDR

(MDR) → ALU → ACC

存:

(ACC) → MDR

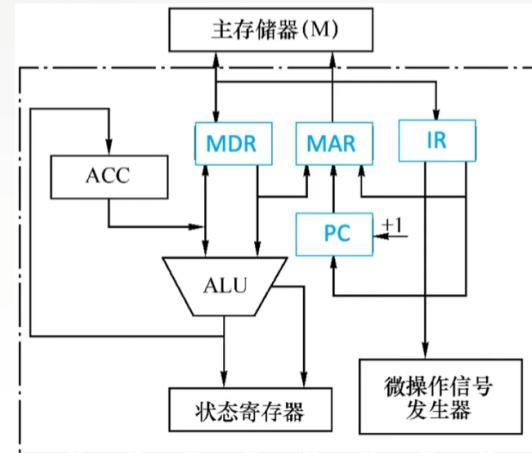
(MDR) → M(MAR)



下图是一个简化了的CPU与主存连接结构示意图（图中省略了所有的多路选择器）。其中有一个累加寄存器（ACC）、一个状态数据寄存器和其他4个寄存器：主存地址寄存器（MAR）、主存数据寄存器（MDR）、程序寄存器（PC）和指令寄存器（IR），各部件及其之间的连线表示数据通路，箭头表示信息传递方向。

(4) 简述完成指令LDA X的数据通路（X为主存地址， LDA的功能为 $(X) \rightarrow ACC$ ）。

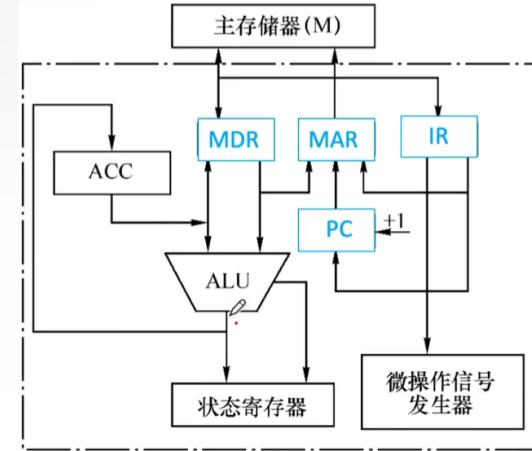
$X \rightarrow MAR$   
 $M(MAR) \rightarrow MDR$   
 $(MDR) \rightarrow ALU \rightarrow ACC$



下图是一个简化了的CPU与主存连接结构示意图（图中省略了所有的多路选择器）。其中有一个累加寄存器（ACC）、一个状态数据寄存器和其他4个寄存器：主存地址寄存器（MAR）、主存数据寄存器（MDR）、程序寄存器（PC）和指令寄存器（IR），各部件及其之间的连线表示数据通路，箭头表示信息传递方向。

(5) 简述完成指令ADD Y的数据通路（Y为主存地址， ADD的功能为 $(ACC) + (Y) \rightarrow ACC$ ）。

$Y \rightarrow MAR$   
 $M(MAR) \rightarrow MDR$   
 $(MDR) \rightarrow ALU, (ACC) \rightarrow ALU$   
 $ALU \rightarrow ACC$



下图是一个简化了的CPU与主存连接结构示意图（图中省略了所有的多路选择器）。其中有一个累加寄存器（ACC）、一个状态数据寄存器和其他4个寄存器：主存地址寄存器（MAR）、主存数据寄存器（MDR）、程序寄存器（PC）和指令寄存器（IR），各部件及其之间的连线表示数据通路，箭头表示信息传递方向。

(6) 简述完成指令STA Z的数据通路（Z为主存地址， STA的功能为 $(ACC) \rightarrow Z$ ）。

$Z \rightarrow MAR$   
 $(ACC) \rightarrow MDR$   
 $(MDR) \rightarrow M(MAR)$

