

# SRAM芯片和DRAM芯片

## DRAM和SRAM

存储元件不同导致的特性差异

DRAM的刷新

DRAM的地址线复用技术

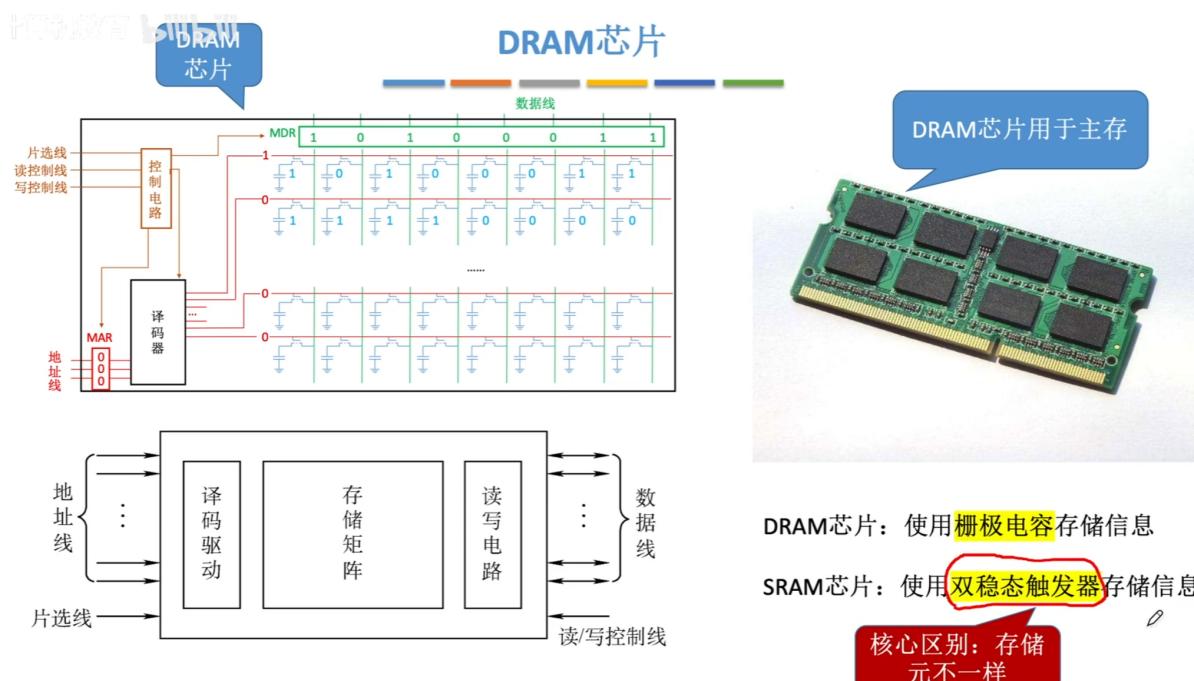
Dynamic Random Access Memory, 即动态RAM

Static Random Access Memory, 即静态RAM

DRAM用于主存、SRAM用于Cache

高频考点：DRAM和SRAM的对比

## DRAM芯片

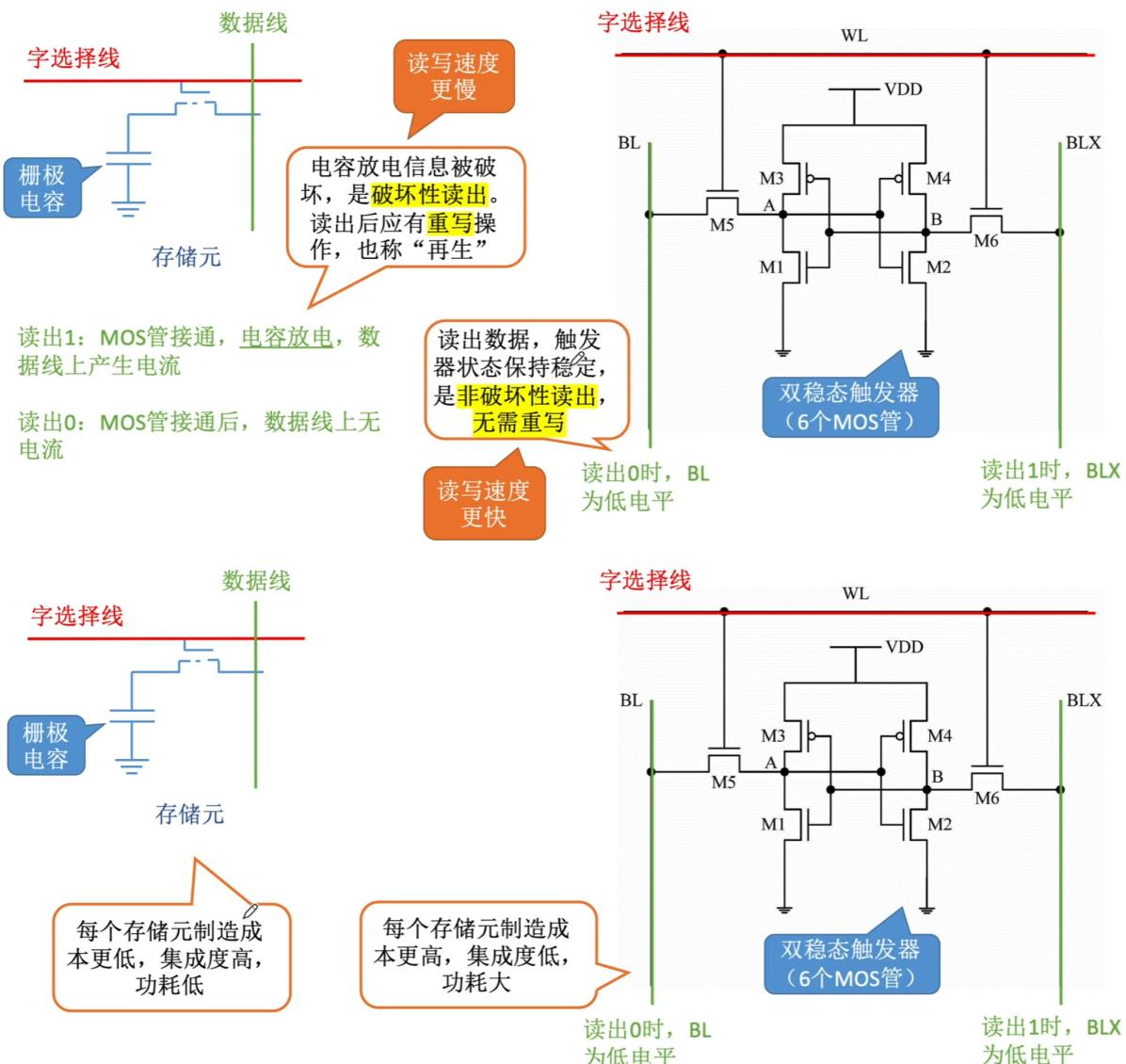


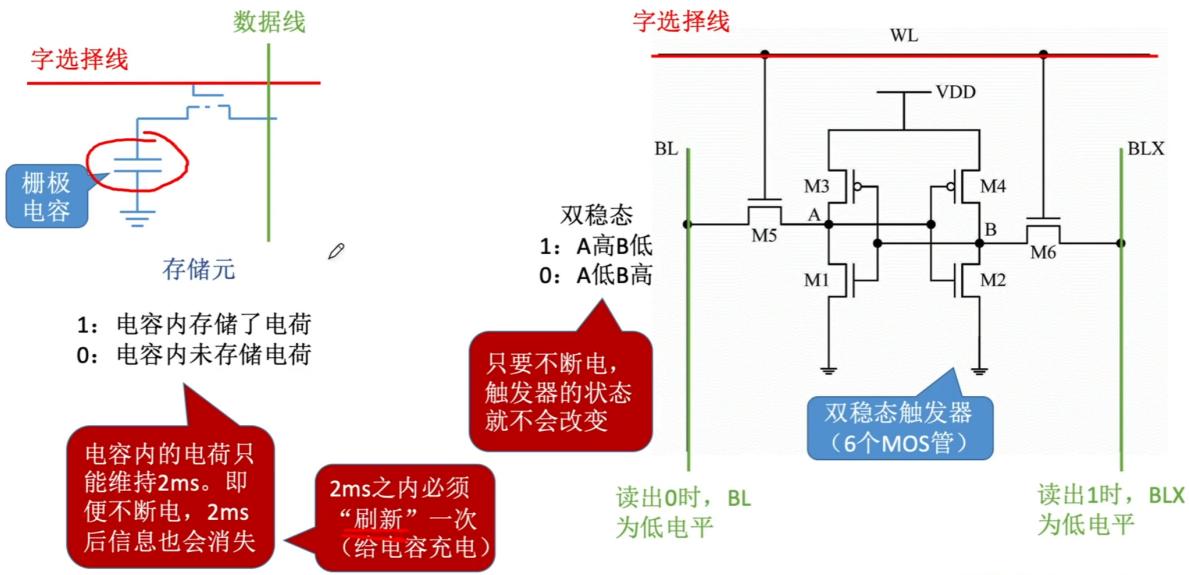
# 栅极电容v.s.双稳态触发器

类 型 特 点	Static Random Access Memory SRAM (静态RAM)	Dynamic Random Access Memory DRAM (动态RAM)	
存储信息	触发器	电容	现在的主存通常采用SDRAM芯片
破坏性读出	非	是	
读出后需要重写? (再生)	不用	需要	
运行速度	快	慢	
集成度	低	高	
发热量	大	小	
存储成本	高	低	
易失/非易失性存储器?	易失 (断电后信息消失)	易失 (断电后信息消失)	“刷新”由存储器独立完成, 不需要CPU控制
需要“刷新”?	不需要	需要 (分散、集中、异步)	
送行列地址	同时送	分两次送 (地址线复用技术)	导致地址线、地址引脚减半
	常用作Cache	常用作主存	

## 栅极电容 V.S. 双稳态触发器

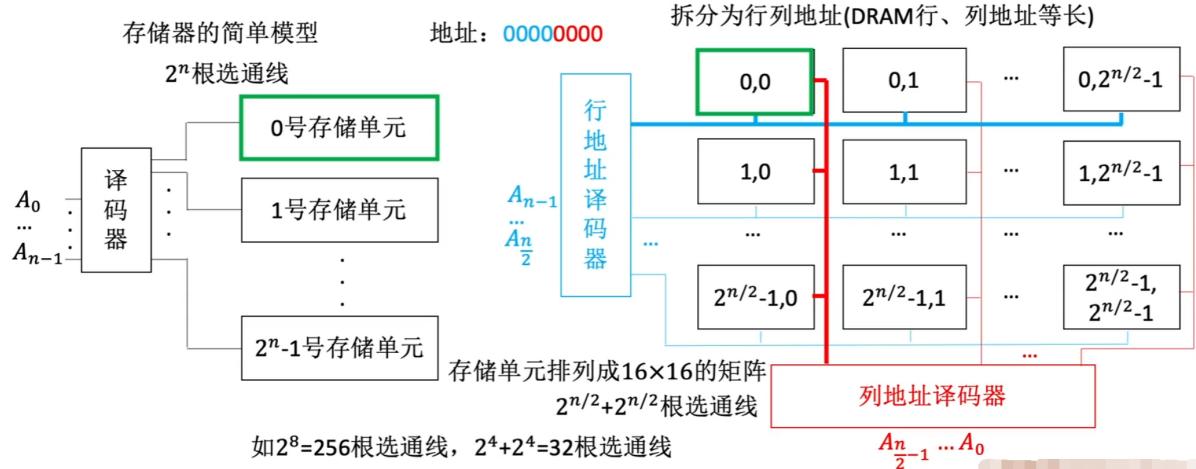
双稳态  
1: A高B低  
0: A低B高





## DRAM的刷新

- 多久需要刷新一次? 刷新周期: 一般为2ms
- 每次刷新多少存储单元? 以行为单位, 每次刷新一行存储单元  
——为什么要用行列地址? 减少选通线的数量



- 多久需要刷新一次? 刷新周期: 一般为2ms
- 每次刷新多少存储单元? 以行为单位, 每次刷新一行存储单元  
——为什么要用行列地址? 减少选通线的数量
- 如何刷新? 有硬件支持, 读出一行的信息后重新写入, 占用1个读/写周期
- 在什么时刻刷新?

存取周期  
假设DRAM内部结构排列成128×128的形式, 读/写周期0.5us  
2ms共  $2\text{ms}/0.5\text{us} = 4000$  个周期

思路一: 每次读写完都刷新一行

→系统的存取周期变为1us

前0.5us时间用于正常读写

后0.5us时间用于刷新某行



思路二: 2ms内集中安排时间全部刷新

→系统的存取周期还是0.5us

有一段时间专门用于刷新,

无法访问存储器, 称为访存“死区”



思路三: 2ms内每行刷新1次即可

→2ms内需要产生128次刷新请求

每隔  $2\text{ms}/128 = 15.6\text{us}$  一次

每15.6us内有0.5us的“死时间”



# DRAM的地址线复用技术

