



[12] 发明专利申请公开说明书

[21] 申请号 03153668.9

[43] 公开日 2005 年 2 月 23 日

[11] 公开号 CN 1585312A

[22] 申请日 2003.8.19 [21] 申请号 03153668.9
[71] 申请人 华为技术有限公司
地址 518057 广东省深圳市科技园科发路华为用服大厦
[72] 发明人 孟庆锋

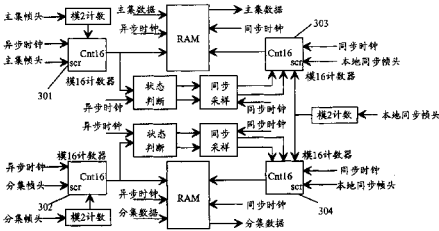
[74] 专利代理机构 北京德琦知识产权代理有限公司
代理人 张颖玲

权利要求书 2 页 说明书 9 页 附图 3 页

[54] 发明名称 一种将异步时钟域转换成同步时钟域的方法

[57] 摘要

本发明提供了一种将异步时钟域转换成同步时钟域的方法，直接使用同步时钟对异步时钟域中的异步写地址状态信号进行采样，并应用预先设定的规则，在特定的读地址位置对同步时钟域中的读地址进行调整，使得在实现异步信号时钟域转换的同时，实现了不同异步数据帧之间的帧头对齐的处理。应用本发明，实现结构简单，容易理解，避免了格雷码变换等复杂处理，使得设计流程大大简化，节约了实现的逻辑资源。



1、一种将异步时钟域转换成同步时钟域的方法，其特征在于，该方法包括以下步骤：

5 a、设置异步时钟域中的每个异步信号对应一个地址发生计数器，且每个异步信号的帧头信号对其所对应的地址发生计数器进行周期置位，将该经过置位的地址发生计数器的值作为每个异步信号所对应双口 RAM 的写地址，并根据双口 RAM 的写地址设置该双口 RAM 的写地址状态指示信号；

b、用同步时钟对异步写地址状态指示信号进行采样，得到同步写地址状态指示信号；

10 c、同步时钟域中设置与异步时钟域中相同数量的地址发生计数器，每个同步信号的帧头信号对其所对应的地址发生计数器进行周期置位，且该地址发生计数器的值作为每个同步信号所对应双口 RAM 的读地址，根据同步写地址状态指示信号，按照预先设定的规则确定读地址的判断位置，并对读地址做相应调整。

15 2、根据权利要求 1 所述的方法，其特征在于，所述周期置位进一步包括以下步骤：

设置双口 RAM 深度为 a 为帧长为 K 的正整数倍 t ，对帧头进行模 t 计数；

20 当帧头计数值小于 t 减 1 的值，且遇到帧头时，将地址发生计数器的值置为帧头计数值加 1 的值乘以帧长 K ；当帧头计数值为 t 减 1，且遇到帧头时，将地址发生计数器的值置为 0。

3、根据权利要求 1 所述的方法，其特征在于，所述根据双口 RAM 的写地址设置该双口 RAM 的写地址状态指示信号为：设置写地址帧头信号对应的写地址状态指示信号为高电平，且写地址状态指示信号的长度大于所对应的写地址帧头信号的长度。

25 4、根据权利要求 1 所述的方法，其特征在于，异步信号的帧长大于等于 4 时，步骤 c 所述按照预先设定的规则确定读地址的判断位置的方法为：读地址

的判断位置等于 n 乘以帧长 K 再减 1, 且 n 为小于等于双口 RAM 深度 a 除以帧长 K 的自然数;

步骤 c 所述对读地址的相应调整方法为: 在读地址的判断位置上判断读地址 r_add 与写地址 w_add 之间的距离是否小于等于预先设定的危险距离 L , 如果是, 则令与该异步信号相对应的读地址等于读地址减去帧长 K 再加 1, 否则对读地址不做调整。

5、根据权利要求 4 所述的方法, 其特征在于, 所述预先设定的危险距离 L 小于帧长的一半。

6、根据权利要求 1 所述的方法, 其特征在于, 异步信号的帧长小于 4 时, 步骤 c 所述按照预先设定的规则确定读地址的判断位置的方法为: 读地址的判断位置在 n 乘以帧长 K 再减 1 中以等间隔 cK 抽取, 且 n 为小于等于双口 RAM 深度 a 除以帧长 K 的自然数;

步骤 c 所述对读地址的相应调整方法为: 在读地址的判断位置上判断读地址 r_add 与写地址 w_add 之间的距离是否小于等于预先设定的危险距离 L , 如果是, 则令与该异步信号相对应的读地址等于读地址减去抽取间隔 cK 再加 1, 否则对读地址不做调整。

7、根据权利要求 6 所述的方法, 其特征在于, 所述预先设定的危险距离 L 小于抽取间隔值的一半。

8、根据权利要求 1 所述的方法, 其特征在于, 所述异步时钟域中的异步信号为两个或两个以上。

一种将异步时钟域转换成同步时钟域的方法

技术领域

本发明涉及时钟域转换技术领域，特别是指一种将异步时钟域转换成同步时钟域的方法。

背景技术

在接口芯片逻辑设计中，从接口进入芯片内部处理的信号均是以数据帧的形式传送，且相对于芯片的主处理时钟而言均为异步信号。由于不同的时钟之间会存在一定的相差或短时频率抖动，为了使芯片能够稳定工作，需要将异步信号从异步时钟域转换到同步时钟域中，以获得稳定的同步信号，之后，再进行后续处理。

由于异步信号之间的帧头通常是不对齐的，而接口芯片内部需要处理帧头完全对齐的信号，因此，在该异步信号完成时钟域的转换后，还要再做帧头对齐的处理。

下面以宽带码多分址（WCDMA）系统中的上行主、分集信号为例，具体说明将该异步信号从异步时钟域转换到同步时钟域，并实现帧头对齐的方法。

一般将异步时钟域转为同步时钟域通常采用双口 RAM 缓存数据的方法来实现。图 1 所示为现有技术中异步信号时钟域转换的实现结构图。用异步时钟信号产生双口 RAM 写地址，用同步时钟产生双口 RAM 的读地址，该双口 RAM 深度是根据需要容忍的短时频差范围来确定。分别将读写地址转换成对应的格雷码，再用同步时钟采样并进行比较，以判断读写地址之间的距离是否小于可能发生读、写冲突的最小距离，即“危险距离”，如果是，则将读地址跳转 180 度，即将读地址跳转到离当前位置最远的地址后，再执

行读操作；否则不必调整读地址，直接执行读操作。这样读出来的数据是稳定且正确的，且屏蔽了异步时钟与本地同步时钟之间的相位差以及短暂的频率抖动。

上述读地址跳转 180 度的方法为：设读地址为 r_add ，RAM 深度为 a ，

5 当 $r_add \geq a/2$ ，且读写地址之间小于危险距离时，读地址跳转到 $r_add - a/2$ 处；当 $r_add < a/2$ ，且读写地址之间小于危险距离时，读地址跳转到 $r_add + a/2$ 处。例如，假设写地址为 13，读地址为 11，“危险距离”定为 3，RAM 深度为 16，由于 $|13 - 11| < 3$ ，且 $11 > 16/2 = 8$ ，因此读地址需要调整到 $11 - 16/2 = 3$ 。

10 一般实现两路数据帧头对齐处理是采用 2 级双口 RAM 的方法。图 2 所示为现有技术的以上行主、分集帧头为例实现帧头对齐的结构图。为了说明方便，假定帧长为 8，双口 RAM 深度为 16。由于要满足帧头对齐的要求，因此必须确知帧头在双口 RAM 中的具体位置，为方便帧头对齐的处理，双口 RAM 深度通常取帧长的整数倍。对于主、分集数据，此时已被转换到同步时钟域中，因此，对主、分集帧头分别进行模 2 计数，根据帧头计数结果对相应的地址发生计数器进行置位，其具体置位规则如下：帧头计数值为 0 且相应帧头到来时，将相应地址发生计数器置为 8；帧头计数值为 1 且相应帧头到来时，将相应地址发生计数器置为 0，该经过置位的地址发生计数器的值作为对应双口 RAM 的写地址，这样每一帧的第一个数据都是在地址 0 或者地址 8 上；双口 RAM 的读地址只用一个模 16 的计数器产生，同样地，对本地同步帧头信号进行模 2 计数，根据帧头计数结果对读地址计数器进行置位，其置位规则同上，这样本地同步帧头的第一个数据也总是从地址 0 或者地址 8 读出；将写地址计数器的初始值置为 0，将读地址计数器的初始状态置为 8，从而保证了读写地址距离在开始就相差最大，而且实现了帧头对
25 齐的处理。

上述方法的缺陷在于：时钟域转换与帧头对齐处理需要分两个步骤完

成，不能在完成时钟域转换的同时实现数据帧头对齐处理。而且实现较为复杂，不易理解且造成资源浪费。

发明内容

有鉴于此，本发明的目的在于提供一种将异步时钟域转换成同步时钟域的方法，在完成时钟域转换的同时，实现帧头对齐的处理。

为达到上述目的本发明的技术方案是这样实现的：

一种将异步时钟域转换成同步时钟域的方法，该方法包括以下步骤：

a、设置异步时钟域中的每个异步信号对应一个地址发生计数器，且每个异步信号的帧头信号对其所对应的地址发生计数器进行周期置位，将该经过置位的地址发生计数器的值作为每个异步信号所对应双口 RAM 的写地址，并根据双口 RAM 的写地址设置该双口 RAM 的写地址状态指示信号；

b、用同步时钟对异步写地址状态指示信号进行采样，得到同步写地址状态指示信号；

c、同步时钟域中设置与异步时钟域中相同数量的地址发生计数器，每个同步信号的帧头信号对其所对应的地址发生计数器进行周期置位，且该地址发生计数器的值作为每个同步信号所对应双口 RAM 的读地址，根据同步写地址状态指示信号，按照预先设定的规则确定读地址的判断位置，并对读地址做相应调整。

较佳地，所述周期置位进一步包括以下步骤：

设置双口 RAM 深度为 a 为帧长为 K 的正整数倍 t ，对帧头进行模 t 计数；

当帧头计数值小于 t 减 1 的值，且遇到帧头时，将地址发生计数器的值置为帧头计数值加 1 的值乘以帧长 K ；当帧头计数值为 t 减 1，且遇到帧头时，将地址发生计数器的值置为 0。

较佳地，所述根据双口 RAM 的写地址设置该双口 RAM 的写地址状态指示信号为：设置写地址帧头信号对应的写地址状态指示信号为高电平，且

写地址状态指示信号的长度大于所对应的写地址帧头信号的长度。

较佳地，异步信号的帧长大于等于 4 时，步骤 c 所述按照预先设定的规则确定读地址的判断位置的方法为：读地址的判断位置等于 n 乘以帧长 K 再减 1，且 n 为小于等于双口 RAM 深度 a 除以帧长 K 的自然数；

- 5 步骤 c 所述对读地址的相应调整方法为：在读地址的判断位置上判断读地址 r_add 与写地址 w_add 之间的距离是否小于等于预先设定的危险距离 L ，如果是，则令与该异步信号相对应的读地址等于读地址减去帧长 K 再加 1，否则对读地址不做调整。

较佳地，所述预先设定的危险距离 L 小于帧长的一半。

- 10 较佳地，异步信号的帧长小于 4 时，

步骤 c 所述按照预先设定的规则确定读地址的判断位置的方法为：读地址的判断位置在 n 乘以帧长 K 再减 1 中以等间隔 cK 抽取，且 n 为小于等于双口 RAM 深度 a 除以帧长 K 的自然数；

- 15 步骤 c 所述对读地址的相应调整方法为：在读地址的判断位置上判断读地址 r_add 与写地址 w_add 之间的距离是否小于等于预先设定的危险距离 L ，如果是，则令与该异步信号相对应的读地址等于读地址减去抽取间隔 cK 再加 1，否则对读地址不做调整。

较佳地，所述预先设定的危险距离 L 小于抽取间隔值的一半。

较佳地，所述异步时钟域中的异步信号为两个或两个以上。

- 20 应用本发明，直接使用同步时钟采样异步时钟域中的异步写地址状态信号，并应用预先设定的规则，在特定的读地址位置对同步时钟域中的读地址进行调整，使得在实现异步信号时钟域转换的同时，实现了不同异步数据帧之间的帧头对齐的处理。应用本发明，实现结构简单，容易理解，避免了格雷码变换等复杂处理，使得设计流程大大简化，节约了实现的逻辑资源。

25 附图说明

图 1 为现有技术中异步信号时钟域转换的实现结构图；

图 2 为现有技术的以 WCDMA 系统上行主、分集帧头为例实现帧头对齐的结构图;

图 3 为应用本发明的以 WCDMA 系统上行主、分集帧头为例同时实现时钟域转换及帧头对齐的结构图;

5 图 4 为应用本发明写地址判断时序关系图;

图 5 为应用本发明的同步时钟对异步写地址状态指示信号采样的示意图;

图 6 为应用本发明的读地址调整后的时序图;

具体实施方式

10 下面结合附图及具体实施例对本发明再作进一步详细的说明。

本发明的思路是: 异步时钟域中的每个异步时钟信号对应一个地址发生计数器, 且每个异步信号的帧头信号对其所对应的地址发生计数器进行周期置位, 将该经过置位的计数器的值作为每个异步信号所对应双口 RAM 的写地址, 并根据双口 RAM 的写地址设置该双口 RAM 的异步写地址状态指示
15 信号; 用同步时钟对异步写地址状态指示信号进行采样, 得到同步写地址状态指示信号; 同步时钟域中设置与异步时钟域中相同数量的地址发生计数器, 每个同步信号的帧头信号对其所对应的地址发生计数器进行周期置位, 该计数器的值作为其所对应双口 RAM 的读地址, 根据同步写地址状态指示信号, 按照预先设定的规则确定读地址的判断位置, 并对读地址做相应调整。

20 根据帧头信号对计数器进行周期置位的规则为: 设 RAM 深度为 a , 帧长为 K , 且 $a=tK$, t 为正整数, 对帧头进行模 t 的计数, 当帧头计数值为 m , $m < t-1$ 且遇到帧头时, 将地址发生计数器的值置为 $(m+1)K$; 当帧头计数值 m 为 $t-1$, 且遇到帧头时, 由于计数值循环计数, 因此将地址发生计数器的值置为 0。

25 下面以 WCDMA 系统中的上行主、分集信号为例, 具体说明其实现方式。在本实施例中, 还是设定帧长为 8, 双口 RAM 的深度为 16, 可能发生

读写冲突的最小“危险距离”为 3，则 $t = 16/8 = 2$ ，由于每个 RAM 中只可能有两帧，因此，帧头计数值 m 只能为 0 和 1。

图 3 所示为本实施例的实现时钟域转换及帧头对齐的结构图。在异步时钟域利用异步时钟启动两个模 16 的地址发生计数器 (cnt16 301 和 cnt16 302)，并对主、分集帧头分别进行模 2 计数，根据帧头计数结果对相应的地址发生计数器进行周期置位，该经过置位的计数器的值作为与之相连的双口 RAM 的写地址；同时对两个双口 RAM 的写地址状态分别进行状态判断，以分别获取两个双口 RAM 的写地址状态指示信号；同步时钟对异步写地址状态指示信号分别进行采样，从而得到同步写地址状态指示信号；在同步时钟域中同步时钟驱动两个模 16 的地址发生计数器 (cnt16 303 和 cnt16 304)，同时对本地同步帧头进行模 2 计数，根据帧头计数结果对相应的地址发生计数器进行置位，该经过置位的计数器的值作为与之相连的双口 RAM 的读地址，根据同步写地址状态指示信号，并按照预先设定的规则对与之相对应的双口 RAM 读地址进行调整。下面就每一步骤具体说明：

首先，异步时钟域利用异步时钟启动两个模 16 的地址发生计数器 cnt16 301 和 cnt16 302，同时对主、分集帧头信号分别进行模 2 计数，根据帧头计数结果分别对对应的模 16 的地址发生计数器进行周期置位，即当帧头计数值 m 为 0 ($m < t - 1$) 且帧头到来时，将对应的模 16 计数器置为 $(0 + 1) \times 8 = 8$ ，当帧头计数值 m 为 1 ($m = n - 1$) 且帧头到来时，将对应的模 16 计数器置为 0。该经过周期置位操作后计数器的值作为两个双口 RAM 的写地址，同时对两个 RAM 的写地址状态分别进行判断，分别获得两个双口 RAM 的写地址状态指示信号。如图 4 所示，由于进来的两路异步信号帧长为 8，且地址发生计数器的模为 16，因此，帧头写入的位置只能是在双口 RAM 的地址 0 或者地址 8 上，由于每个异步信号写入两次，用两个写地址状态指示信号即写地址状态指示信号 1 (state_ind1) 和写地址状态指示信号 2 (state_ind2) 来分别表示这两个写入的状态，state_ind1 表示写地址在第二帧的异步数据

帧头附近的状况，state_ind2 表示写地址在第一帧的异步数据帧头附近的状况，在本实施例中，写地址为{6, 7, 8, 9, 10}时，state_ind1 为高电平，写地址为{14, 15, 0, 1, 2}时，state_ind2 为高电平。

其次，用同步时钟对异步写地址状态指示信号进行采样，获取同步写地址状态指示信号。图 5 所示为应用本发明的同步时钟对异步写地址状态指示信号采样的示意图。由于表示异步写地址状态的帧头信号有 1 比特，且持续时间较长，所以可由同步时钟对该异步写地址状态指示信号直接采样，同时，由于是用同步时钟对异步时钟域中的信号采样，因此在所采集信号的边沿处会存在一定的模糊状态，即图 5 中的阴影部分，但由于该模糊部分只影响读地址是在这一次还是在下一次进行调整而已，而读地址一旦进行调整，则该模糊部分对于数据的正确转换没有任何影响。

最后，用同步时钟驱动两个模 16 的地址发生计数器 cnt16 303 和 cnt16 304，同时对本地同步帧头信号进行模 2 计数，根据对本地同步帧头的计数结果对其所对应的两个模 16 的地址发生计数器进行周期置位处理，即当帧头计数值 m 为 0 ($m < n - 1$) 且帧头到来时，将对应的模 16 计数器置为 $8((m + 1) \times 8)$ ，当帧头计数值 m 为 1 ($m = n - 1$) 且帧头到来时，将对应的模 16 计数器置为 0。该经置位操作后的计数器的值作为双口 RAM 的读地址，根据同步写地址状态指示信号对双口 RAM 的读地址进行调整。图 6 所示为应用本发明的读地址调整后的时序图。由于同步时钟域中的每个地址发生计数器与异步时钟域中的一个地址发生计数器相对应，也就是说，同步时钟域的每个地址发生计数器对应一个异步信号，其具体调整方案为：

确定读地址的判断位置，具体的确定方法是设置 n 为小于等于 RAM 深度 a 除以帧长 K 的自然数，其中，RAM 深度为帧长的整数倍；读地址的判断位置为 n 乘以帧长再减 1，即读地址的判断位置为 $nK - 1$ ，且 $n \leq a/K$ ， n 为自然数。

在读地址的判断位置上判断读地址 r_add 与写地址 w_add 之间的距离是

否小于等于预先设定的危险距离 L , 该预先设定的危险距离 L 需满足 $2L < K$, 如果 $|r_add - w_add| \leq L$, 则令读地址等于读地址减去帧长 K 再加 1, 即令 $r_add = r_add - K + 1$, 否则对该读地址不做调整。

在本实施例中, $a = 16$, $K = 8$, $L = 3$, 则 $n = 2$;

5 读地址的判断位置为 $8 - 1 = 7$, $2 \times 8 - 1 = 15$;

当读地址为 7, 且 $|w_add - 7| \leq 3$ 时, 判断同步写地址状态指示信号 1 ($sync_state_ind1$) 是否为高电平, 如果是, 则将与该异步信号相对应的读地址调整为 $r_add = 7 - 8 + 1 = 0$, 否则对该读地址不做调整;

10 当读地址为 15, 且 $|w_add - 15| \leq 3$ 时, 判断同步写地址状态指示信号 2 ($sync_state_ind2$) 是否为高电平, 如果是, 则将读地址调整为 $r_add = 15 - 8 + 1 = 8$, 否则对该读地址不做调整。

经过这样的调整后, 使得从存储主、分集数据的 RAM 中读出的数据在完成时钟域转换的同时, 实现了主、分集数据帧头对齐的处理。

15 上述的调整方案中的公式只适用于帧长大于等于 4 的情况, 如果帧长小于 4, 则应用下面的方法确定读地址的判断位置以及读地址的调整位置。

确定读地址的判断位置时, 设置 n 为小于等于 RAM 深度 a 除以帧长 K 的自然数, 其中, RAM 深度为帧长的整数倍, 读地址的判断位置为 n 乘以帧长再减 1, 即读地址的判断位置为 $nK - 1$, 且 $n \leq a/K$, n 为自然数。由于帧长较短, 因此, 读地址的判断位置可以从 $K-1$ 、 $2K-1$ 、 $3K-1$ $nK-1$ 中以等间隔 cK 抽取, 则读地址判断的位置为 $cK-1$ 、 $2cK-1$ $rcK-1$, ($r < n$)。

20 在读地址的判断位置上判断读地址 r_add 与写地址 w_add 之间的距离是否小于等于预先设定的危险距离 L , 该预先设定的危险距离 L 要满足 $2L < ck$, 如果 $|w_add - r_add| \leq L$, 则令与该异步信号相对应的读地址等于读地址减去抽取间隔 cK 的值再加 1, 即令 $r_add = r_add - cK + 1$, 否则对读地址不做调整。

25 例如, 设置 $a = 16$, $K = 2$, 则 $n = 2$, 并设 $L = 1$, $ck = 4$,

读地址的判断位置可为 3, 7, 11, 15;

读地址可能调整的位置为:

当 $|w_add - 3| \leq 1$ 时, $r_add = 3 - 4 + 1 = 0$;

当 $|w_add - 7| \leq 1$ 时, $r_add = 7 - 4 + 1 = 4$;

5 当 $|w_add - 11| \leq 1$ 时, $r_add = 11 - 4 + 1 = 8$;

当 $|w_add - 15| \leq 1$ 时, $r_add = 15 - 4 + 1 = 12$;

本发明不仅适用于异步信号为两个的情况,对于将两个以上的异步信号转换为同一时钟域并使其帧头对齐的情况同样适用。

以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

10

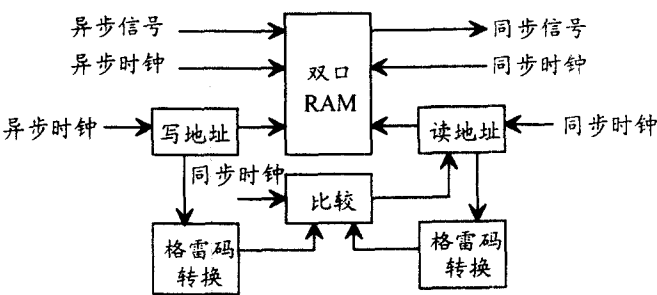


图 1

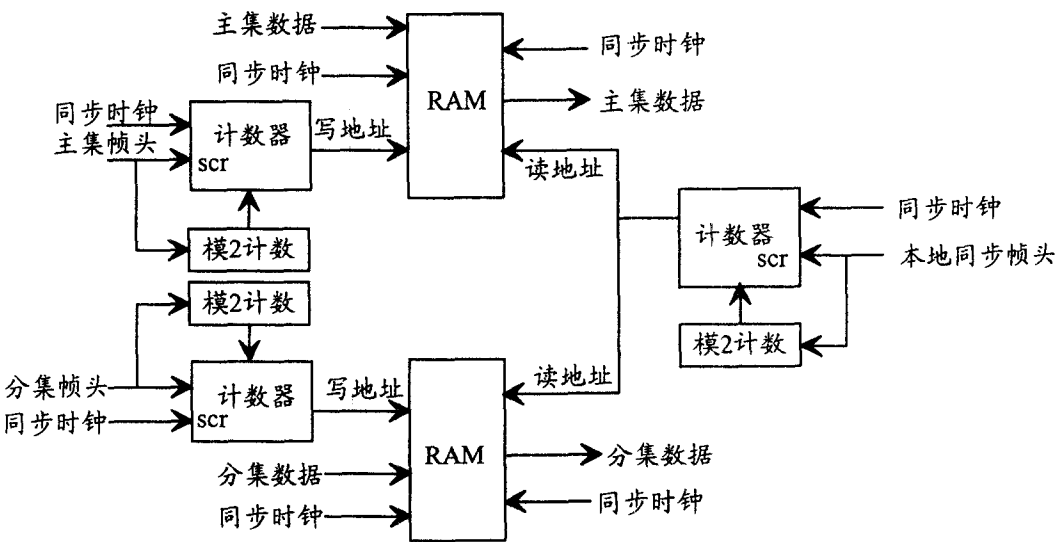


图 2

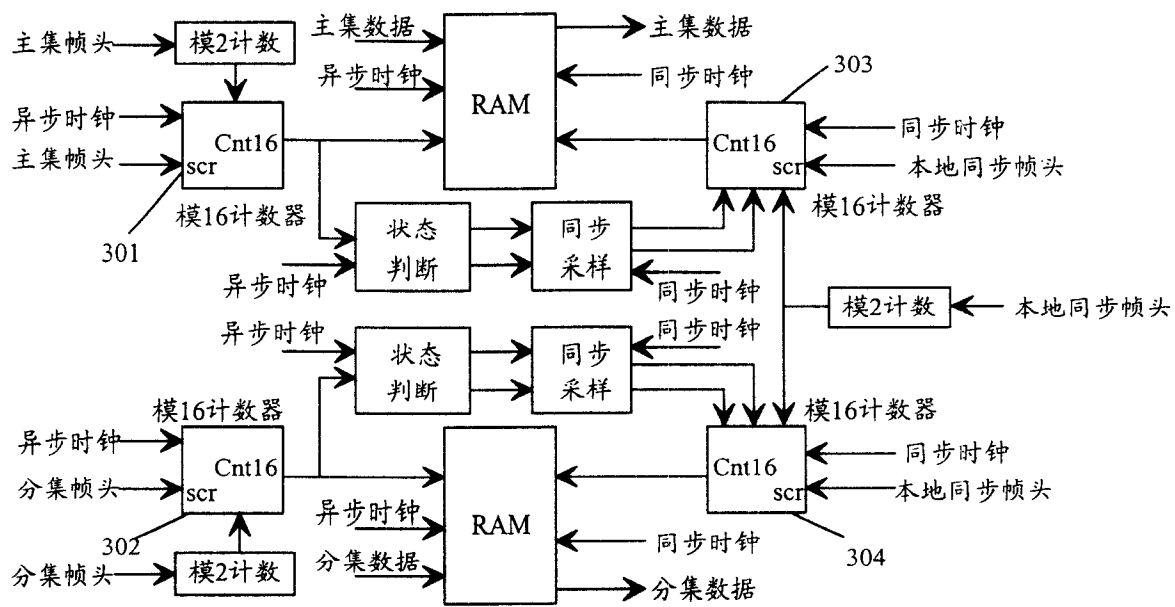


图 3

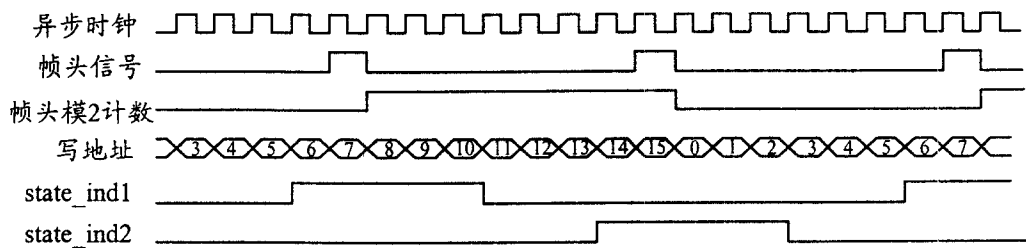


图 4

