

VLSI Physical Design Automation HW1

王領崧 107062107

2) Comparison Table

- Core utilization: 0.7
- Time period: 30
- Power Optimization: on
- Clock compilation optimization and routing: on

	(congestion-driven, timing-driven)			
	(off,off)	(on,off)	(off,on)	(on,on)
slack	19.01	19.70	18.94	20.18
Total cell area	68766.76	68714.14	68729.42	69707.12
Total wirelength	242350	241748	243463	243911

Explanation of the result: 單看 congestion-driven 造成的影響，會發現除了 slack 會變大以外，area & length 都沒有明顯的正相關。單看 timing-driven 造成的影響，會發現三者都沒有明顯的正相關。如果兩個一起看的話，發現 (on, on) 會讓三項數值都提高。

總結來看，可能是因為 slack 都還很大，不用特別的 optimization 就能 P&R 好，因此 congestion & timing 有沒有開，在 time period = 30 所造成的影響無法判斷。

3) congestion-driven placement vs timing-driven placement

- Congestion-driven: Congestion 發生的原因為當某個 area 需要的 routing tracks 多於 available 的 routing tracks，導致可以被 routing 的 nets 數量受到限制，就會稱這塊 area be congested。Congestion-driven 主要就是在減少 congestion 的發生，通常會把 density 高的 cell 分開擺放。
- Timing-driven: 著重減少 timing critical paths 的 total wirelength，在減少 length 同時，也要確保其他的 path 不會因而變得 critical。Algorithm 主要可以分為兩種：net-based & path-based。net-based approach 只針對 nets 做處理，認為只要 critical path 的 net 都有適當的 optimize，最後的 delay 也會自然而然的是 optimization。path-based 是直接對整個或是部分的 path 做優化。現代的 algorithm 多為兩種 approach 的混合。

4) An explanation of why we insert filler cells

Filler cell 是沒有任何 logical functionality 的 cell，在 routing & placement 都完成後 (包括 optimization)，用來填補在 standard cell 間的 gap。

功用有以下幾點：

1. Power nets continuity: 確保所有的 power net 是 connected，增加 power supply 的穩定性。

2. Nwell connection: 維持 nwell 的 continuity，不然在 place cell 的時候就需要考慮到 well proximity effect。well proximity effect 是指在 well boundary 的 transistor，會受到 ion implantation 的影響，造成與 ideally transistor 的 performance 有差異。同時維持 nwell continuity 也只需要一層的光罩，減少花費。
3. 穩定 core area 的 density，增加在製程上的良率。

5) best result

- Clock period:
- Core area:
- Total wirelength:
- Slack:
- Congestion– and timing–driven settings:
- Snapshot:

Readme from HW1 folder

- Each sub–folder has three file:
 - timing.report
 - route.report
 - area.report
 - apr.tcl (only in the folder of trying the best result)
- Folder name
 - yy, yn, ny, nn: (congestion, timing–driven) pair results
 - T1
 - Clock period: 8
 - Core utilization: 0.99
 - Only timing–driven
 - Score: 2.93
 - T2
 - Clock period: 6
 - Core utilization: 0.9
 - Only timing–driven
 - Score: 2.81
 - T3
 - Clock period: 6
 - Core utilization: 0.93
 - Both congestion & timing–driven
 - Score: 2.77
 - T4
 - Clock period: 5

- Core utilization: 0.86
- Both congestion & timing-driven
- Score: 2.756
- T5
 - Clock period: 6
 - Core utilization: 0.9425
 - Both congestion & timing-driven
 - Score: 2.76
- T6
 - Clock period: 6
 - Core utilization: 0.9443
 - Both congestion & timing-driven
 - Score: 2.767
- T7
 - Clock period: 5
 - Core utilization: 0.882
 - Both congestion & timing-driven
 - Score: 2.7126
- T8
 - Clock period: 4.5
 - Core utilization: 0.8
 - Both congestion & timing-driven
 - Score: 2.81
- **BestResult**
 - Clock period: 5
 - Core utilization: 0.88425
 - Time Slack: 0.00
 - Core area: 79645
 - Total wirelength: 226422
 - Both congestion & timing-driven
 - Power, Cts: on
 - Score: 2.7126
 - Snapshot

