*Họ và tên: Lê Xuân Minh*

*Lớp: D19CQCN11-B*

*Mã sinh viên: B19DCCN431*

*STT: 42*

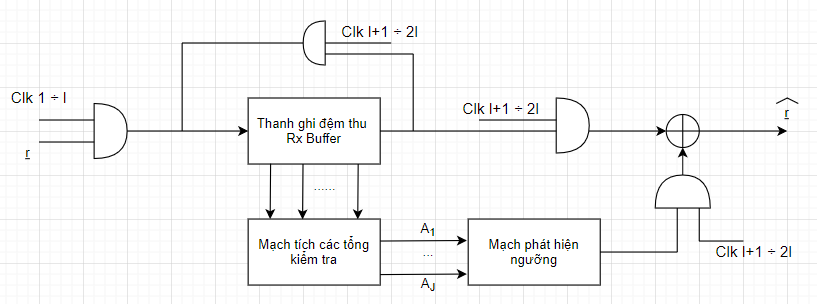
*Nhóm lớp tín chỉ: ELE1319-20202-03*

**Asignment #6-05**

**Câu 1**: Nguyên tắc (các bước) tổng quát xây dựng mạch nguyên lý giải mã ngưỡng dựa trên hệ tổng kiểm tra trực giao?

* Xây dựng hệ tổng kiểm tra trực giao với
* Xây dựng mạch nguyên lý
* Thanh ghi đệm thu: Là thanh ghi dài bit
* Mạch tích các tổng kiểm tra
* Mạch phát hiện ngưỡng
* Ghép các khối lại với nhau

**Câu 2**: Sơ đồ mạch nguyên lý giải mã ngưỡng tổng quát? Cách thiết kế (là gì, thực hiện thế nào) các khối mạch chức năng trong sơ đồ mạch tổng quát?



* Cách thiết kế
  + Thanh ghi đệm thu: Chứa véc-tơ thu được để thực hiện việc đưa vào quá trình giải mã ()
  + Mạch tính các tổng kiểm tra: Thực hiện việc tính các tổng kiểm tra dựa trên hệ các tổng kiểm tra trực giao
  + Mạch phát hiện ngưỡng: Phát hiện quá bán trong số các tổng kiểm tra của hệ có giá trị là 0 hay 1, từ đó đưa ra quyết định thực hiện việc sửa lỗi (nếu có)

**Câu 3**: Từ sơ đồ mạch trên video bài giảng, thực hiện phân tích hoạt động chi tiết quá trình giải mã cho véc-tơ thu r= 1001100

* Hệ tổng kiểm tra từ sơ đồ mạch trên video bài giảng

vecto thu = 1001100

Phân tích hoạt động chi tiết quá trình giải mã

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Nhịp |  |  |  |  |  |  |  |  |  |  | T | Bít ra |
| 7 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | - | - | - | - | - |
| 8 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 + 0 = 0 |
| 9 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | - | 1 | 0 + 1 = 1 |
| 10 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 + 0 = 1 |
| 11 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | - | 0 | 0 + 1 = 1 |
| 12 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | - | 0 | 0 + 0 = 0 |
| 13 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 + 0 = 0 |
| 14 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 + 0 = 1 |

= 1001110

Bit thứ 6 được sửa lỗi

**Câu 4**: Thực hiện lặp lại bài ví dụ minh họa trong video bài giảng với maxC(7,3,4), và r=1011110

* Đa thức kiểm tra

Ma trận kiểm tra:

Xét hệ tổng kiểm tra trực giao với

J

* Chọn Hàng 1 = 1101000
* Chọn Hàng 3 = 0011010
* Chọn Hàng 4 = 0001101

Đây là hệ tổng kiểm tra trực giao với

Dịch vòng phải 3 nhịp dựa vào hệ tổng kiểm tra trực giao với

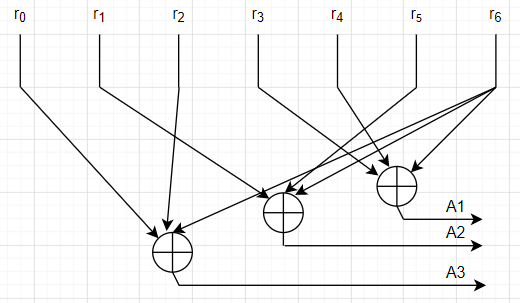
Đây là hệ tổng kiểm tra trực giao với

Xây dựng mạch nguyên lý:

* Thanh ghi đệm thu: Thanh ghi dài bit



* Mạch tính các tổng kiểm tra



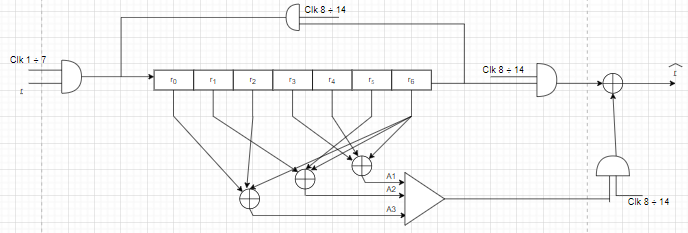
* Mạch phát hiện ngưỡng

T = f ()

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  | T |
| 1 | 1 | x | 1 |
| 1 | x | 1 | 1 |
| x | 1 | 1 | 1 |
| … | … | … | 0 |

T =

* Sơ đồ mạch



Mô tả hoạt động của mạch:

* Đầu tiên, nội dung các thanh ghi từ được xóa về 0
* 7 nhịp đầu tiên , véc-tơ thu r được dịch vào trong mạch. Kết thúc nhịp 7, toàn bộ nội dung trong véc-tơ thu r được chứa trong thanh ghi đệm thu
* Từ nhịp , nội dung các bít trong thanh ghi đệm thu được dịch ra ngoài để thực hiện việc tính các tổng kiểm tra , đồng thời được dịch vòng đưa ra bít tận cùng bên phải để thực hiện sửa lỗi ( nếu có )
* Dựa trên các tổng kiểm tra đó , ta sẽ phát hiện được quá bán trong số các tổng kiểm tra có giá trị 0 hoặc 1 để thực hiện việc sửa lỗi tương ứng
* Kết thúc quá trình ta sẽ nhận được véc-tơ sửa lỗi

Bảng mô tả trạng thái:

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Nhịp |  |  |  |  |  |  |  |  |  |  | T | Bít ra |
| 7 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | - | - | - | - | - |
| 8 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 + 0 = 0 |
| 9 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | - | 1 | 1 + 1 = 0 |
| 10 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | - | 0 | 0 + 1 = 1 |
| 11 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 + 1 = 1 |
| 12 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | - | 0 | 0 + 1 = 1 |
| 13 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 + 0 = 0 |
| 14 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 + 1 = 1 |

= 1011100

Bit thứ 6 được sửa lỗi