# 華中科技大學

*2022* 

# 计算机组成原理

课程设计报告

题 目: 5 段流水 CPU 设计

专业: 计算机科学与技术

班 级: CSXJ1902

学 号: U201912633

姓 名: 张睿

电 话: 13544024941

邮 件: 837028348@qq.com

# 目 录

1	课	程设计概述	3
	1.1	课设目的	3
	1.2	设计任务	3
	1.3	设计要求	3
	1.4	技术指标	4
2	总	体方案设计	6
	2.1	单周期 CPU 设计	6
	2.2	中断机制设计	10
	2.3	流水 CPU 设计	11
	2.4	气泡式流水线设计	12
	2.5	数据转发流水线设计	12
	2.6	动态分支预测机制	13
	2.7	团队项目设计	13
3	详	细设计与实现	15
	3.1	单周期 CPU 实现	15
	3.2	中断机制实现	18
	3.3	流水 CPU 实现	21
	3.4	气泡式流水线实现	22
	3.5	数据转发流水线实现	23
	3.6	动态分支预测机制实现	25
	3.7	团队项目实现	27
4	实	验过程与调试	28
	4.1	性能分析	28
	4.2	主要故障与调试	28

4.3	实验进度	29
5 设	计总结与心得	31
5.1	课设总结	31
5.2	课设心得	31
5.3	团队任务心得	32
参考文	献	33

# 1 课程设计概述

#### 1.1 课设目的

计算机组成原理是计算机专业的核心基础课。该课程力图以"培养学生现代计算机系统设计能力"为目标,贯彻"强调软/硬件关联与协同、以CPU设计为核心/层次化系统设计的组织思路,有效地增强对学生的计算机系统设计与实现能力的培养"。课程设计是完成该课程并进行了多个单元实验后,综合利用所学的理论知识,并结合在单元实验中所积累的计算机部件设计和调试方法,设计出一台具有一定规模的指令系统的简单计算机系统。所设计的系统能在LOGISIM 仿真平台和 FPGA 实验平台上正确运行,通过检查程序结果的正确性来判断所设计计算机系统正确性。

课程设计属于设计型实验,不仅锻炼学生简单计算机系统的设计能力,而且通过进行中央处理器底层电路的实现、故障分析与定位、系统调试等环节的综合锻炼,进一步提高学生分析和解决问题的能力。

## 1.2 设计任务

本课程设计的总体目标是利用 FPGA 以及相关外围器件,设计五段流水 CPU,要求所设计的流水 CPU 系统能支持自动和单步运行方式,能正确地执行存放在主存中的程序的功能,对主要的数据流和控制流通过 LED、数码管等适时的进行显示,方便监控和调试。尽可能利用 EDA 软件或仿真软件对模型机系统中各部件进行仿真分析和功能验证。在学有余力的前提下,可进一步扩展相关功能。

# 1.3 设计要求

- (1) 根据课程设计指导书的要求,制定出设计方案;
- (2) 分析指令系统格式,指令系统功能。
- (3) 根据指令系统构建基本功能部件,主要数据通路。
- (4) 根据功能部件及数据通路连接,分析所需要的控制信号以及这些控制信号 的有效形式;

- (5) 设计出实现指令功能的硬布线控制器;
- (6) 调试、数据分析、验收检查;
- (7) 课程设计报告和总结。

#### 1.4 技术指标

- (8) 支持表 1.1 前 27 条基本 32 位 MIPS 指令:
- (9) 支持教师指定的 4 条扩展指令;
- (10) 支持多级嵌套中断,利用中断触发扩展指令集测试程序;
- (11) 支持5段流水机制,可处理数据冒险,结构冒险,分支冒险;
- (12) 能运行由自己所设计的指令系统构成的一段测试程序,测试程序应能涵盖 所有指令,程序执行功能正确。
- (13) 能运行教师提供的标准测试程序,并自动统计执行周期数
- (14) 能自动统计各类分支指令数目,如不同种类指令的条数、冒险冲突次数、插入气泡数目、load-use 冲突次数、动态分支预测流水线能自动统计预测成功与失败次数。

表 1.1 指令集

#	指令助记符	简单功能描述	备注
1	ADD	加法	
2	ADDI	立即数加	
3	ADDIU	无符号立即数加	
4	ADDU	无符号数加	
5	AND	与	指令格式参考 MIPS32 指
6	ANDI	立即数与	令集,最终功能以 MARS
7	SLL	逻辑左移	模拟器为准。
8	SRA	算数右移	(矢3以价/31比。
9	SRL	逻辑右移	
10	SUb	减	
11	OR	或	
12	ORI	立即数或	

#	指令助记符	简单功能描述	备注
13	NOR	或非	
14	LW	加载字	
15	SW	存字	
16	BEQ	相等跳转	
17	BNE	不相等跳转	
18	SLT	小于置数	
19	STI	小于立即数置数	
20	SLTU	小于无符号数置数	
21	J	无条件转移	
22	JAL	转移并链接	
23	JR	转移到指定寄存器	If \$v0==10 halt(停机指令)
24	SYSCALL	系统调用	else 数码管显示\$a0 值
25	MFC0	访问 CP0	中断相关,可简化,选做
26	MTC0	访问 CP0	中断相关,可简化,选做
27	ERET	中断返回	异常返回,选做
28	XORI	异或	
29	LUI	存入立即数到高半字节	
30	LH	加载半字	
31	BGEZ	大于或等于时跳转	

# 2 总体方案设计

#### 2.1 单周期 CPU 设计

单周期 CPU 设计主要依据原理图构建数据通路,完成各个组件的设计,最后进行测试联调,然后再在 MIPS24 的基础上增加 CCAB 指令及其数据通路,利用 benchmark ccab. hex 进行最终的测试。

总体结构图如图 2.1 所示。

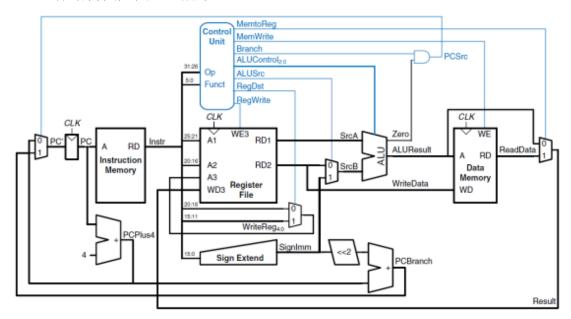


图 2.1 总体结构图

#### 2.1.1 主要功能部件

#### 1. 程序计数器 PC

用寄存器来记录当前的 PC 以及 PC 的更新, PC 更新主要有两个来源,一个是正常的指令进行 PC←PC+4,另一个就是和跳转有关的指令如条件跳转 Beq,无条件跳转 J等。另一方面,还需要对使能端进行相关的逻辑操作,以便能够在指定地方暂停并重新运行。

#### 2. 指令存储器 IM

利用 ROM 对指令进行存储,在复位后不会被清空,方便调试,相关的指令的 16 进制,可以利用 MARS 进行 dump。同时也可以利用 MARS 观察相关寄存器的值进行对比调试。

#### 3. 运算器

表 2.1 算术逻辑运算单元引脚与功能描述

引脚	输入/输出	位宽	功能描述		
Х	输入	32	操作数 X		
Υ	输入	32	操作数Y		
ALU_OP	输入	4	运算器功能码,具体功能见下表		
Result	输出	32	ALU 运算结果		
D 112	<i>t</i> Δ.11	22	ALU 结果第二部分,用于乘法指令结果高位或除		
Result2	输出	32	法指令的余数位,其他操作为零		
OF	输出	1	有符号加减溢出标记,其他操作为零		
UOF	输出	1	无符号加减溢出标记,其他操作为零		
Equal	输出	1	Equal=(x==y)?1:0, 对所有操作有效		

表 2.2 运算器规格

ALU_OP	十进制	运算功能					
0000	0	Result = X << Y   逻辑左移 (Y 取低五位) Result2=0					
0001	1	Result = X >>>Y 算术右移 (Y 取低五位) Result2=0					
0010	2	Result = X >> Y 逻辑右移 (Y 取低五位) Result2=0					
0011	3	Result = (X * Y)[31:0]; Result2 = (X * Y)[63:32] 无符号乘法					
0100	0100 4 Result = X/Y; Result2 = X%Y 无符号除法						
0101	5	Result = X + Y (Set OF/UOF)					
0110	6	Result = X - Y (Set OF/UOF)					

0111	7	Result = X & Y   按位与
1000	8	Result = X   Y 按位或
1001	9	Result = X⊕Y 按位异或
1010	10	Result = ~(X  Y) 按位或非
1011	11	Result = (X < Y) ? 1 : 0 符号比较
1100	12	Result = (X < Y) ? 1 : 0 无符号比较

#### 4. 寄存器堆 RF

寄存器堆 RF 利用 CS4310 的寄存器组件,对其进行简单的封装即可。

#### 2.1.2 数据通路的设计

表 2.3 指令系统数据通路框架

北人	DC.	TM		R	F			ALU		DN	Л	T1
指令	PC	IM	R1#	R2#	W#	Din	A	В	OP	Addr	Din	Tube

#### 2.1.3 控制器的设计

首先对于控制信号进行统计,包括各个主要部件所需要输入的控制信号,以及数据通路合并表中所示的具有多输入的主要部件需要进行输入选择的控制信号,并且对各个统计信号的各种取值情况进行定义,统计得到的控制信号以及说明如表 2.4。

表 2.4 主控制器控制信号的作用说明

控制信号	取值	说明
JMP	0	无跳转
JMP	1	无条件跳转
ID	0	无跳转
JR	1	跳转到 rs 寄存器值对应的位置
SignedExt	0	不进行符号拓展

控制信号	取值	说明						
	1	进行符号拓展						
	0	非 Beq 指令						
Beq	1	Beq 指令信号						
	0	非 Bne 指令						
Bne	1	Bne 指令信号						
	0	不将 Alu 结果写入寄存器						
MemToReg	1	将 Alu 结果写入寄存器						
	0	不写入数据 RAM						
MemWrite	1	写入数据 RAM						
	取值参照表							
AluOP	2.2 运算器规	功能参照表 2.2 运算器规格						
	格							
AluSrcB	0	运算器的 Y 端从寄存器 R2 输出读取						
Alusicb	1	运算器的Y端从立即数读取						
D a a Weita	0	不写入寄存器堆						
RegWrite	1	写入寄存器堆						
JAL	0	非 JAL 指令						
JAL	1	JAL 指令						
RegDst	0	不使用 rd 字段						
RegDst	1	使用 rd 字段						
LUI	0	非 LUI 指令						
	1	LUI 指令						
LH	0	非 LH 指令						
Ln	1	LH 指令						
BGEZ	0	非 BGEZ 指令						
DUEZ	1	BGEZ 指令						
Rs	0	未使用 RS						
IV2	1	使用 RS						

控制信号	取值	说明
D.	0	未使用 Rt
Rt	1	使用 <b>R</b> t
	0	非 syscall 指令
syscall	1	Syscall 指令
EDET	0	非 ERET 指令
ERET	1	中断返回
MG-0	0	不开中断
Mfc0	1	开中断
Mtc0	0	不关中断
WICO	1	关中断

对照所有控制信号,依次分析各条指令,分析该指令执行过程中需要哪些控制信号,对于与本条指令无关的控制信号,控制信号的取值一律为 0,以简化控制器电路的设计。该控制信号表的框架如表 2.4 所示。

表 2.5 主控制器控制信号框架

指令	R	RW	WE	X	EXT	Y	ALUop	MemWrite	MemRead	Din	Branch	SYSCALL

#### 2.2 中断机制设计

#### 2.2.1 总体设计

实验中主要有两种中断,单级中断和多级中断,单级中断较为简单,主要完成了基于单周期 CPU 和基于重定向流水线的中断,这两个的实现并没有很大的区别,不过多叙述,这里主要叙述多级中断,中断需要软硬件配合完成,对于硬件来说,主要是完成中断的识别和中断的进入(中断隐指令)以及中断的返回,并利用硬件堆栈保存中断号和 EPC。接下来分别叙述。

#### 2.2.2 硬件设计

#### 1. 中断信号采样

中断信号的生成主要参考中断信号采样参考电路,通过对相关中断信号来到的感知,保存相关的中断信号,并在中断返回时及时清零。

#### 2. 中断信号的识别

将中断信号送入优先编码器进行优先级排序并输出当前优先级最高的中断,获取当前中断的入口地址,并且结合中断使能判断当前是否能够处理中断。

#### 3. 中断使能的逻辑

中断的使能需要考虑中断嵌套的情况,也就是说当软件执行开中断后,硬件需要根据开中断信号,改变中断使能,并准备识别新的中断信号,同理有关中断的相关操作,还有就是对于 ERET 指令,其也需要改变中断使能的状态。

#### 4. 中断号堆栈

中断号堆栈用于保存中断号,这里由于只有3种中断,中断的硬件堆栈只需要3个寄存器,保存对应的中断号,并可以获得当前的中断号,便于中断的返回对于相关信号的清零。

#### 5. EPC 堆栈

EPC 堆栈也是和中断号堆栈类似,利用 3 个寄存器完成对 epc 的保存,并可获得当前的中断的返回地址。

#### 2.2.3 软件设计

中断的软件设计较为简单,主要时 mfc0 和 mtc0 两条指令的设计,这里将他们集合到控制器中,当识别为 mfc0/mtc0 后,生成相应的控制信号,并操作相对应的硬件,主要是中断使能的状态改变。

#### 2.3 流水 CPU 设计

#### 2.3.1 总体设计

对于流水 CPU,主要是在原本单周期的 CPU 上进行修改,将一条指令分为取指、译码、执行、访存、写回五个阶段,在五个阶段之间增加流水接口,形成五段流水,对于理想流水线,不考虑各种冲突,而对于气泡、重定向等进阶流水线,需要考虑各

种冲突的发生。

#### 2.3.2 流水接口部件设计

流水接口部件主要由寄存器组成,随着时钟的到来,将上一阶段的状态保存入寄存器中,与此同时也需要设计使能端逻辑以及清空逻辑,对于清空需要注意,需使用同步清零,原本寄存器默认的清零端为异步清零,需要增加器件以支持同步清零。

#### 2.3.3 理想流水线设计

对于理想流水线,结构冲突可以增加器件、采样哈弗结构等方法解决,数据冲突和控制冲突都不考虑,只需要设计流水接口并将其合进单周期 CPU 中即可。

#### 2.4 气泡式流水线设计

对于气泡式流水线,需要利用插入气泡和暂停等方式解决数据冲突和控制冲突。对于控制冲突,主要为当执行到跳转相关的指令时,需要清空取值和译码阶段流水寄存器的值,因为此时取到的指令是错误指令。这里主要采用 EX 段分支,即在 EX 段判断是否有控制冲突。对于数据冲突,由于是 MIPS,并且写回和寄存器读取可以分别采用半个周期进行,所以可以不需考虑写后写,读后读,读后写的数据冲突,只需要考虑写后读的数据冲突,当检测到冲突时,应暂停流水的进行(插入气泡)等到冲突解决后,才能继续进行。而冲突的识别逻辑可以参考组成原理教材,主要思想是在译码阶段通过比对当前要读的寄存器和执行或访存阶段要写的寄存器,判断是否有冲突发生,至于写回阶段,由于此时读和写各占半个周期,不会发生冲突。

# 2.5 数据转发流水线设计

对于数据转发流水线(重定向流水线),就是通过重定向的方法解决冲突。由于数据冲突,导致当前从寄存器堆中取得的数据并不是正确的数据,而正确的数据此时还没被写回,所以一个很自然的思想,就是把位于 MEM 段,WB 段的正确的数据,直接送入执行阶段进行计算。而正确的数据主要来源于 AluResult 和 WriteBackData两部分,所以只需要判断什么时候产生冲突,产生冲突后应该将哪部分数据送入执行阶段进行执行。这一部分的逻辑也可以参考组成原理教材,主要思想也是在译码阶段通过比对当前要读的寄存器和执行或访存阶段要写的寄存器,判断是否有冲突发生,

是 rs 发生了,还是 rt 发生了,和哪个阶段发生了冲突,如果是 EX 段,则应该重定向 AluResult,如果是 MEM 段则重定向 writebackdata,这里需要注意是在译码阶段判断,所以需要将判断的结果送入 EX 段进行真正的重定向。

#### 2.6 动态分支预测机制

动态分支预测基于重定向流水线,主要是希望能够通过预测减少由于控制冲突导致流水线出现过多的气泡,而是能够根据以往的跳转历史,预测出跳转类指令的跳转后下一条正确的指令。这个的实现主要是通过设置 cache 来记录跳转历史,由这些 cache 槽以及相关逻辑组成 BTB 组件。所以主要就是 BTB 组件的设计。

对于 BTB 组件,其主要组成部分为 cache 槽,这里选择设置 8 个 cache 槽来记录历史,另一方面,设置 2 位分支预测位,来记录状态,状态转换图可以参考组成原理教材,这里需要注意的是,为了能够快速预测,设置了分支预测位的初值位10,这样只需要成功预测一次就可以使用预测功能,这样可以显著减少周期数。当然,涉及到了 cache,就需要增加 cache 的写入,替换等逻辑,这方面之前做过相关实验,在此不过多叙述。

在取指阶段识别到跳转类指令时,流水线将会出现三种情况需要处理:未命中,则流水线的表现与未添加分支预测时的流水线一致;使用了BTB但预测失败,即命中了但预测错误,此时需要在执行阶段对预测结果进行判断,因为预测失败所以向IF、ID 段插入气泡并向PC 寄存器传入正确的目标地址,与未添加分支预测的流水线表现一致;使用了BTB且预测成功,此时流水线能够顺利向下推进而无需插入气泡,避免了周期浪费。

### 2.7 团队项目设计

团队项目设计是在已经完成的电路基础上制作一个可以前后翻动的相册。最后大致效果图如所示。

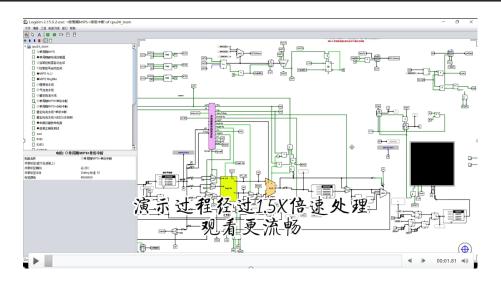


图 2.2 团队项目大致效果图

# 3 详细设计与实现

#### 3.1 单周期 CPU 实现

#### 3.1.1 主要功能部件实现

#### 1) 程序计数器 (PC)

使用一个 32 位寄存器实现程序计数器 PC, 触发方式为下降沿触发,输入为下一条将要执行的指令的地址,输出为当前执行指令的地址。Halt 为停机信号,将此控制信号通过非门取反之后和时钟相与,当需要进行停机时,Halt 控制信号为 1,经过非门之后为 0,与时钟信号相与,屏蔽时钟信号,使整个电路停机。如图 3.1 所示。

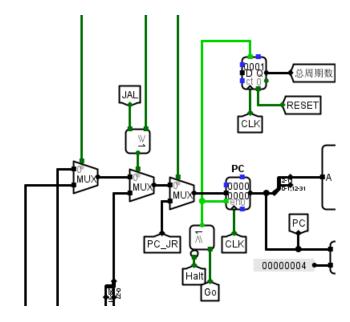


图 3.1 程序计数器 (PC)

#### 2) 指令存储器(IM)

使用一个只读存储器 ROM 实现指令存储器 (IM)。设置该只读存储器的地址位宽为 10 位,数据位宽为 32 位。因为 PC 中存储的指令地址有 32 位,而 ROM 地址线宽度有限,仅为 10 位,故将 32 位指令地址高位部分和字节偏移部分直接屏蔽,使用分线器只取 32 位指令地址的 2-11 位作为指令存储器的输入地址。如图 3.2 所示。

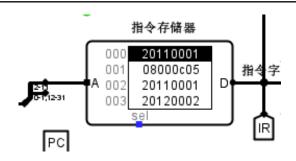


图 3.2 指令存储器(IM)

#### 3) 数据存储器(DM)

与指令存储器类似,也是屏蔽低两位,达到按字寻址的效果,需要注意的是,由于 CCAB 中存在 LH 指令,这个指令需要按半字寻址。解决的办法也很简单,只需要 把取出来的数进行左移或右移,并且根据第一位的值选择即可。如图 3.3 所示。

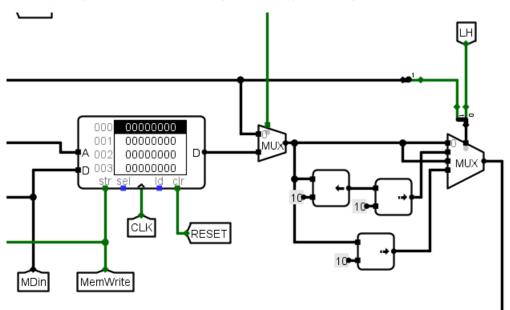


图 3.3 数据存储器 (DM)

#### 4) 寄存器堆

寄存器堆使用 cs3410 的组件,进行简单封装即可。

#### 3.1.2 数据通路的实现

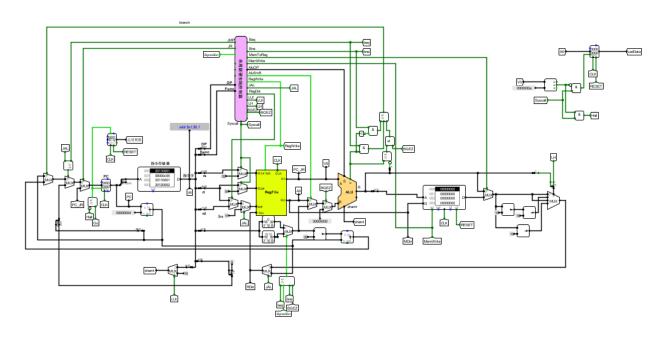


图 3.4 单周期 CPU 数据通路

#### 3.1.3 控制器的实现

控制器主要利用 excel 表的自动生成表达式,自动生成相应电路,只需要分析每个指令所需要的控制信号,就可以通过组合逻辑生成对应的电路。

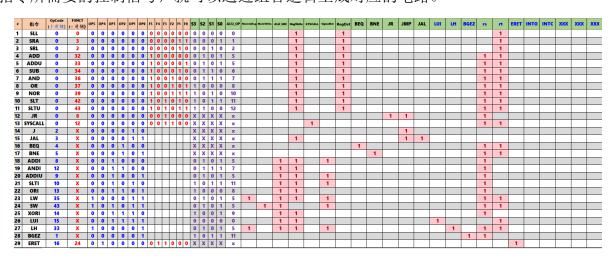


图 3.5 控制器信号自动生成 excel

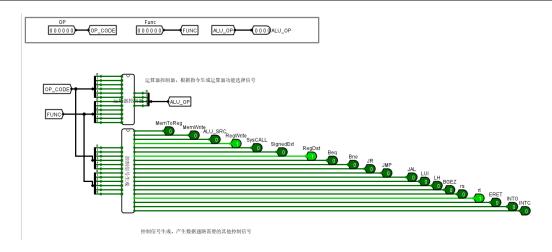
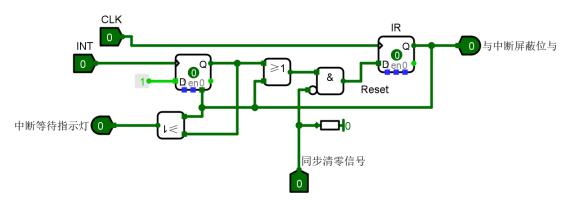


图 3.6 主控制器原理图

### 3.2 中断机制实现

#### 3.2.1 单级中断

中断信号采样电路采用参考电路即可。



中断信号采样参考电路

图 3.7 中断信号采样电路

中断识别以及中断清理的逻辑如图 3.8。

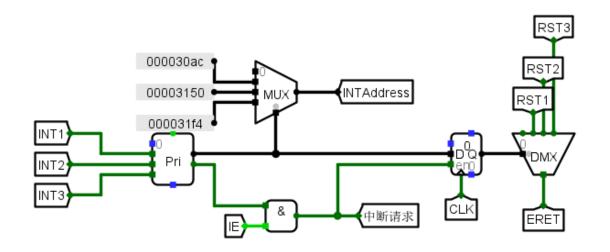


图 3.8 中断识别与中断清理信号电路

中断使能位逻辑如图 3.9。

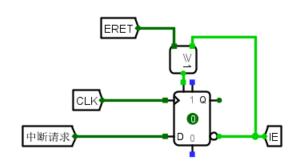


图 3.9 中断使能位逻辑电路

EPC 保存逻辑如图 3.10。

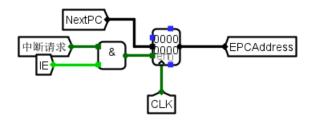


图 3.10 EPC 保存寄存器

#### 3.2.2 多级中断

多级中断是在单级中断的基础上将 epc 和中断号等进行堆栈化并且更改中断使能逻辑即可。

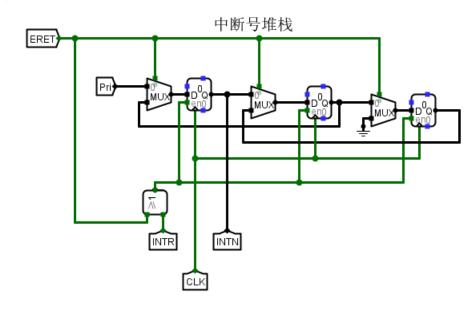


图 3.11 中断号堆栈

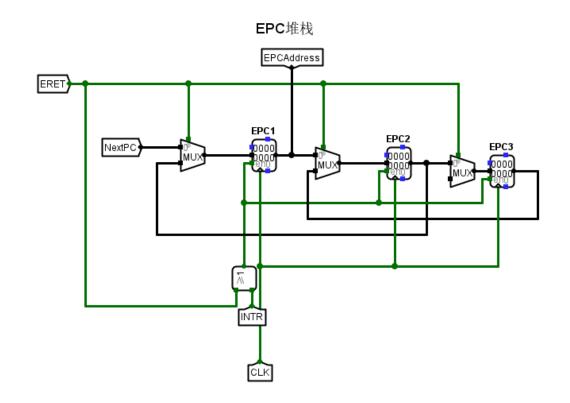


图 3.12 EPC 堆栈

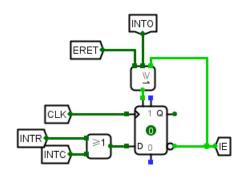


图 3.13 中断使能逻辑

### 3.3 流水 CPU 实现

#### 3.3.1 流水接口部件实现

流水接口部件主要部分位寄存器,注意需使用同步清零。这里以IF/ID 流水接口为例。

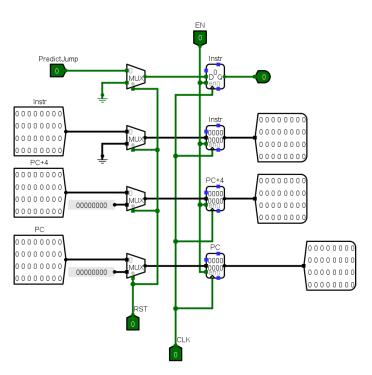


图 3.14 流水接口部件

#### 3.3.2 理想流水线实现

理想流水线不考虑各种类型的冲突,只需要将原本单周期 CPU 分成 5 段并加上流水接口部件即可。如图 3.13 所示。

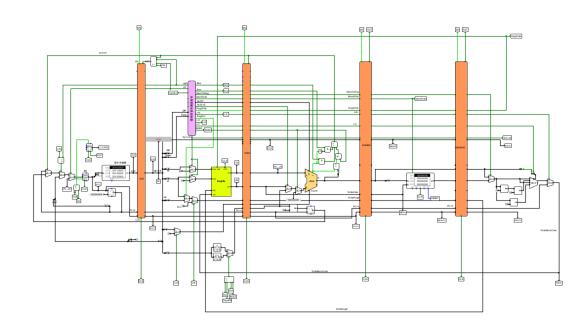


图 3.15 理想流水线

# 3.4 气泡式流水线实现

气泡流水线主要是在理想流水线的基础上增加冲突检测电路,并根据冲突选择是插入气泡还是暂停流水线执行。

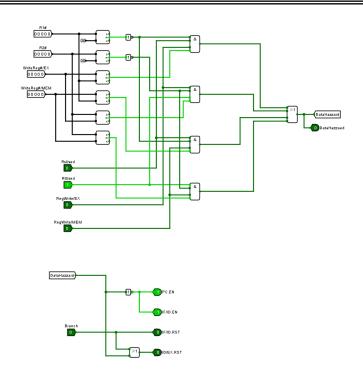


图 3.16 气泡流水线冲突检测电路

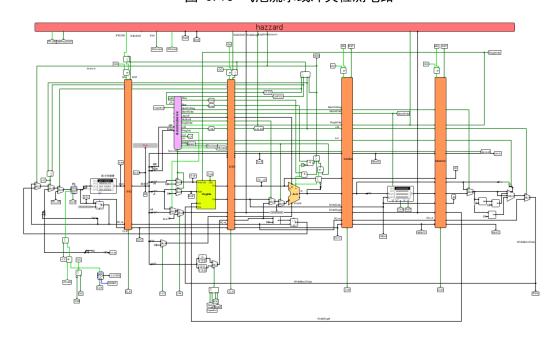
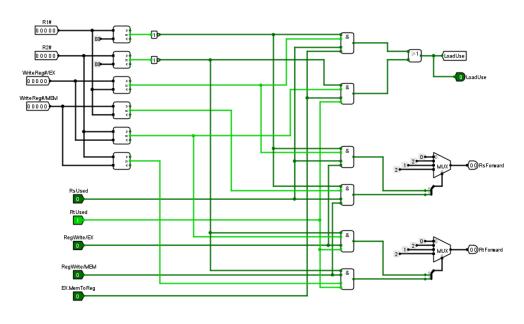


图 3.17 气泡流水线电路图

# 3.5 数据转发流水线实现

对于重定向流水线则是在理想流水线上增加冲突检测电路,并根据冲突选择相应的段的数据重定向到执行阶段。



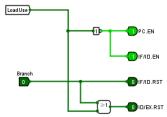
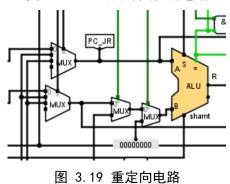


图 3.18 重定向冲突检测电路



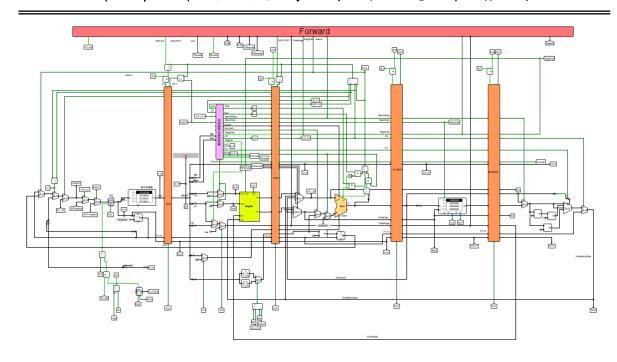


图 3.20 重定向流水线

### 3.6 动态分支预测机制实现

动态分支预测主要是 BTB 组件的设计。淘汰逻辑和写入逻辑和之前实验相似,不做赘述,这里主要写 cacheline 的设计以及分支预测位的设计。

首先是 cacheline 主要由 valid 位,分支指令地址,分支目标地址和置换标记组成。

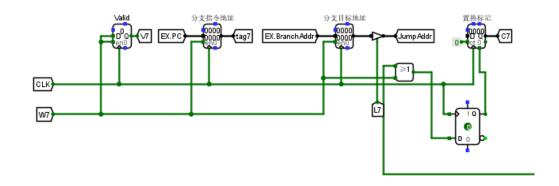


图 3.21 cacheline

然后是分支预测位的变化逻辑。这里设置初值为 10,利用 4 个多路选择器完成状态的转化。

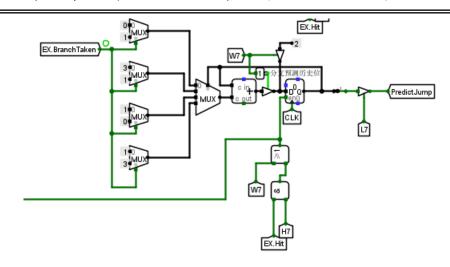


图 3.22 分支预测位逻辑电路

融入 BTB 后的重定向流水线电路图如图 3.21 所示。

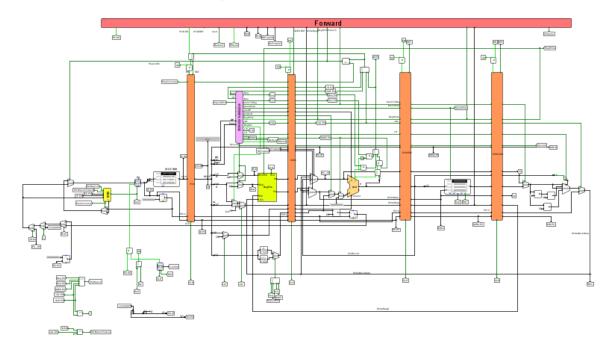


图 3.23 动态分支预测

# 3.7 团队项目实现

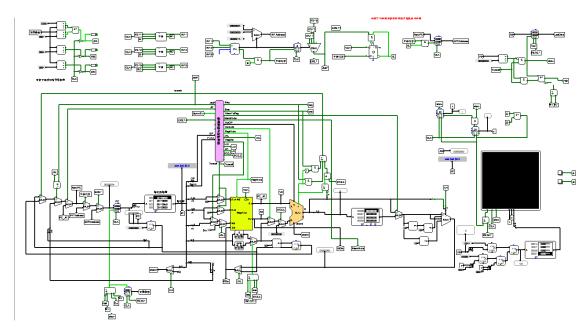


图 3.24 基于单周期 CPU 的相册小应用

# 4 实验过程与调试

#### 4.1 性能分析

由于只做了 EX 段分支,没有对比 EX 段分支和 ID 段分支的性能差异,这里主要叙述动态分支预测的性能提升。通过动态分支预测,基础测试总周期数从 2298 降低到了 1762。其中,动态分支预测的分支预测位初值设为 10 而不是 00,这样只需要命中一次,就可以预测成功,减少了总周期数。

#### 4.2 主要故障与调试

#### 4.2.1 BTB CacheLine 清零故障

动态分支预测: 置换标记清零问题。

故障现象:没有出现置0信号时,置换寄存器也被置0了

原因分析:由于寄存器的置零端为异步置 0,出现了毛刺现象。

解决方案:将置换标记的置零改为同步置 0,如图 4.1 所示

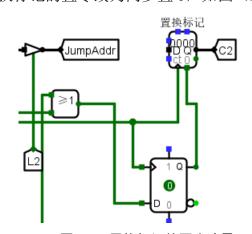


图 4.1 置换标记的同步清零

#### 4.2.2 动态分支 write 故障

动态分支预测: 预测故障

故障现象: 修改预测位初值也没有将周期数降下来。

原因分析: 发现是由于就算没有 miss 的时候,也会对 cacheline 进行写,导致 cacheline 存了很多没有必要存的跳转地址。进一步发现是 miss 判断逻辑有误,

branchtaken 失败时也会出现 miss。

解决方案: 更改 miss 的判断逻辑,增加对 branchtaken 的判断,如图 4.2 所示。

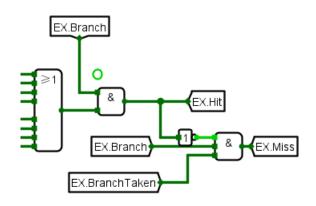


图 4.2 miss 判断逻辑

# 4.3 实验进度

表 4.1 课程设计进度表

时间	进度
第一天	复习组成原理 CPU 相关理论知识,阅读课设任务书,阅读 MIPS 指令手册,
	并列出 CPU 各部件的数据通路表,并完成数据通路的基本构建。
第二天	完成单周期 CPU 的控制信号表,使用 Logisim 搭建控制器,实现了单周期 CPU
	并且通过了测试。完成部分 Logism 单周期 CPU 故障报告。
第三天	完成 Logism 单周期 CPU 的故障报告,并且通过了 Logism 单周期 CPU 的检
	查。使用 Verilog 实现了部分单周期 CPU 的重要部件,并通过仿真检查。
第四天	继续使用 Verilog 进行实现单周期 CPU 的工作,完成了所有部件的编写、控制
	器的编写,以及所有部件以及控制器的仿真测试,正在进行数据通路的拼接。
第五天	使用 Verilog 完成单周期 CPU 数据通路的连接,并且通过仿真测试。使用
	Verilog 完成时钟分频以及七段数码管的代码编写,正在调试。
第六天	完成 CPU 电路的功能仿真和时序仿真,并成功将生成 bit 流烧入 FPGA 板内
	实现预计功能。
第七天	复习关于指令流水线的知识点,完成理想流水线的 verilog 代码,正在调试。

时间	进度
第八天	调试成功理想流水线 verilog 代码,并成功将 bit 流烧至 FPGA 板中。完成冒
	险处理中的数据冲突处理和分支处理代码编写,正在调试。
第九天	完成冒险处理中的数据冲突和分支处理,并成功烧入 FPGA 板内。完成数据
	重定向的 Verilog 代码的编写,正在调试。
第十天	完成数据重定向的 Verilog 代码并成功烧入 FPGA 板内。成功实现动态分支预
	测,预测成功率显著提高,并成功将代码烧入 FPGA 板内。

# 5 设计总结与心得

#### 5.1 课设总结

这一次计算机组成原理的课程设计,我主要完成了以下几点工作:

- 1) 设计并实现了单周期 MIPS CPU。
- 2) 设计并实现了单周期 MIPS CPU 的单级中断机制。
- 3) 设计并实现了单周期 MIPS CPU 的多级中断机制。
- 4) 设计并实现了理想流水 CPU。
- 5) 设计并实现了气泡式流水 CPU。
- 6) 设计并实现了重定向流水 CPU。
- 7) 设计并实现了重定向流水 CPU 的单级中断机制。
- 8) 设计并实现了动态分支预测
- 9) 设计并实现了团队任务(实现一个可以前后翻页的相册)。

### 5.2 课设心得

这次课设说难也难,说容易也容易,开学的时候看了任务简介,觉得是一个难到 我无法完成的任务,我还记得和我旁边的人说,"我们真的能做出来吗?",但随着深 入进去了解,发现实验设计的是非常好的,由易到难,一步一步让我们实现了最开始 看起来无法达成的目标,从这个角度来说,实验设计的还是很合理且有效的。

当然,在实验过程中也不免遇到了很多挫折与困难,也在克服这些苦难中有了许多收获。比如在第一个小实验-单周期 CPU 设计中,由于自己加的指令 educoder 上没有评测,我学会了如何通过 mars 来评测并进一步找到出错的地方和周期数,这无疑为我接下来的实验打下了一部分坚实的基础,而且 mars 的使用也给我其它的一些工作带来益处,比如使用 mars 的 bitmap 仿真功能,让我们之后的团队项目有了一个简单的可视化编程。又比如在流水线的实现中,我真正理解了之前很抽象的流水线的运作方式,也解决了我一直以来的一个疑惑---为什么单周期一个周期就能搞定的一条指令,流水线要搞那么多个周期,效率还高吗, 这其实是同样一个周期,他们的时间其实是不同的。当然如果要说最有收获的还是在于动态分支预测,这也是最难的一个部

分,通过这次实验,我第一次接触到了优化类的问题,也让我接触了系统方向可优化 点之一,让我思考了今后想继续深入的方向。

然后说说建议,其实组原课设感觉已经很成熟了,比较难提出很有建设性的建议,非要说的话,一个是上板的教程太难找了,虽然搜索能力也是一个比较重要的能力,但是在两周内要搞完这么多还是有点不太现实,所以拿到了板子,想做也不知道从何处下手。另一个就是消息通知,不仅是这门课程,所有课程或者一些比赛的消息通知由于是在群里发的,十分容易遗漏,希望能有个地方整合一下相关的消息通知。还有就是关于团队任务,感觉老师可以给一些方向,因为团队任务做下来,感觉各个部分联系特别紧密,其实是比较适合一个人做的,比如写汇编代码其实和画电路图联系非常紧密,分成两个人反而拖慢了进度。

#### 5.3 团队任务心得

在这次团队项目中,我们小组成员在已经完成的组成原理课程设计项目(CPU设计)上,利用 logisim、MARS 等工具,参考了网络上丰富的相关资源,完成了一个由汇编代码实现的,能够清楚快速的展示相册照片,并且能够利用中断机制实现前后翻的相册。

在团队任务中,我主要负责了汇编代码的编写,算是对之前汇编的一点点小的复习,最开始想的是在 Github 上找现成的,但是发现都不能用,后来又想是否能够写高级语言然后转成汇编代码,但是由于转成的汇编代码有许多不支持的指令,由于代码量很大很难改,最后还是只能选择手敲汇编代码,不过经过这个过程,也让我稍微复习了汇编代码,算是有一点收获吧。

最后, 衷心祝愿华中科技大学的计算机组成原理实验越做越好!

# 参考文献

- [1] DAVID A. PATTERSON(美). 计算机组成与设计硬件/软件接口(原书第 4 版). 北京: 机械工业出版社.
- [2] David Money Harris(美). 数字设计和计算机体系结构(第二版). 机械工业出版社
- [3] 谭志虎,秦磊华,吴非,肖亮.计算机组成原理. 北京:人民邮电出版社,2021年.
- [4] 谭志虎,秦磊华,胡迪青.计算机组成原理实践教程.北京:清华大学出版社,2018.
- [5] 袁春风编著. 计算机组成与系统结构. 北京: 清华大学出版社, 2011年.
- [6] 张晨曦, 王志英. 计算机系统结构. 高等教育出版社, 2008年.

## • 指导教师评定意见 •

# 一、原创性声明

本人郑重声明本报告内容,是由作者本人独立完成的。有关观点、方法、数据和文献等的引用已在文中指出。除文中已注明引用的内容外,本报告不包含任何其他个人或集体已经公开发表的作品成果,不存在剽窃、抄袭行为。

特此声明!

作者签字: 张睿