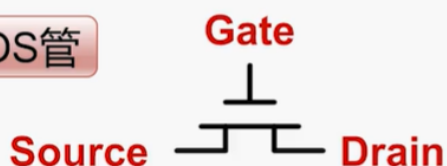


晶体管 (transistor)

中国大学MOOC

- 现代集成电路中通常使用MOS晶体管
 - M**etal-**O**xide-**S**emiconductor：金属-氧化物-半导体

N型MOS管



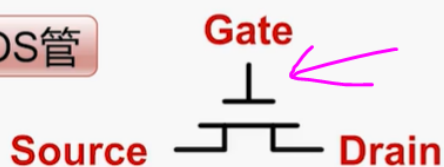
晶体管 (transistor)

中国大学MOOC

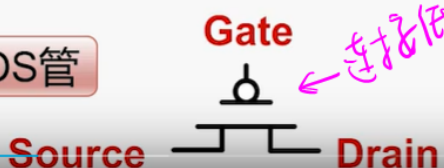
- 现代集成电路中通常使用MOS晶体管
 - M**etal-**O**xide-**S**emiconductor：金属-氧化物-半导体

连接高电平时导通

N型MOS管



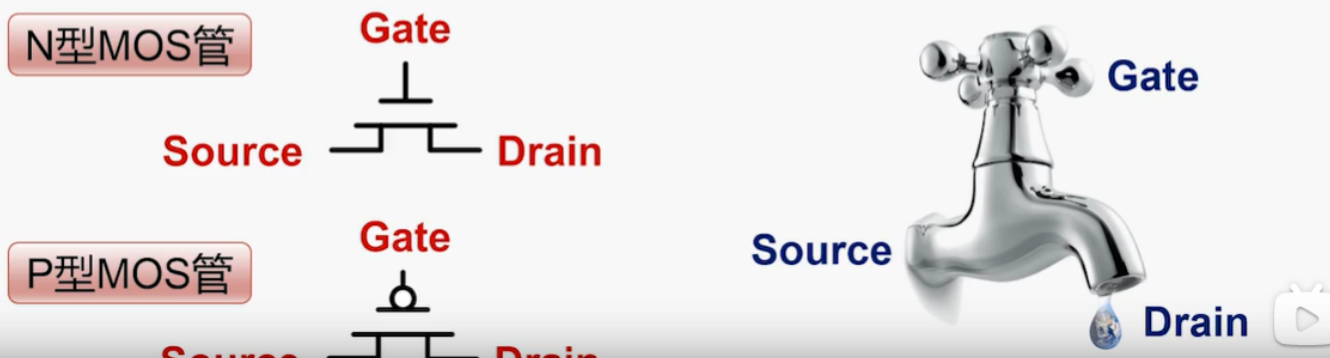
P型MOS管



连接低电平时导通

晶体管 (transistor)

- 现代集成电路中通常使用MOS晶体管
 - M**etal-**O**xide-**S**emiconductor：金属-氧化物-半导体
- CMOS集成电路 (Complementary MOS)
 - 由PMOS和NMOS共同构成的互补型MOS集成电路



N型MOS管，阀门向上拉，接通，类似于抬起水龙头出水。P型MOS管，阀门向下压，接通，类似于下压水龙头出水。

非门：由晶体管构成非门：

非门 (NOT gate)

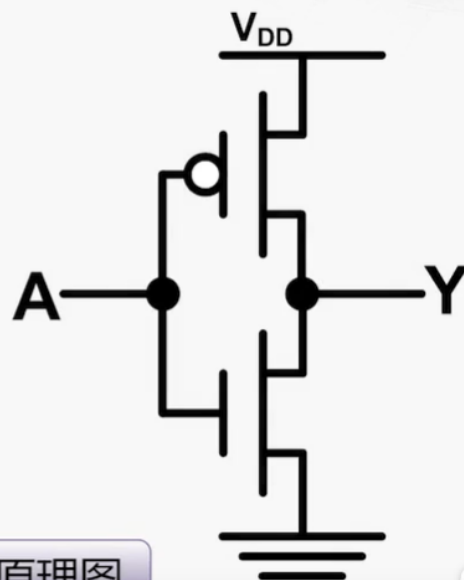
逻辑
符号



真
值
表

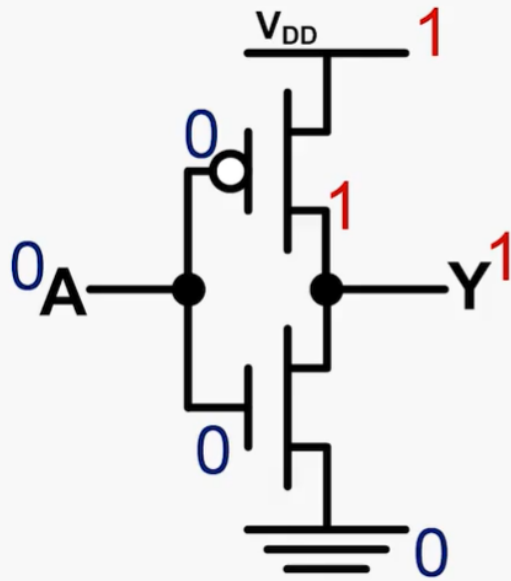
输入A	输出Y
0	1
1	0

逻辑函数表示 $Y = \overline{A}$
($Y = \sim A$, $Y = !A$)

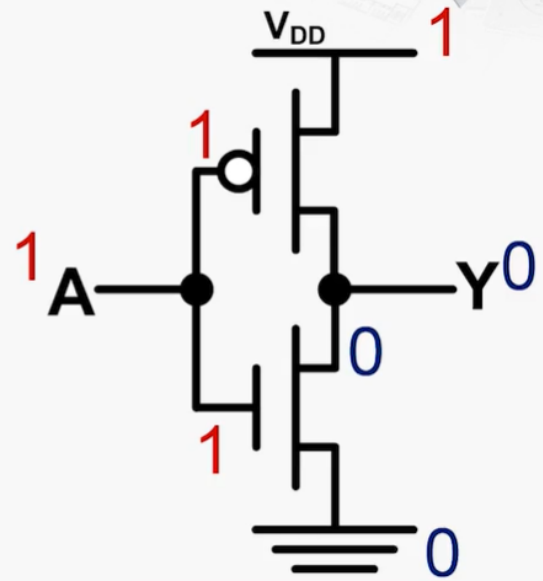


非门原理图

非门的工作过程示例

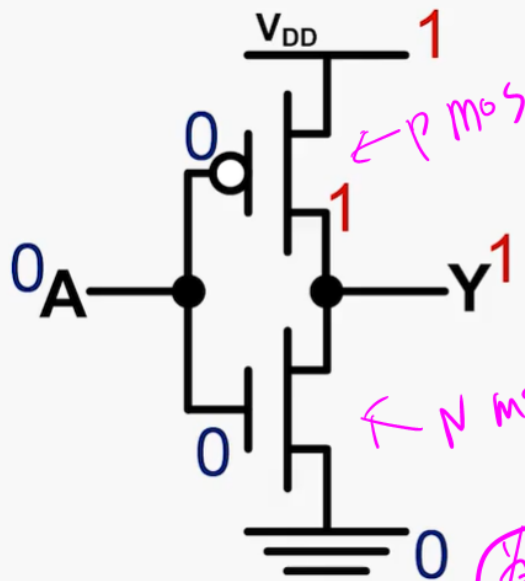


$A=0 \rightarrow Y=1$

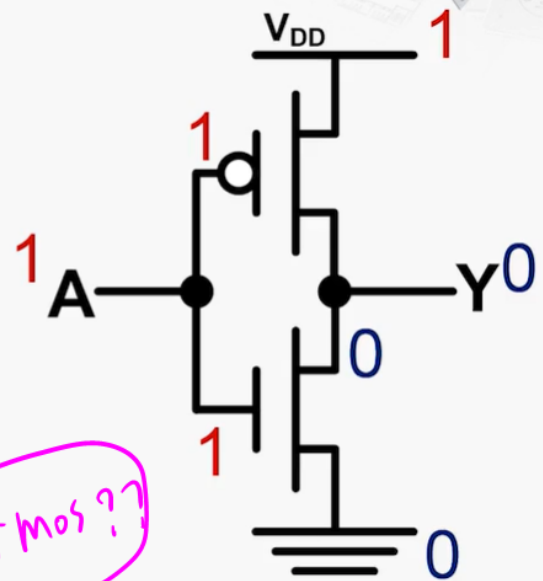


$A=1 \rightarrow Y=0$

非门的工作过程示例



$A=0 \rightarrow Y=1$




$A=1 \rightarrow Y=0$

为门电路 2个mos??

与门：由4个晶体管构成，但实现与非门更简单：

与门 (AND gate)

逻辑符号



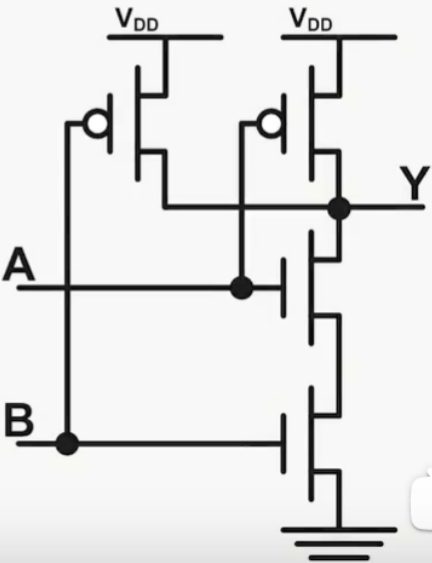
真值表


输入A	输入B	输出Y
0	0	0
0	1	0
1	0	0
1	1	1

逻辑函数表示

$$Y=A \cdot B$$

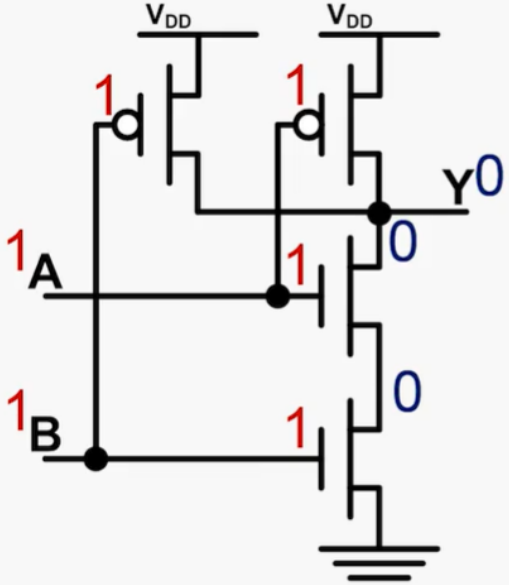
与非门原理图



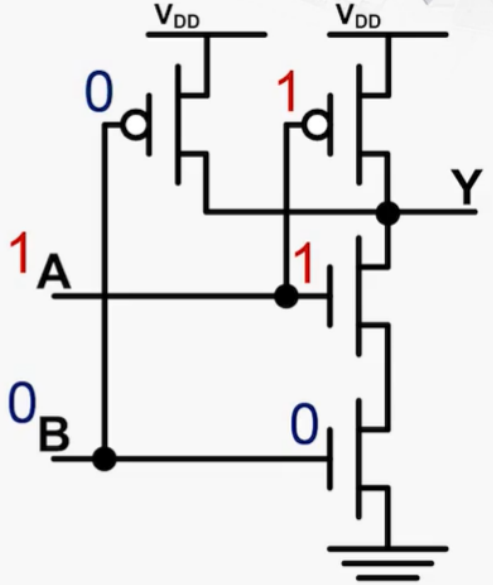


(实际用“与非门”和“非门”实现“与门”)

与非门的工作过程示例



A=1, B=1 → Y=0

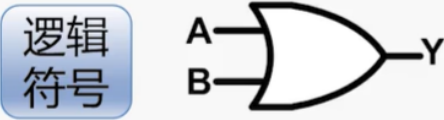


A=1, B=0 → Y=1

将输出连接一个非门就构成了与门。

或门：

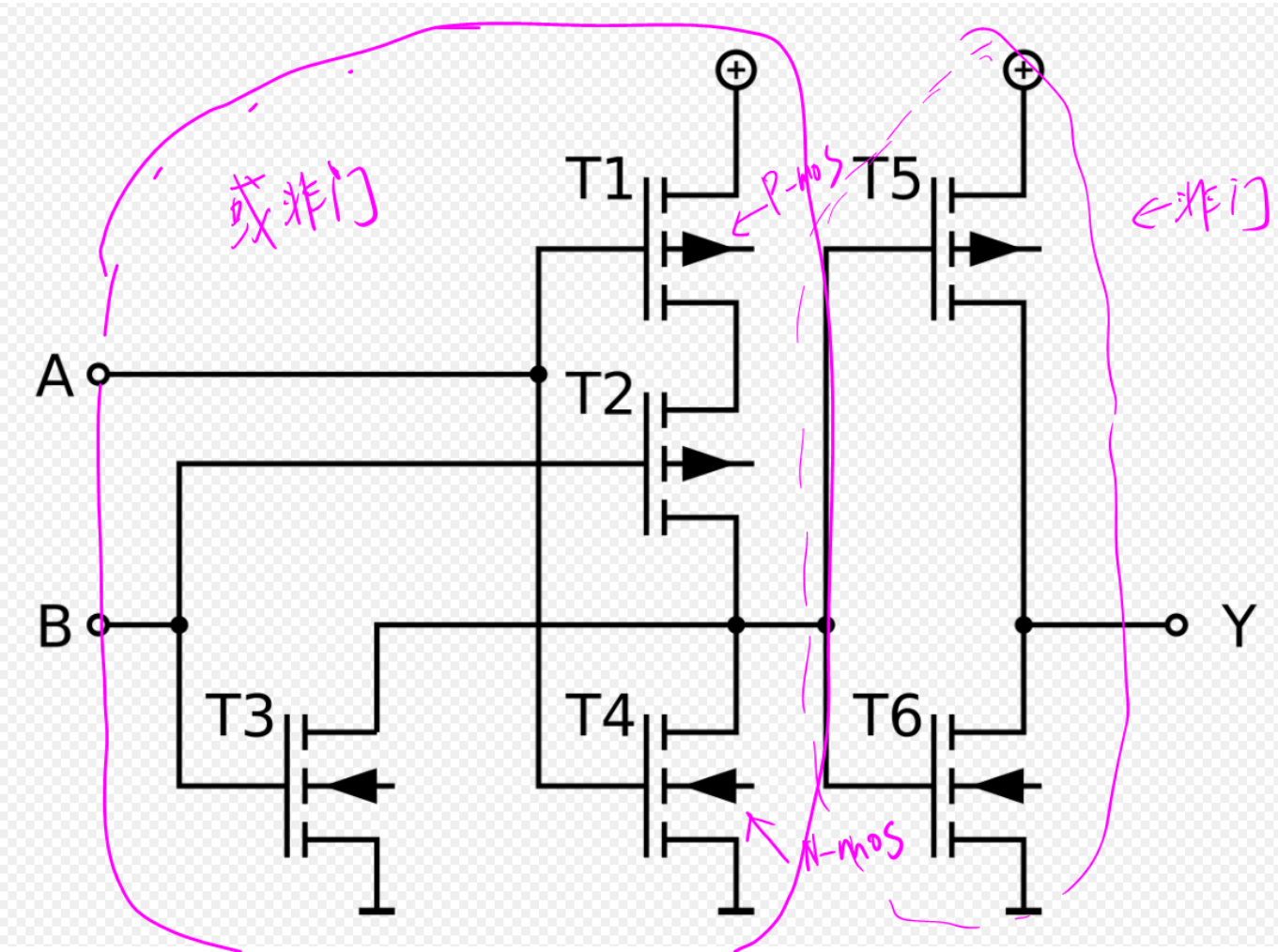
或门 (OR gate)



逻辑函数表示
 $Y=A+B$

真值表

输入A	输入B	输出Y
0	0	0
0	1	1
1	0	1
1	1	1



异或门：

异或门 (Exclusive-OR gate, XOR gate)

异或运算： $A \oplus B = (\overline{A} \cdot B) + (A \cdot \overline{B})$

◦ 两个值不相同，则异或结果为真。反之，为假。

逻辑
符号



逻辑函数表示

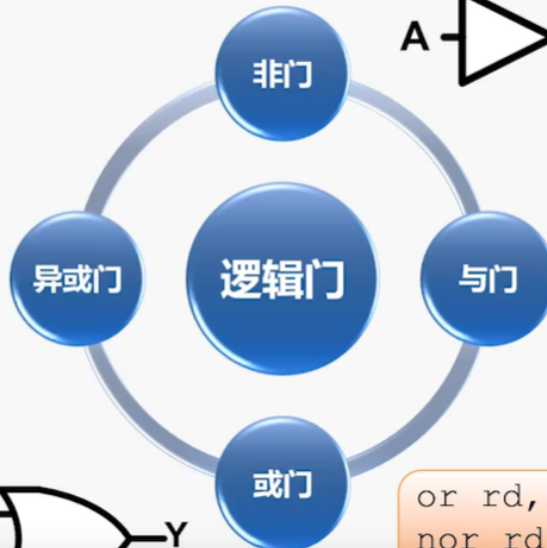
$$Y = A \oplus B$$

$$Y = A \wedge B$$

真值表

输入A	输入B	输出Y
0	0	0
0	1	1
1	0	1
1	1	0

晶体管、逻辑门



```
and rd,rs,rt
andi rt,rs,imm
```



```
or rd,rs,rt
nor rd,rs,rt
ori rt,rs,imm
```