國立清華大學

Analog Circuit Design

國立清華大學
NATIONAL TSING HUA UNIVERSITY

Homework 3

Feedback Amplifier

學號:111063548

姓名:蕭方凱

目錄

Operation point

(a) Please use .op command to print out the device parameters. And use the parameters from HSPICE to hand-calculate the results.

表格 **1 MOS size design**

MOSFET	W/L	m
NMOS(m1)	35u/0.34u	1
PMOS(m2)	43.4u/0.34u	3

```
**** mosfets


subckt
element  0:m2       0:m1
model    0:p_18.1   0:n_18.1
region   Saturation Saturation
 id      -708.2731u  702.7662u
 ibs      6.631e-20 -1.055e-19
 ibd        1.4695f   -5.3317f
 vgs     -949.3086m  550.6914m
 vds     -932.7879m  567.2121m
 vbs        0.          0.
 vth     -510.4123m  475.7970m
 vdsat   -407.7646m  116.3177m
 vod     -438.8963m   74.8944m
 beta       7.5371m  128.2708m
 gam eff  557.0843m  507.4462m
 gm         2.6484m   10.4180m
 gds       78.1559u  239.1085u
 gmb      846.2017u    1.8537m
 cdtot     38.3935f  176.3489f
 cgtot     89.1155f  337.7464f
 cstot    115.8613f  435.1659f
 cbtot     80.7632f  344.3147f
 cgs       72.0628f  259.8710f
 cgd       12.5845f   47.4425f
```

圖 1 .op result

Loop performance

(b) Please calculate the open-loop gain.

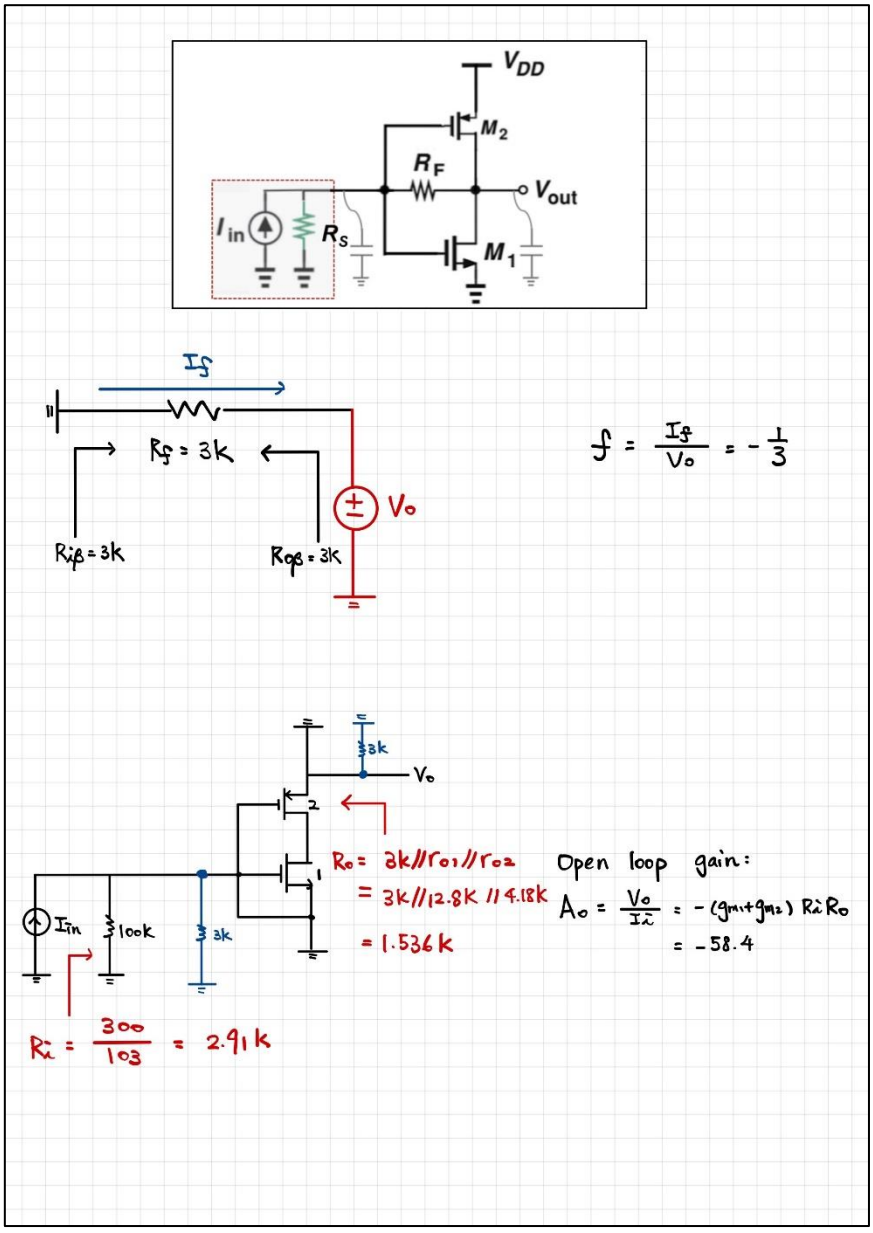


圖 2 open loop gain calculate

Ri	Rout	Feedback ratio	Open loop gain
2.91K	1.536K	-1/3	-58.4

(c) Please use .tf command to print out the gain, input and output impedances. And compare the simulation results with the hand calculations using the small signal parameters from (a).

```
****     small-signal transfer characteristics

    v(vout)/iin                               =   -2.8500k
    input resistance at             iin       =  145.6372
    output resistance at v(vout)              =   76.8634
```

圖 3 .tf result

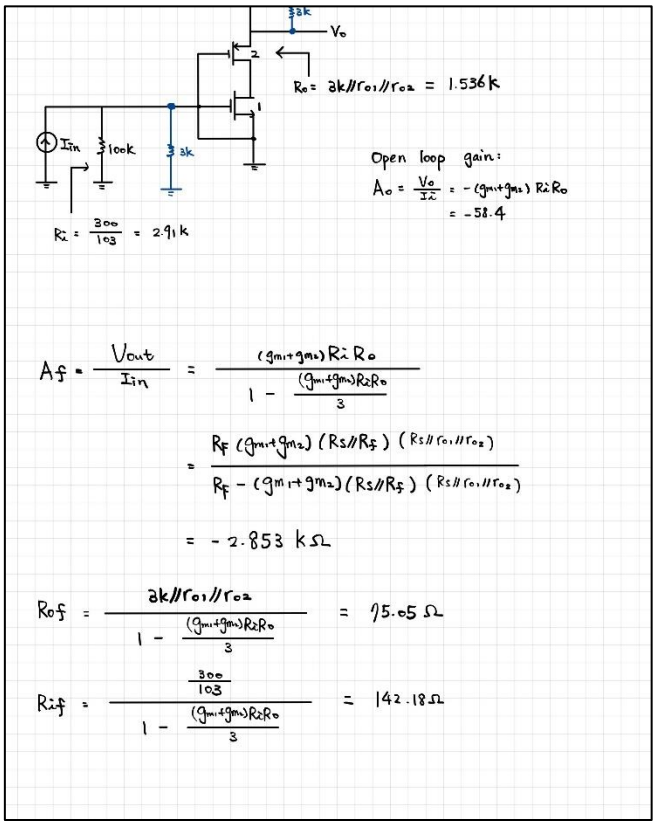


圖 4 Open loop gain

Close loop gain 誤差值:0.1%

Input impedance 誤差值:2.3%

Output impedance 誤差值: 2.3%

AC SWEEP

(d) Plot this feedback amplifier frequency response and mark the bandwidth (DC gain -3dB point) and the poles, zeros. Please use .pz command and print out the data. And compare the simulation results with the hand calculations using the small signal parameters from (a).

```
**********************************************************
  ******   pole/zero analysis


   input =  0:iin          output = v(vout)

      poles (rad/sec)                poles ( hertz)
real            imag            real            imag
-1.20804g       2.30712g        -192.266x       367.190x
-1.20804g       -2.30712g       -192.266x       -367.190x

      zeros (rad/sec)                zeros ( hertz)
real            imag            real            imag
199.775g        0.              31.7952g        0.
```

$$p1 = \sqrt{192.266^2 + 367.19^2} = 414.48\ MHz$$

$$p2 = \sqrt{192.266^2 + 367.19^2} = 414.48\ MHz$$

$$zero = 31.79\ GHz$$

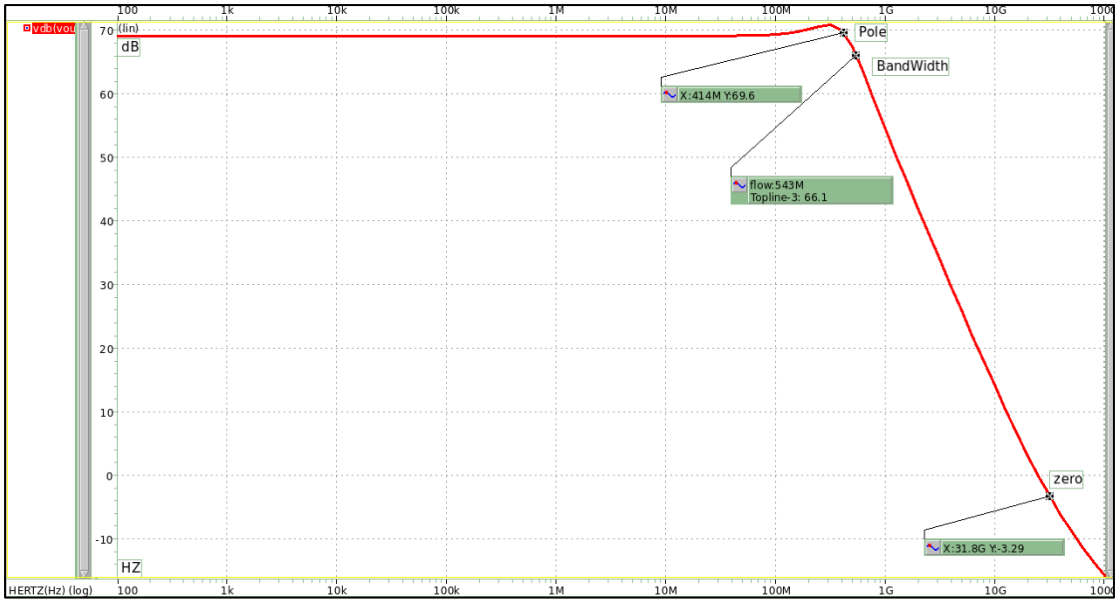


圖 5 frequency response

表格 **2 Simulation result**

Plot parameter	Pole	Bandwidth	zero
Frequency	414.4M	543M	31.8G

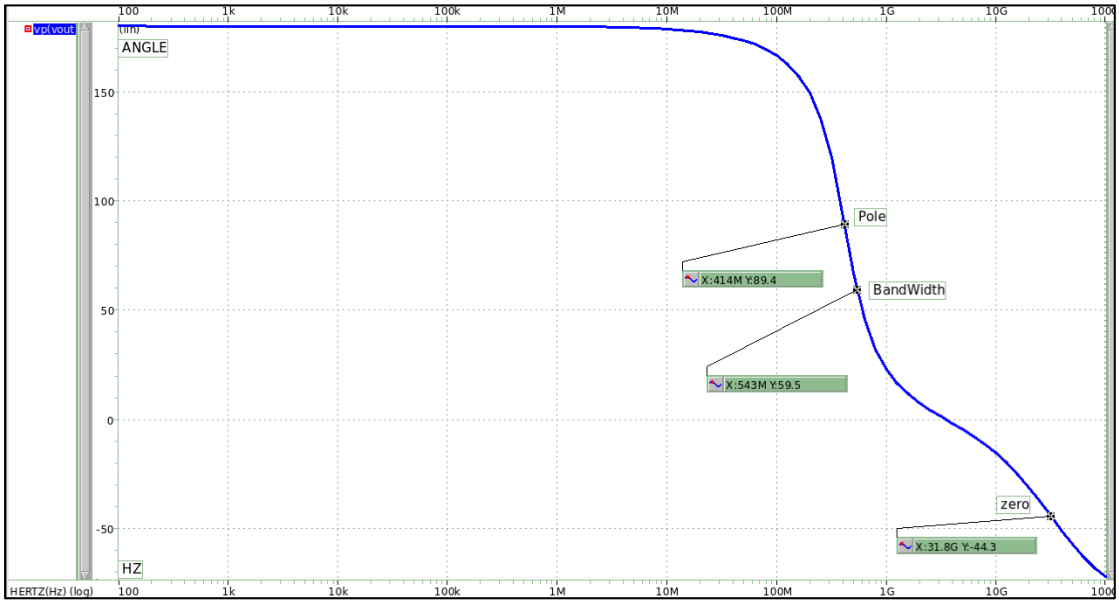
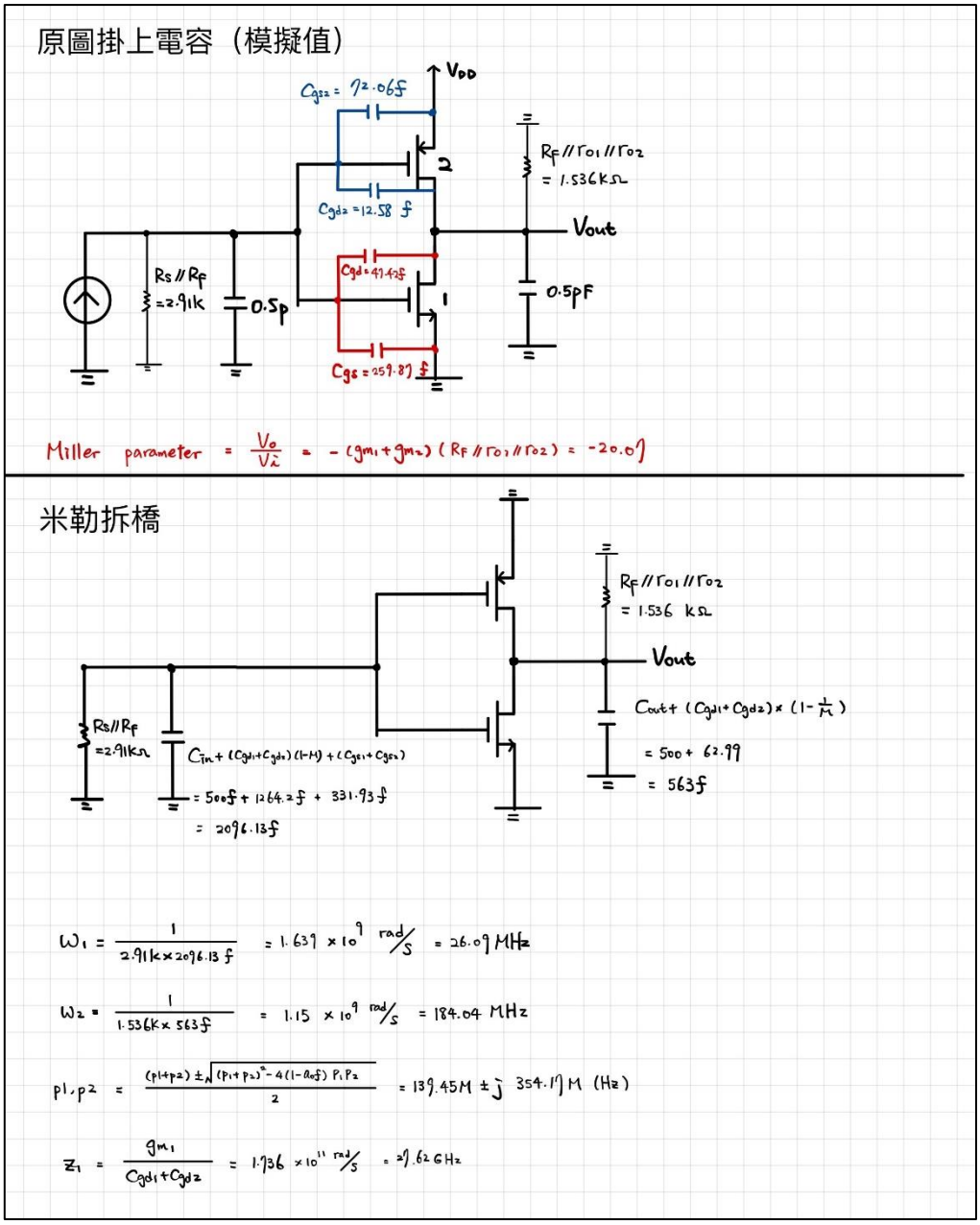


圖 6 phase response

Plot parameter	Pole	Bandwidth	zero
Angle	89.4	59.5	-44.3



表格 **3 Hand Calculation result**

Plot parameter	Pole1	Pole1	zero
Close loop Frequency	372.27M	372.27M	27.62G
Open loop Frequency	26.09M	184.04M	27.62G

comparison between Sim. and Cal.

Pole 誤差值:10.17%

Zero 誤差值:13.14%

Discussion

(e) The FoM in this design is “Bandwidth (MHz) / Current (mA)”.

Try to maximize this FoM.

Working Item	Simulation result	Hand calculation
Vdd		
I_GND current (mA)	0.703m	
Transimpedance gain	2.8500K	2.853K
core amp size (W/L1, W/L2)	M1:35u/0.34u M2:43.4u/0.34u	
core amp gm (gm1, gm2)	2.6484m,10.418m	
core amp ro (ro1, ro2)	4.18K,12.8K	
Bandwidth (-3dB) (MHz)	543	
Closed-loop poles/zeros (p1, p2, z1)	-192.266+j367.19(MHz) -192.266-j367.19(MHz) 31.7952GHz	-139.45+354.17(MHz) -139.45-354.17 (MHz) 27.62GHz
Closed-loop input impedance	145.6372	142.18
Closed-loop output impedance	76.8634	75.05
FoM (MHz)/(mA)	772.4	

(f) Please discuss your design flow and results, especially on the loop gain and device size selection.

本次作業需符合兩原則，分別為 $\frac{Vout}{Iin} > 2.85K$及 Bandwidth>200MHz。故需要足夠大的 gm 值。

而提高 FoM 方法為增大頻寬或降低電流，但頻寬跟電流關係為正向關係，為了提升頻寬電流必然增加;為了降低電流頻寬必然下降，經過幾次實際模擬後，**發現低電流時雖然犧牲頻寬，但低電流對 FoM 的提升影響更多。**故本次著重在設計符合$\frac{Vout}{Iin} > 2.85K$條件下的電流，使其越小越好。

需要低電流，W/L ratio 就不能太大，於是我增加 MOS length，此方式比起減少 Width 去降低電流，對增益的影響也較小。

當 $\frac{Vout}{Iin}$ 不夠大時，我嘗試增加 m，使 MOS 並聯，發現雖然增益有提高，但頻寬降低不少，推測是因在並聯 MOS 時，每顆 MOS 的 output capacitance 都會對頻寬有負面影響，嘗試幾種組合後 ，m=3 時普遍可以得到較好的平衡。當$\frac{Vout}{Iin}$ 不夠大時，就去調變 width，也得到比調變 m 更好的結果(頻寬上升不驟降)。

以下針對調變 W、L、m 三個變數的優缺點進行討論:

1. 使 W 提升，對增益及頻寬都是優點，會使這兩者皆上升。但對電流來說可是非常致命的，調高 0.1um 左右電流便會上升約 40μ，做個簡單計算:

   假設現在電流是 x(μA)，提高 40μA 帶來的影響會使 FoM 降低 $\frac{x}{x+40}$ 倍，且電流(x)越大帶來的負面效應越大。但 Wp 和 Wn 總和至少需 80u 才可使增益大於 2.85K(且此時頻寬表現頗差)，我試了三組 W 組合，分別為 Wp=Wn; Wp>Wn; Wp<Wn，**最後得到 Wn>Wp 時 FoM 普遍較高的結果**。
2. 使 L 提升，對頻寬及增益的影響都不好，但都不明顯，並且能有效控制電流大小，在幾次嘗試後，**L 大約落在 0.35u 至 0.41u 會是最好的範圍**。
3. 而 m 的部分，提高過程發現頻寬明顯下降，且電流提升，在這個情況下完全不符合直覺(頻寬與電流呈正向關係)，推測是並聯 MOS 時，每顆 MOS 的 output capacitance 帶來的影響，導致頻寬不升反降。m=1 雖可以得到較好的頻寬表現，但使得 W 的調變範選擇變少，因為在設計時 Wxm 差不多落在 100 上下，若 m=1，W 又不可超過 100μ，會少很多設計組合。