

**KOCAELİ ÜNİVERSİTESİ  
MÜHENDİSLİK FAKÜLTESİ**

**ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ  
BÖLÜMÜ**

**MÜHENDİSLİK TASARIM- 3 PROJE RAPORU**

**DERİN ÖĞRENME YAKLAŞIMIYLA YARI İLETKEN  
ÜRETİM SÜRECİNDEKİ LEVHA HATALARININ  
SINIFLANDIRILMASI**

**Zeynep Özçelik  
190208062**

**DANIŞMAN: Prof. Dr. Ali Tangel**

**KOCAELİ, 2024**

## ÖNSÖZ ve TEŞEKKÜR

Gelişen teknoloji ve internetin her alanımıza nüfuz etmesiyle birlikte, yarı iletken endüstrisi de hızla ilerlemekte ve bu ilerlemenin temel taşlarından biri wafer üretimidir. Kalite kontrol süreçlerinin verimliliği, bu endüstrinin kalbinde yer almakta ve bu projedeki çalışmalar, bu sürecin daha da iyileştirilmesine katkıda bulunmayı amaçlamaktadır.

Bu tez çalışmasında, evrimsel sinir ağları kullanılarak wafer haritalarındaki kusurların otomatik olarak sınıflandırılması ve analizi gerçekleştirilmiştir. Bu çalışmanın, yarı iletken üretimi ve kalite kontrolüyle ilgili süreçlerde görev alan profesyonellere ve bu alanda araştırma yapacak olan akademisyen ve öğrencilere faydalı olmasını umuyorum.

Bu alanda çalışmama imkân tanıyan ve projenin her aşamasında rehberliğini esirgemeyen değerli hocalarım Prof. Dr. Ali Tangel, her zaman yanımda olan ve maddi-manevi desteğiyle güç veren aileme en içten teşekkürlerimi sunarım.

Ocak 2024, KOCAELİ

Zeynep ÖZÇELİK

## İÇİNDEKİLER

ÖNSÖZ ve TEŞEKKÜR.....	i
İÇİNDEKİLER .....	ii
ŞEKİLLER DİZİNİ.....	iii
TABLolar DİZİNİ .....	v
SİMGELER DİZİNİ VE KISALTMALAR.....	vi
DERİN ÖĞRENME YAKLAŞIMIYLA YARI İLETKEN ÜRETİM SÜRECİNDEKİ LEVHA HATALARININ SINIFLANDIRILMASI .....	vii
DERİN CLASSIFICATION OF WAFER DEFECTS IN THE SEMICONDUCTOR MANUFACTURING PROCESS WITH A DEEP LEARNING APPROACH .....	viii
1. GİRİŞ .....	9
1.1 Literatür Araştırması.....	9
1.1.1 Evrişimli sinir ağı uygulamaları.....	10
2. Yarı İletken Üretim SÜRECİ- Adımlar, Teknoloji, Akış Şeması .....	11
2.1 Yarı İletken Üretim Süreçleri – İlgili Adımlar .....	11
2.2 Yarı İletken Üretim Süreci – Kullanılan Adımlar ve Teknoloji .....	11
2.2.1 Silikon Plaka Üretimi – Tüm Yarı İletkenlerin Temeli .....	11
2.2.2 Oksitleme – Wafer Yüzeyinde Oksit Film Oluşturma.....	12
2.2.3 Fotolitografi – Levha (Wafer) Üzerine Devre Tasarımı Çizimi .....	13
2.2.4 Aşındırma – Gereksiz Malzemeleri Kaldırma .....	15
2.2.5 Biriktirme ve İyon Ekme Uygulaması (İyon İmplantasyonu) .....	16
2.2.6 Metal Aşındırma .....	16
2.2.7 EDS – Enerji Dağılık Spektroskopisi.....	17
2.2.8 Paketleme .....	18
2.3 Yarı İletken Üretim Süreci Akış Şeması .....	19
3. WAFER KUSURLARI, ÖLÇÜMÜ VE ANALİZİ .....	20
3.1 Litografi Sürecinde Oluşan Wafer Kusurları.....	20
3.2 Kusurların Ölçümü ve Analizi.....	21
4. YÖNTEM.....	24
4.1 Wafer Kusur Desenleri ve Evrişimli Sinir Ağı Yaklaşımı .....	24
4.2 Evrişimsel Sinir Ağları (CNN) .....	25
4.2.1 CNN Eğitimi .....	29
4.2.1.1 Under-Fit .....	31
4.2.1.2 Over-Fit .....	32
4.3 Sınıflandırma Başarım Ölçütleri.....	32
4.3.1 Doğruluk (Accuracy) .....	33
4.3.2 Kesinlik (Precision).....	34
4.3.3 Duyarlılık (Recall) .....	34
4.3.4 F1-Score .....	34
4.3.5 Cohen’s Kappa ( $k$ ) .....	34
5. DENEYSEL SONUÇLAR.....	36
5.1 WAFER HARİTALARININ EVRİŞİMSEL SİNİR AĞI KULLANILARAK SINIFLANDIRILMASI.....	36

5.1.1	WM-811K Veri Seti ve Tanımlayıcı Parametreleri .....	36
5.1.1.1	Çip Boyutu – ‘dieSize’ .....	36
5.1.1.2	Lot İsmi – ‘lotName’ .....	36
5.1.1.3	Wafer Index – ‘waferIndex’ .....	36
5.1.1.4	Eğitim ve Test Etiketi – ‘trainTestLabel’ .....	37
5.1.1.5	Wafer Haritasının Kusur Deseni Sınıfı – ‘failureType’ .....	37
5.2	Veri Setinin İncelenmesi ve Ön İşlemler .....	41
5.2.1	Veri setindeki sınıfların dağılımı .....	43
5.2.2	Tipik wafer haritaların incelenmesi .....	44
5.3	Veri Artırma Süreci .....	46
5.4	Performans Değerlendirme .....	47
5.5	Test Verisi Üzerinde Değerlendirme .....	49
6.	SONUÇ .....	51
	KAYNAKLAR .....	53

## ŞEKİLLER DİZİNİ

Şekil 2.1: Silikon Wafer [6] .....	12
Şekil 2.2: Silikon Levha (Wafer) Oksitleme Süreci .....	13
Şekil 2.3: Fotolitografi Cihazı .....	14
Şekil 2.4: Levha (Wafer) Aşındırma İşlemi .....	15
Şekil 2.5: Silikon İyonu İmplantasyonu Aşaması [6] .....	16
Şekil 2.6: Yarı İletkende Metal Ara Bağlantı .....	17
Şekil 2.7: Yarı İletken Üretim Süreci Akış Şeması .....	19
Şekil 3.1: Çip devreleri üzerinde tespit edilen bazı kusurlar [7] .....	20
Şekil 3.2: Çip devresinin istenen toleransta işlenememesinden dolayı oluşan bir kusur.[7] .....	21
Şekil 3.3: Wafer kusur ölçümü adımları [8] .....	21
Şekil 3.4: Wafer kusur haritası .....	22
Şekil 4.1: Konvülsiyon işlemi [10] .....	25
Şekil 4.2: Filtrelerin görselleştirilmesi [11] .....	26
Şekil 4.3: Aktivasyon fonksiyonları [9] .....	27
Şekil 4.4: Average, Global Average ve Max Pooling İşlemleri [10] .....	28
Şekil 4.5: Fully Connected Layer [10] .....	28
Şekil 4.6: Gradyan İniş Algoritmasının Görselleştirilmesi [12] .....	30
Şekil 4.7: Aşırı Öğrenme (a) ve (b) Eksik Öğrenme (c) Dengeli Öğrenme [10] .....	32
Şekil 5.1: Center sınıfı wafer kusur deseni [15] .....	37
Şekil 5.2: Donut sınıfı wafer kusur deseni [15] .....	38
Şekil 5.3: Edge-Loc sınıfı wafer kusur deseni [15] .....	38
Şekil 5.4: Edge-Ring sınıfı wafer kusur deseni [15] .....	39
Şekil 5.5: Loc sınıfı wafer kusur deseni [15] .....	39
Şekil 5.6: Random sınıfı wafer kusur deseni [15] .....	40
Şekil 5.7: Scratch sınıfı wafer kusur deseni [15] .....	40
Şekil 5.8: Near-Full sınıfı wafer kusur deseni [15] .....	41
Şekil 5.9: WM-811K veri seti etiketlenmemiş örnek 5 satırı .....	41
Şekil 5.10: WM-811K veri seti etiketlenmiş örnek 5 satırı .....	41
Şekil 5.11: Wafer indexlerinin dağılımı .....	42
Şekil 5.12: Veri setindeki etiketli ve etiketsiz verinin dağılımı .....	43
Şekil 5.13: Wafer haritası desen sınıflarının popülasyonu ve dağılımı .....	43
Şekil 5.14: Her sınıfa ait wafer haritasının görselleştirilmiş halleri .....	44
Şekil 5.15: Wafer haritası veri setinin çeşitliliği ve kusurların dağılımı .....	46
Şekil 5.16: Wafer haritası veri setinin çeşitliliği ve kusurların dağılımı .....	46
Şekil 5.17: ROC (Receiver Operating Characteristic) eğrisi .....	49

## TABLÖLAR DİZİNİ

Tablo 2.1: Yarı İletken Üretim Adımları.....	11
Tablo 4.1: Confusion Matrix .....	33
Tablo 6.1: Model Performans Metrikleri.....	51

## **SİMGELER DİZİNİ VE KISALTMALAR**

CNN : Convolutional Neural Network  
EUV : Extreme UltraViolet  
DUV : Deep UltraViolet  
PCB : Printed-Circuit Board  
EDS : Enerji Dağılık Spektroskopisi  
ReLU : Rectified Linear Unit  
MSE : Mean Squared Error  
TP : True Positive  
TN : True Negative  
FP : False Positive  
FN : False Negative  
TSMC : Taiwan Semiconductor Manufacturing Company  
FOUP : Front Opening Unified Pod  
ROC : Receiver Operating Characteristic  
AUC : Area Under the Curve  
ROC : Receiver Operating Characteristic

# DERİN ÖĞRENME YAKLAŞIMIYLA YARI İLETKEN ÜRETİM SÜRECİNDEKİ LEVHA HATALARININ SINIFLANDIRILMASI

**Zeynep Özçelik**

**Anahtar Kelimeler:** Evrişimli sinir ağları, Çip üretimi, Wafer analizi, Yarı-iletkenler, WM-811K, Litografi

**Özet:** Bu çalışma, yarı iletken üretim süreçlerinde kritik bir rol oynayan wafer haritalarındaki kusurların otomatik sınıflandırılmasına odaklanmaktadır. Yapay zeka ve derin öğrenme yöntemlerini kullanarak, özellikle WM-811K veri seti üzerinde gerçekleştirilen bu çalışma, evrişimsel sinir ağları (CNN) aracılığıyla dokuz farklı kusur tipini tespit etme ve sınıflandırma sürecini detaylı bir şekilde ele almaktadır.

Çalışma, teorik temelleri ve pratik uygulamaları kapsayacak şekilde tasarlanmıştır. Bu kapsamda, modelin geliştirilmesi adımları, eğitim süreci, doğrulama aşaması ve test süreci ayrıntılı bir biçimde sunulmuştur. Yapılan bu detaylı açıklamalar, çalışmanın metodolojisinin ve elde edilen sonuçların anlaşılabilirliğini artırmayı amaçlamaktadır.

Sonuç olarak, bu çalışma yarı iletken üretiminde kalite kontrolü için önemli bir adım olan wafer haritalarındaki kusurların otomatik olarak tespit edilmesi ve sınıflandırılması konusunda CNN tabanlı bir yaklaşımın etkinliğini göstermeyi hedefler.



# DERİN CLASSIFICATION OF WAFER DEFECTS IN THE SEMICONDUCTOR MANUFACTURING PROCESS WITH A DEEP LEARNING APPROACH

**Zeynep Özçelik**

**Keywords:** Convolutional neural networks, Chip fabrication, Wafer defect pattern analysis, Semiconductors, WM-811K, Lithography

**Abstract:** This work focuses on automatic classification of defects in wafer maps, which plays a critical role in semiconductor manufacturing processes. Using artificial intelligence and deep learning methods, this study, carried out especially on the WM-811K dataset, discusses in detail the process of detecting and classifying nine different defect types through convolutional neural networks (CNN).

The study is designed to cover theoretical foundations and practical applications. In this context, the steps of developing the model, the training process, the verification phase and the testing process are presented in detail. These detailed explanations aim to increase the understandability of the methodology of the study and the results obtained.

As a result, this study aims to demonstrate the effectiveness of a CNN-based approach in automatically detecting and classifying defects in wafer maps, which is an important step for quality control in semiconductor manufacturing.

## 1. GİRİŞ

Yarı iletken endüstrisi, son yıllarda hızla gelişen teknolojilerle şekillenen ve sürekli olarak daha yüksek performanslı mikroçipler üretme ihtiyacı duyan bir alandır. Wafer haritalarının kusur analizi, bu süreçte kalite ve verimliliği doğrudan etkileyen bir faktördür. Geleneksel kusur tespit yöntemleri, zaman alıcı ve subjektif hata riskleri taşıırken, otomatik sınıflandırma sistemleri bu zorlukların üstesinden gelmeye vaat eder. Bu raporun giriş kısmında, yarı iletken waferlerin üretimi ve kusur sınıflandırma gerekliliği hakkında bilgi verilmekte, CNN teknolojisinin bu alanda neden tercih edildiği ve bu teknolojinin yarı iletken kusur tespitinde nasıl bir devrim yaratabileceği üzerinde durulmaktadır.

Proje, WM-811K veri setinde bulunan ve farklı kusur türlerini içeren yarı iletken wafer haritalarının analizi üzerine kurulmuştur. Rapor, veri setinin detaylı analizi, kullanılan CNN modelinin mimarisi, eğitim süreci ve modelin performansının değerlendirilmesi gibi aşamaları içerir. Giriş bölümü, okuyucuyu bu süreçlerin her biri hakkında bilgilendirmek ve projenin genel yapısını ortaya koymak için tasarlanmıştır. Bu bölüm, projenin amacını, kapsamını ve beklenen sonuçlarını da tanımlar, böylece okuyucunun raporun ilerleyen bölümlerine geçmeden önce sağlam bir temele sahip olmasını sağlar.

### 1.1 Literatür Araştırması

Wafer kusurlarını sınıflandırma ile ilgili literatürdeki ilk çalışmalar, wafer haritası kusur örüntülerinin istatistiksel analizine odaklanmıştır [1]. Wafer haritasını analiz etmek için model tabanlı bir kümeleme algoritması önermişler, kusur kümesini modellemek için ana bileşen eğrisini ve iki değişkenli normal dağılımı kullanmışlar ve şekil özelliklerini belirlemek için iki modelin logaritmik olma olasılığını karşılaştırmışlardır [2]. Eliptik ve lineer wafer kusurlarını tahmin etmek için Gauss algoritmasını ve dairesel kusurları tahmin etmek için küresel kabuk algoritmasını

kullanmıştır. İstatistiksel analize dayalı yöntemler, yalnızca kusur kümelerinin şeklini belirleyebilmektedir. Bununla birlikte, farklı kusur desenleri aynı morfolojik özellikleri gösterebilir, örneğin, ‘Loc’ ve ‘Edge-Loc’ şeklen aynı ancak wafer 4 üzerindeki konumları birbirinden farklıdır. İstatistiksel analiz yöntemi bir wafer haritasının kusur şekillerini belirleyebilmesine rağmen, kusur desenini tanımlayıp sınıflandıramaz. Makine öğrenimi teknolojisinin gelişmesiyle birlikte, araştırmacılar, tanıma yeteneğini büyük ölçüde geliştiren wafer haritası kusur örüntü tanınmasına makine öğrenmesi algoritmalarını uygulamışlardır. Bu algoritmalar temel olarak iki kategoriye ayrılır: denetimsiz öğrenme ve denetimli öğrenmedir.

### **1.1.1 Evrişimli sinir ağı uygulamaları**

Derin öğrenme, 2012'den beri yaygınlaşmaktadır ve evrişimli sinir ağlarının bilgisayarla görme görevlerinde yüksek performans gösterdiği birçok çalışma ile kanıtlanmıştır. Ayrıca, evrişimli bir sinir ağı tarafından çıkarılan bir özelliğin, manuel özellik çıkarma ile karşılaştırıldığında, ifade yeteneği daha güçlüdür [3]. Takeshi Nakazawa ve Deepak Kulkarni, sekiz katmanlı bir CNN modeli oluşturmuşlar ve kendi sentezledikleri wafer veri seti üzerinde eğitimden sonra büyük bir doğruluk elde etmişlerdir [4]. Ancak modelin WM-811K gibi gerçek wafer veri seti üzerinde sınıflandırma yeteneği zayıftır. Yine de Takeshi Nakazawa'nın araştırması, derin evrişimli sinir ağlarının, wafer haritası kusur deseni sınıflandırma alanındaki potansiyelini doğrulamıştır. Son olarak Yu, Xu ve Wang veri çoğaltma yöntemi kullanarak evrişimli bir sinir ağı modelini WM-811K veri setini kullanarak geliştirmişler ve ağırlıklı olarak 95%'lik bir doğruluk elde etmişlerdir. Bu çalışma literatürde WM-811K veri seti ile elde edilmiş olan en yüksek doğruluk oranına sahiptir [5].

## 2. YARI İLETKEN ÜRETİM SÜRECİ- ADIMLAR, TEKNOLOJİ, AKIŞ ŞEMASI

### 2.1 Yarı İletken Üretim Süreçleri – İlgili Adımlar

Silikonun yarı iletken bir çipe dönüşmesi için, levha (wafer) üretimi, oksidasyon, fotolitografi, aşındırma, biriktirme ve iyon uygulaması, metal kablolama, Ed'ler ve paketlenme gibi çeşitli karmaşık süreçten geçmesi gerekir.

Tablo 2.1: Yarı İletken Üretim Adımları

Adım	İşlem	Açıklama
1.	Levha (wafer)	Yarı iletken üretimi
2.	Oksitleme	Levha yüzeyinde oksit tabaka oluşturma
3.	Fotolitografi	Levha üzerinde devre tasarımı çizme
4.	Aşındırma	Levha yüzeyindeki gereksiz malzemeleri kaldırma
5.	Biriktirme ve İyon Aktivasyonu	İnce filmin istenilen moleküler veya atomik seviyede bir levha üzerine kaplanması
6.	Metal Aşındırma	İnce bir metal film kaplanarak elektriğin akışının sağlanması
7.	EDS	Kusursuz yarı iletken çiplerin sağlanması için test süreci
8.	Paketleme	Son levha ayrı ayrı yarı iletken çipler halinde kesilir.

### 2.2 Yarı İletken Üretim Süreci – Kullanılan Adımlar ve Teknoloji

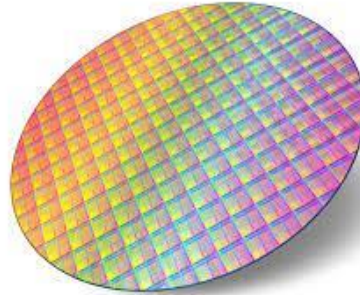
Yarı iletken üretim adımlarını gösteren Tablo 3'ü ayrıntılı olarak incelenecektir.

#### 2.2.1 Silikon Plaka Üretimi – Tüm Yarı İletkenlerin Temeli

Yarı iletkenler, karmaşık bir yapı oluşturmak üzere yüksek ve sağlam bir şekilde istiflenmiş yüksek katlı bir binaya benzer. Bu yapı, silikon levha adı verilen malzeme üzerine inşa edilir. Silikon levhalar genellikle yüksek saflıktaki silikondan üretilen levhalardır. İşte bu küçük kum taneciklerinin nasıl levhalara dönüştüğüne dair adımlar:

1. İlk olarak, kum yüksek saflıkta bir sıvı haline gelene kadar ısıtılır ve ardından kristalleşerek katılaşır.
2. Ortaya çıkan silikon kütlesi, bir külçe olarak adlandırılır. Bu külçeler daha sonra ince dilimlenmiş levhalar halinde bir disk şeklinde kesilir.
3. Dilimlenmiş levhaların yüzeyi genellikle pürüzlü ve kusurlu olabilir. Bu nedenle, levhanın yüzeyini parlatmak için cila makineleri kullanılır. Yüzeydeki kusurlar, elektronik devrenin hassasiyetini olumsuz yönde etkileyebileceğinden bu adım önemlidir.
4. Silikon levhaların yüzeyine bakıldığında genellikle bir ızgara deseni görülebilir.

Bu şekilde üretilen silikon levhalar, yarı iletkenlerin temel malzemesini oluşturur. Levhanın çapı ne kadar büyük olursa, üretilebilecek talaş sayısı da o kadar fazla olur. Bu, elektronik bileşenlerin üretiminde önemli bir faktördür. Şekil 2.1’de silikon levhaya örnek verilmiştir. Silikon; kuvars kum, beyaz kum veya endüstriyel kum olarak bilinen Silis kumundan elde edilir. Silika ve oksijenden ( $SiO_2$ ) oluşur.

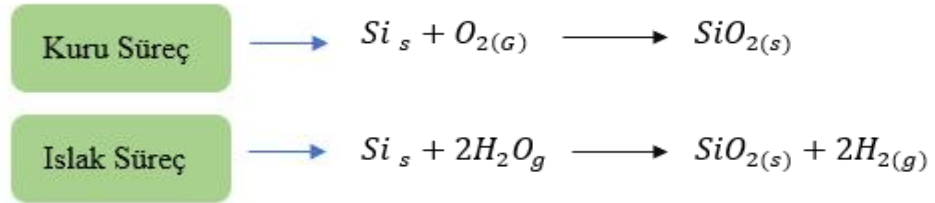


Şekil 2.1: Silikon Wafer [6]

### 2.2.2 Oksitleme – Wafer Yüzeyinde Oksit Film Oluşturma

Silikon levha, adım 3.2.1’de üretildikten sonra henüz iletken değildir. Levhayı yarı iletken hale getirmek için özel bir süreçten geçmesi gereklidir.

İlk olarak, levhalar oksidasyon sürecinden geçer. Levha yüzeyine düzgün bir oksit filmi oluşturmak için oksijen veya su buharı püskürtülür. Şekil 2.2’de kuru ve ıslak süreç adımları formülize edilmiştir.

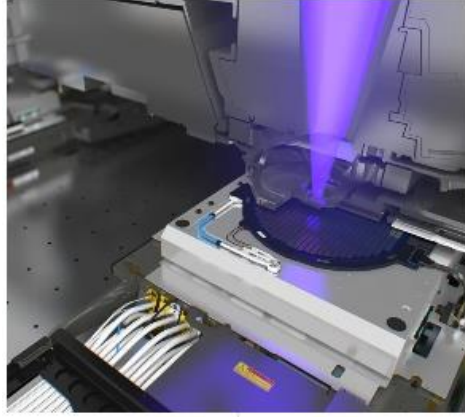


Şekil 2.2: Silikon Levha (Wafer) Oksitleme Süreci

Bu oksit filmi, sonraki işlemler sırasında levha yüzeyini korur ve ayrıca devreler arasındaki akım sızıntısını engeller. Oksit filmi, güçlü bir koruyucu kalkan görevi görür. Bu aşamadan sonra, yarı iletkenin temeli hazır hale gelir.

### 2.2.3 Fotolitografi – Levha (Wafer) Üzerine Devre Tasarımı Çizimi

Bir sonraki adım, devre tasarımının levha üzerine çizildiği fotolitografi işlemidir. Bu işlem, film kamerasında çekilen bir fotoğrafın işlenmesine benzer bir süreç olduğu için kısaca "fotoğraf" olarak da adlandırılmaktadır. Fotoğraf maskesi, bilgisayar tarafından tasarlanmış devre desenine sahip bir cam alt tabakadan oluşur. Fotoğraf maskesi, fotolitografi sürecinde kritik bir rol oynar. Şekil 2.3’te fotolitografi cihazına örnek verilmiştir.



Şekil 2.3: Fotolitografi Cihazı

Fotolitografi sürecinde, devreyi çizmek için ışığa tepki veren bir malzeme olan fotorezist, plakanın üzerine önceden yerleştirilen oksit film üzerine ince ve eşit bir şekilde uygulanır. Ardından, ışık desenli fotoğraf maskesi kullanılarak devre deseni, levha yüzeyine çizilir. Bu aşama, bir fotoğrafın işlenmesinde kullanılan yöntemlere benzer bir şekilde püskürtme, geliştirici ve ışığa maruz kalan alanlardan aydınlatılmayan alanların kaldırılmasıyla gerçekleşir.

Litografi, çip üretim sürecinde hayati bir adımdır çünkü çip üzerindeki transistörlerin boyutunu belirler. Bu aşamada, çip levhası, derin ultraviyole (DUV) veya aşırı ultraviyole (EUV) ışığı kullanılan bir litografi makinesine (bu bizim!) yerleştirilir. Bu ışık, daha az karmaşık çip tasarımları için 365 nm'den, bir çipin en ince ayrıntılarını üretmek için kullanılan 13.5 nm'ye kadar herhangi bir dalga boyuna sahip olabilir; bunlardan bazıları bir kum tanesinden binlerce kez daha küçüktür.

Işık, levha üzerine yansıtılmak üzere 'şebeke' adı verilen bir deseni içeren bir maske aracılığıyla yönlendirilir. Optik sistemler (DUV sistemindeki lensler ve EUV sistemindeki aynalar), deseni daraltır ve direnç katmanına odaklar. Daha önce belirtildiği gibi, ışık dirence çarptığında, kimyasal bir değişikliğe neden olarak retikülden gelen desenin direnç katmanına kopyalanmasını sağlar.

Her zaman tam olarak doğru deseni elde etmek zorlu bir süreçtir. Bu aşamada, parçacık girişi, kırılma ve diğer fiziksel veya kimyasal kusurlar ortaya çıkabilir. Bu nedenle, bazen planın kasıtlı olarak deforme edilmesi gerekir ki bu da modelin

optimize edilmesini sağlar, böylece tam olarak ihtiyaç duyulan modele ulaşılır. Sistemlerimiz, bu süreci 'hesaplamalı litografi' adı verilen bir yöntemle gerçekleştirir. Bu, algoritmik modelleri sistem verileri ve test plakalarından elde edilen bilgilerle birleştirerek yapılır. Ortaya çıkan plan, nihai baskı deseninden farklı görünebilir, ancak asıl amaç, basılı desenleri doğru bir şekilde elde etmeye odaklanmaktadır.

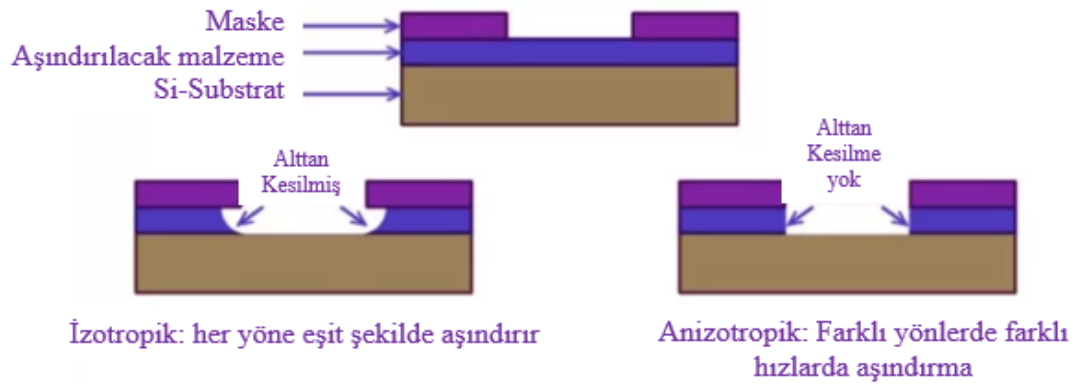
#### 2.2.4 Aşındırma – Gereksiz Malzemeleri Kaldırma

Şimdi, sadece tasarım deseninin yüzeyde kalması için gereksiz malzemeleri levhadan çıkarma işlemidir. Bu adım, sıvı veya gaz aşındırma teknikleri kullanılarak gerçekleştirilir ve tüm gereksiz malzemeler seçici bir şekilde kaldırılır.

**Islak Aşındırma:** Kimyasal çözeltiler kullanılarak yapılan aşındırma işlemine ıslak aşındırma denir.

**Kuru Aşındırma:** Gaz veya plazma kullanıldığında yapılan aşındırma işlemine ise kuru aşındırma denir.

Aşındırma izotropik ve anizotropik aşındırma olarak 2'ye ayrılır. Şekil 2.4'de aşındırma çeşitleri görselleştirilmiştir.



Şekil 2.4: Levha (Wafer) Aşındırma İşlemi

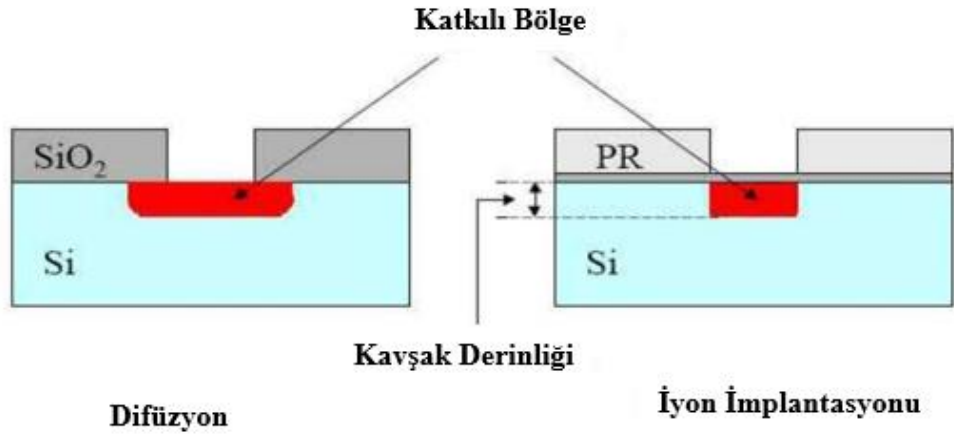
Fotolitografi işlemi ve aşındırma işlemi, levha üzerinde katman katman birkaç kez tekrarlanır. Bu noktada, yığılmış devreleri ayıran ve koruyan bir yalıtım filmi gereklidir; bu filme ince film denir. Bu süreç, çok katmanlı PCB üretimine oldukça benzer bir şekilde ilerler.



### 2.2.5 Biriktirme ve İyon Ekme Uygulaması (İyon İmplantasyonu)

İnce film, bir levha üzerine moleküler veya atomik seviyede kaplandığında buna biriktirme denir. Çünkü bu kaplama çok ince olduğu için, yarı iletkenin elektriksel özelliklerini vermek için ince filmi levha üzerine eşit bir şekilde uygulamak için hassas ve gelişmiş teknoloji gereklidir. İyon uygulaması veya implantasyonu da bu aşamada gereklidir (Şekil 2.5).

Silikondan yapılan bir yarı iletken, doğal olarak elektriği iletmez, ancak kirlilik eklenmesiyle birlikte akımı iletir ve iletken özelliklere sahip olur.



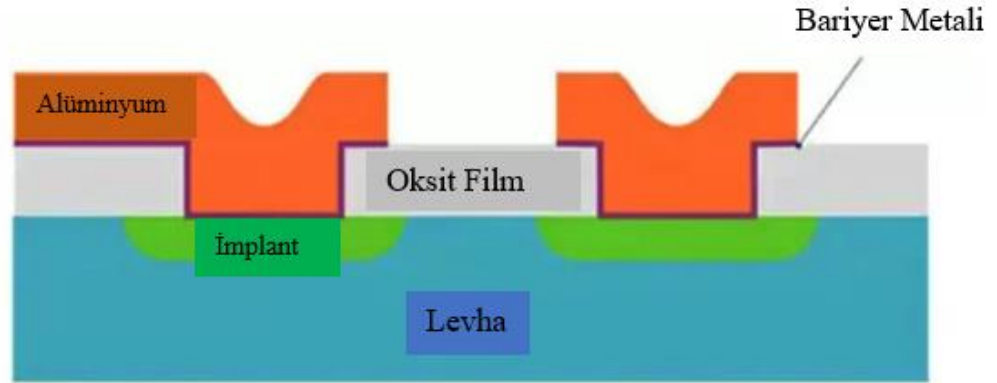
Şekil 2.5: Silikon İyonu İmplantasyonu Aşamaları [6]

Özetle, levha üretimi, oksidasyon, fotolitografi, aşındırma, biriktirme ve iyon uygulama işlemleriyle gerçekleşir. Bu süreç, levhayı iletken hale getirir ve üzerine çok sayıda devre çizilir.

### 2.2.6 Metal Aşındırma

Elektrik sinyalinin devreye uygulanabilmesi için, devre düzenine göre elektriğin geçebileceği bir yol oluşturmak gereklidir. Bu adıma metal kablolama işlemi denir. Şekil 2.6'da süreç görselleştirilmiştir.

Elektriğin yarı iletken kuyulardan geçebilmesi için, ince bir metal film kullanılarak alüminyum, titanyum veya tungsten gibi malzemelerle bir metal tabaka biriktirilir. Bu işlem, elektriğin akmasını sağlar ve metal ara bağlantıları oluşturarak devrenin çalışmasını mümkün kılar.



Şekil 2.6: Yarı İletkende Metal Ara Bağlantı

- Bakır, elektriği alüminyuma göre daha düşük dirençle iletme özelliğine sahiptir, ancak yarı iletken üretim sürecinde kullanılmaktan kaçınılır. Bakır, hızla silikon içine yayılarak transistörlerin çalışmasını etkileyebilecek elektriksel özellikleri değiştirir.
- Alüminyum, yarı iletken yongalardaki metal ara bağlantılar için yaygın olarak kullanılan bir malzemedir. Bu metal, silikon dioksit adı verilen oksit tabakasına iyi yapışır ve işlenmesi kolaydır.

### 2.2.7 EDS – Enerji Dağılık Spektroskopisi

Bir sonraki aşama EDS (Enerji Dağılık Spektroskopisi) olarak adlandırılır. Bu, mükemmel yarı iletken yongaların temin edilmesi için gerçekleştirilen bir test sürecidir. Başka bir deyişle, kusurlu talaşları elemeye yönelik kritik bir test adımını içerir.

Verim, bu süreçte seçilen yarı iletken çiplerin, tek bir plaka üzerindeki maksimum çip sayısına göre belirlenen birinci sınıf çiplerin yüzdesini temsil eder. Yani, EDS işlemi, üretim kalitesini kontrol etmek ve en üst düzeyde performansa sahip yarı iletken çipleri belirlemek amacıyla önemlidir.

EDS işlemi sırasında seçilen yarı iletken çipler, belirli cihazlara uygun formda şekillendirilir. Bu, çiplerin belirlenen standartlara ve özelliklere uygun olarak kullanılabilecek hale getirilmesini sağlar. Bu aşama, yüksek kaliteli ve doğru çalışan yarı iletken cihazlar elde etmek için önemlidir.

### **2.2.8 Paketleme**

Paketleme işlemi, önceki adımlarda tamamlanan levhayı elektronik bir yarı iletken cihaza yüklenebilecek bireysel yarı iletken çiplere dönüştürme sürecidir.

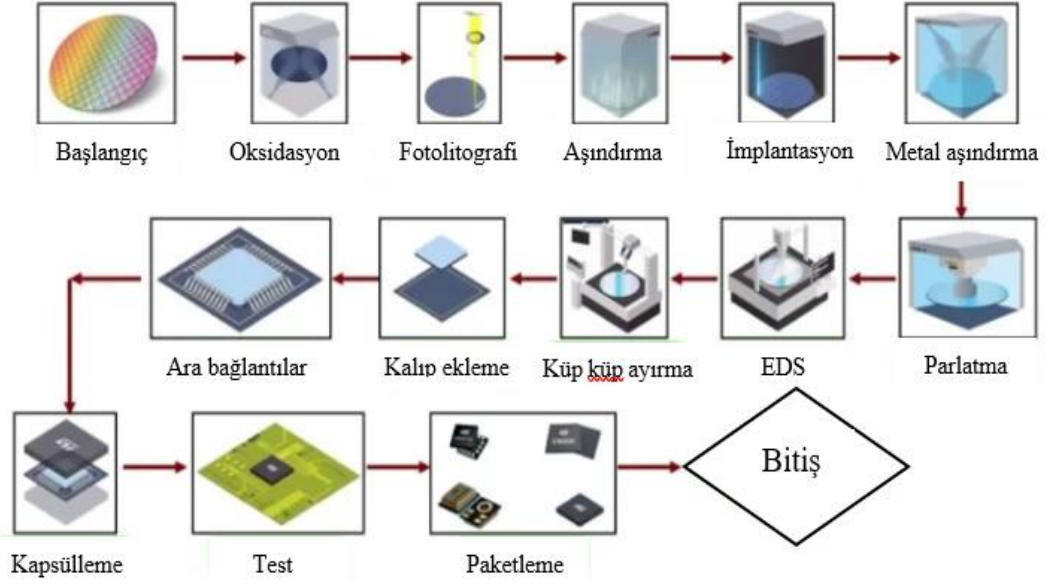
İlk olarak, tamamlanan levha, elektronik bir yarı iletken cihaza entegre edilebilecek boyutlara sahip bireysel yarı iletken çiplere kesilir. Her bir çipin, dış dünyayla elektrik sinyallerini alışveriş yapabilecek bir yol ve çeşitli harici unsurlardan korunacak bir forma sahip olması gerekir.

Levha (wafer), tek tek talaşlar halinde kesilir ve bu kesilmiş veya testere talaşları PCB kartı üzerine yerleştirilir. Bağlama adımında, yarı iletken çipin temas noktaları, alt tabakanın temas noktalarına bağlanır. Daha sonra, kalıplama süreci, talaş paketini istenilen şekle getirir.

Son test, mühürleme ve ürün adının etiketlenmesi adımlarının ardından, yaygın olarak gördüğümüz yarı iletken çip tamamlanır. Bu aşamada, çipin ürün kalitesi ve fonksiyonelliği kesin bir şekilde onaylanır ve nihai olarak kullanıcıya sunulabilir.

### 2.3 Yarı İletken Üretim Süreci Akış Şeması

Şekil 2.7’de yarı iletken üretim süreci akış şeması görsellerle ifade edilmiştir.

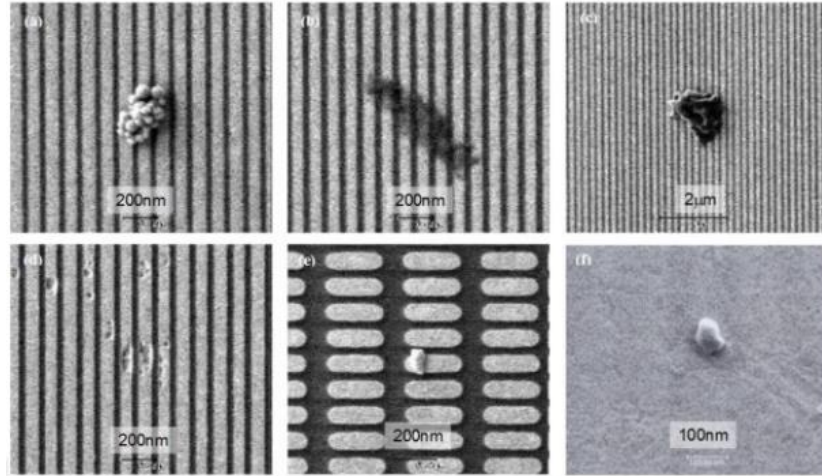


Şekil 2.7: Yarı İletken Üretim Süreci Akış Şeması

### 3. WAFER KUSURLARI, ÖLÇÜMÜ VE ANALİZİ

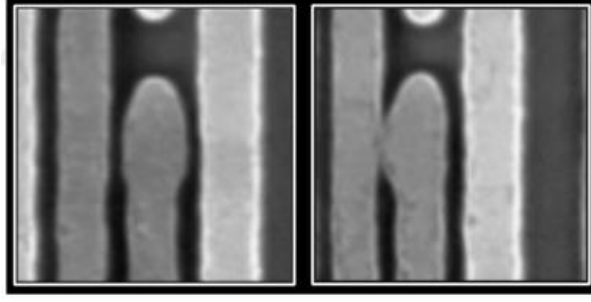
#### 3.1 Litografi Sürecinde Oluşan Wafer Kusurları

Litografi İşleminin açıklandığı Bölüm 2.2.3'te ifade edildiği gibi; lazer ışığı çip devresinin bir katmanını içeren bir maskeden geçerek lense ulaşır ve lens yardımıyla görüntü küçültülerek gerçek çip boyutuna ulaştırıldıktan sonra wafer üzerine yansır. Güncel kritik boyut olarak 3nm hassasiyetle üretilmiş bir çip devresi düşünülürse; bu süreç içerisinde lazer ışığının dalga boyu, lensin odak noktası, lensin lekesiz olması, maskenin kusursuz bir şekilde üretilmiş olması, waferın pozisyon toleransı ve diğer parametrelerin mükemmel bir doğruluk göstermesi beklenir. Gelişmiş litografi makineleri sayesinde 3nm hassasiyetle, işlemci ve hafıza çipleri üretilmektedir. Buradaki zorluk ise bu boyuttaki yapıların rahatlıkla havadaki partiküllerden dahi etkilenebilecek yapıda olmalarına rağmen, litografi işleminden sonra bir düzine daha procesten geçmeleri gerektiğidir. Şekil 3.1'de çip devreleri üzerindeki örnek kusurlar verilmiştir [7]. Bu kusurların bir kısmı, yaklaşık 5-200 nm boyutunda olan küçük parçacıkların çip devresi üzerine yerleşmesiyle oluşmaktadır.



Şekil 3.1: Çip devreleri üzerinde tespit edilen bazı kusurlar [7]

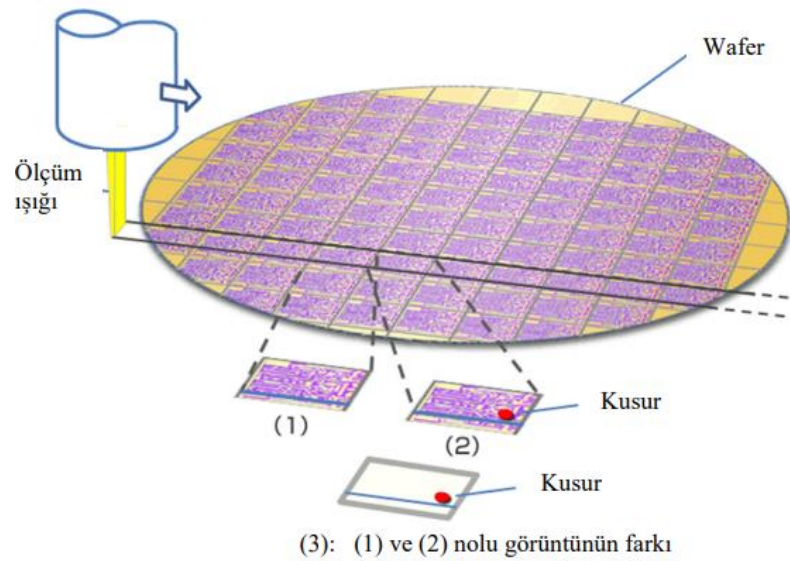
Diğer grup kusurlar ise çip devrelerinin istenen toleranslarda işlenememesinden kaynaklıdır. Şekil 3.2'de bu tip kusurlara bir örnek verilmiştir.



Şekil 3.2: Çip devresinin istenen toleransta işlenememesinden dolayı oluşan bir kusur [7]

### 3.2 Kusurların Ölçümü ve Analizi

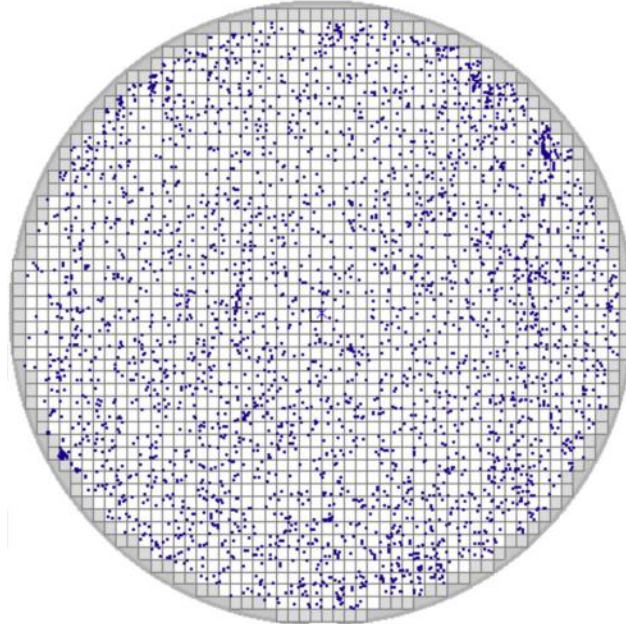
Wafer yüzeyi, çeşitli dalga boylarına sahip lazer ve beyaz ışık kaynaklarına sahip ölçüm cihazlarıyla taranarak minimum 1nm boyutundaki kusurların yerleri belirlenir ve sonrasında SEM elektron mikroskobu ile bu kusurların resimleri elde edilerek topolojileri incelenir. Wafer kusurlarının yerini belirlemede litografi işlemi öncesi ve sonrası ölçülen wafer haritalarının farkı kullanılır. Şekil 3.3’de bu ölçümün nasıl yapıldığını gösteren bir 20 şekil verilmiştir. Ölçümü takip eden adımda ise bu noktanın koordinatlarında elektron mikroskobu ile inceleme yapılarak, kusurun yüksek çözünürlüklü görüntüsü elde edilir. Wafer haritalarında görünümün bütün noktalar bu şekilde ölçülmüş bir kusuru temsil etmektedir ve bu noktaların oluşturduğu desenler, kusurun kök nedeni hakkında uzman mühendisler ip ucu verirler.



Şekil 3.3: Wafer kusur ölçümü adımları [8]

1 nolu alan wafer üzerindeki bir bölgenin litografi işlemi öncesi elde edilen ölçümü. 2 nolu alan ise aynı bölgenin litografi işleminden sonraki ölçümüdür. Şekilden de anlaşılacağı üzere litografi işlemi esnasında kırmızı nokta ile belirtilen lokasyonda bir kusur meydana gelmiştir [8] ve bu kusur 3 numaralı adımda görüldüğü gibi 1 ve 2 nolu resimlerin farkı alınarak ölçülmektedir.

Ortalama bir wafer üzerinde 20 ile 1000 arasında, farklı topolojilere ve fiziksel özelliklere sahip kusurlar bulunur. Bu rakam yüksek gibi gözüke de aslında 300mm (70686 mm<sup>2</sup> ) çapına sahip bir wafer için kabul edilebilir bir seviyededir. Boyut olarak baktığımızda ortalama 50nm X 50nm boyutundaki 1000 adet kusurun kapladığı yaklaşık alan 2500000nm<sup>2</sup> 'dir ( $2.5 \times 10^{-6}$  mm<sup>2</sup> ) ve bu alan toplam wafer yüzeyinin çok küçük bir kısmına karşılık gelmektedir fakat çiplerin performansını etkilediğinden dolayı kritik öneme sahiptirler. Yapılan ölçümler sonucunda wafer kusur haritası ve Wafer Kusur Kusur (3): (1) ve (2) nolu görüntünün farkı Ölçüm ışığı 21 her bir kusurun elektron mikroskopu ile elde edilmiş bir fotoğrafı raporlanır. Şekil 3.4'de mavi noktaların, kusurları temsil ettiği örnek bir wafer kusur haritası görülmektedir.



Şekil 3.4: Wafer kusur haritası  
*mavi noktalar ölçümlenen kusurları temsil etmektedir.*

Wafer kusurları konusunda uzman mühendisler bu haritayı, kusur desenini, kusurun topolojisini, element bileşenlerini ve diğer proses parametrelerini inceleyerek kök neden hakkında bir değerlendirme yaparlar. Bu analiz sonucunda bu şekilde bir wafer haritası deseni oluşumuna sebep olan etmenler ortaya çıkarılır. Bu süreçte güncel veriler eğer daha önce oluşmuş bir sorun ile bağlantılı ise, çözümü veri tabanında benzer bir wafer haritası olup olmadığına bakılarak daha hızlı ve kolay bulunabilir. Orta ölçekli bir çip dökümhanesinin günde yaklaşık 6000 wafer işlediği göz önünde bulundurulursa, bu boyutta bir veri setinin manuel olarak incelenmesinin oldukça zor ve verimsiz olacağı olduğu aşıkardır.



## 4. YÖNTEM

### 4.1 Wafer Kusur Desenleri ve Evrişimli Sinir Ağı Yaklaşımı

Wafer çip üretim sürecinde, wafer kusurlarının ölçülmesi amacıyla elde edilen wafer kusur haritaları, özgün desenleri temel alarak sınıflandırılmaktadır. Gelişmiş görüntü sınıflandırma performansına sahip olan evrişimli sinir ağı (CNN) yaklaşımının, wafer haritalarının desenlerini sınıflandırmak için ideal bir seçenek olduğu tespit edilmiştir. Ancak, bu özel uygulamada, genel görüntü işleme yöntemlerinden farklı ve özel bir yaklaşıma ihtiyaç duyulmaktadır.

WM-811K veri setinin özellikleri, özel yaklaşımları gerektirmektedir ve bu özel durumlar aşağıda detaylandırılmıştır:

Geleneksel 3 kanallı görüntüler yerine, 1 kanallı wafer haritaları kullanılacaktır.

Piksel değerleri 0-255 arasındaki genel görüntülerin yerine, 0-2 arasında değerler alacaktır. Bu değerler, sırasıyla arka planı, kusursuz alanı ve kusurlu alanı temsil edecektir.

Wafer harita boyutları ve üzerindeki çip boyutları farklılık gösterecektir.

Her desen sınıfından eşit miktarda örnek bulunmamaktadır; bu nedenle, katmanlaştırma "stratification" yöntemi kullanılarak her sınıftan eşit oranda örnek alınacaktır.

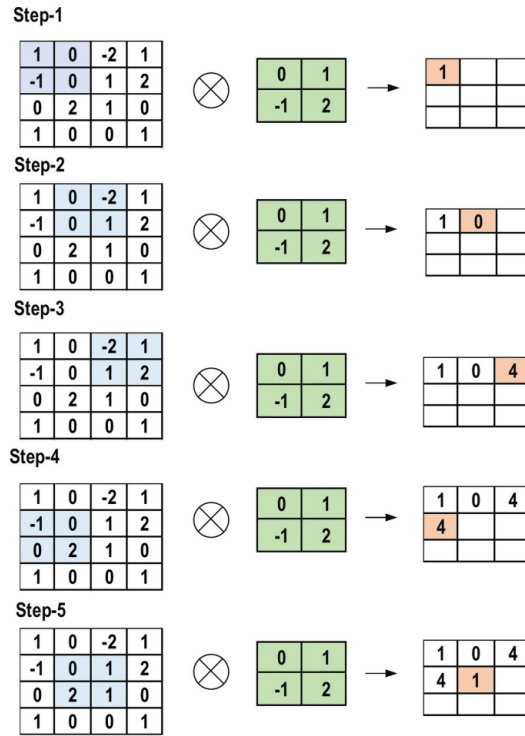
Önceki bölümlerde belirtildiği gibi, derin öğrenme ve evrişimli sinir ağları, genellikle sınıflandırma problemlerinin çözümünde etkili olmuştur. Literatürde yapılan çalışmalar ve wafer kusur desenlerinin detaylı incelenmesi, bu desenlerin sınıflandırılması için evrişimli sinir ağı modellerinin uygun olduğunu göstermektedir. Bu çerçevede, Bölüm-5'te, wafer kusur desenlerini sınıflandırmak amacıyla evrişimli sinir ağı modeli kullanılarak bir derin öğrenme uygulaması gerçekleştirilecektir.

## 4.2 Evrişimsel Sinir Ağları (CNN)

Evrişimli Sinir Ağları (CNN), özellikle görüntü işleme ve tanıma gibi alanlarda sıkça kullanılan güçlü bir derin öğrenme modelidir. CNN'lerin temel bileşenleri olan evrişim katmanları, girdi olarak alınan veri üzerinde yerel bağlantılar kurarak özellik haritaları oluşturur. Bu işlem, genellikle küçük boyutlarda (örneğin, 3×3 veya 5×5) matrisler olan kernel veya filtreler kullanılarak gerçekleştirilir. Her bir kernel, girdi görüntüsünün üzerinde kaydırılarak, farklı bölgelerden özellikleri çıkarır ve bu süreç matematiksel olarak bir evrişim işlemiyle ifade edilir. Evrişim, görüntünün önemli özelliklerini (kenarlar, doku vb.) algılamak için kullanılır. Bu süreç matematiksel olarak aşağıdaki gibi ifade edilir [9, 10].

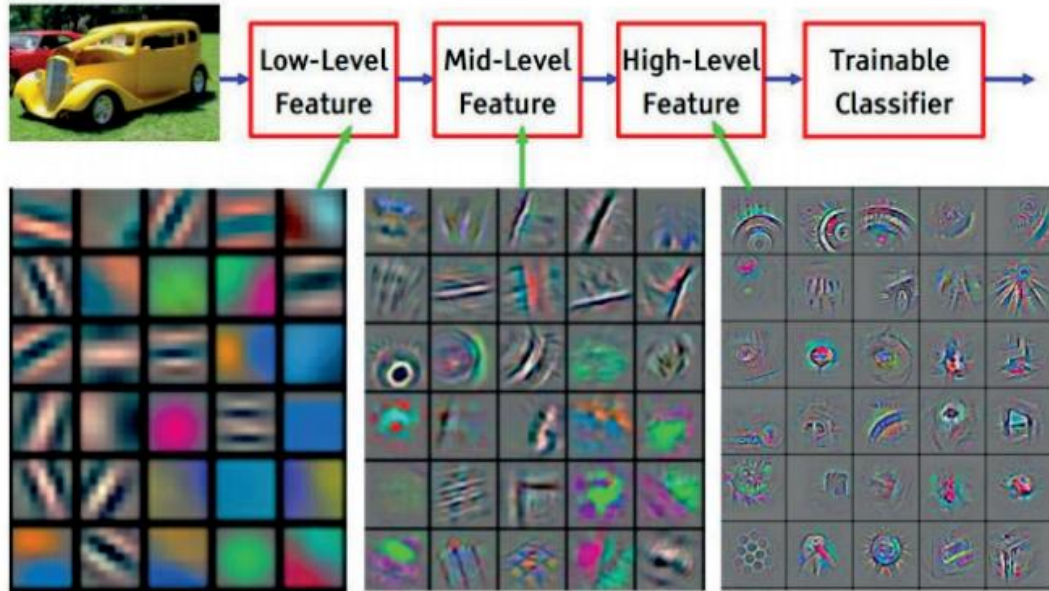
$$F(i,j) = (K * I)(i,j) = \sum_m \sum_n K(m,n) \cdot I(i - m, j - n) \quad (1)$$

Bu formülde  $F(i,j)$  evrişim sonucunu,  $K$  kernel veya filtre matrisini,  $I$  girdi görüntüsünü,  $m,n$  kernel matrisinin indexlerini ve  $i,j$  ise girdi görüntüsünün indislerini temsil eder [9]. Şekil 4.1'de konvülyasyon işlemi gözükmemektedir.



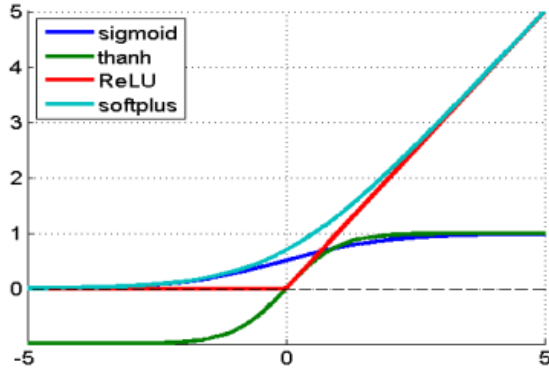
Şekil 4.1: Konvülyasyon işlemi [10]

CNN'lerde kullanılan kerneller, çeşitli filtreler olarak düşünülebilir. Bu filtreler, model eğitimi sırasında kendiliğinden öğrenilen yapılar olup, her bir kernel girdi görüntüsünden belirli bir özellik veya deseni algılamak üzere optimize edilir. İlk katmanlarda yer alan kerneller, genellikle kenarlar veya dokular gibi basit özellikleri algılamak için, ağın derinleşmesiyle birlikte, kerneller daha kompleks özellikleri algılayacak şekilde özelleşirler. Kernellerin öğrenim işlemi ise, geri yayılım algoritması (backpropagation) kullanılarak gerçekleşir. Bu algoritma sayesinde, her bir Kernel daha spesifik özellikleri çıkarabilecek yetkinliğe ulaşır [9]. Şekil 4.2’de katmanlar arttıkça filtrelerin nasıl özelleştiğini görselleştirmektedir.



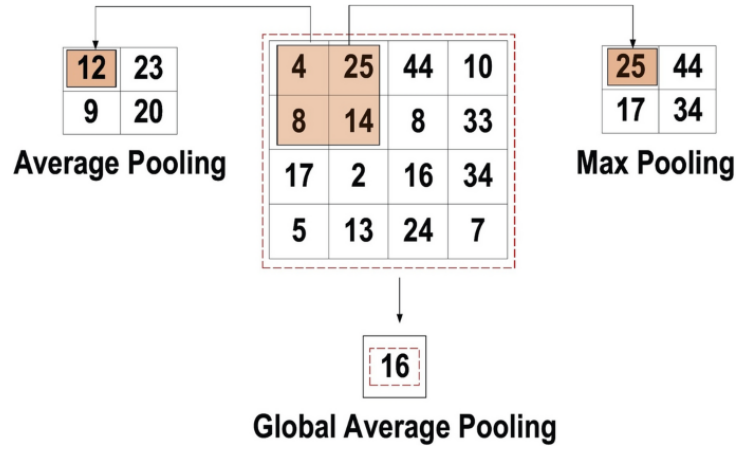
Şekil 4.2: Filtrelerin görselleştirilmesi [11]

Evriřim iřleminden sonra, aktivasyon fonksiyonları devreye girer. En yaygın kullanılan aktivasyon fonksiyonu ReLU (Rectified Linear Unit) olup, evriřim sonucundaki doğrusal olmayan ilişkileri yakalar. ReLU, negatif değeri sıfıra eşitlerken, pozitif değeri olduğu gibi bırakır. Bu basit iřlev, ağı daha karmařık ve doğrusal olmayan özellikler öğrenmesine imkan tanır [9-10]. řekil 4.3'te ReLU dahil olmak üzere sık kullanılan aktivasyon fonksiyonları bulunmaktadır.



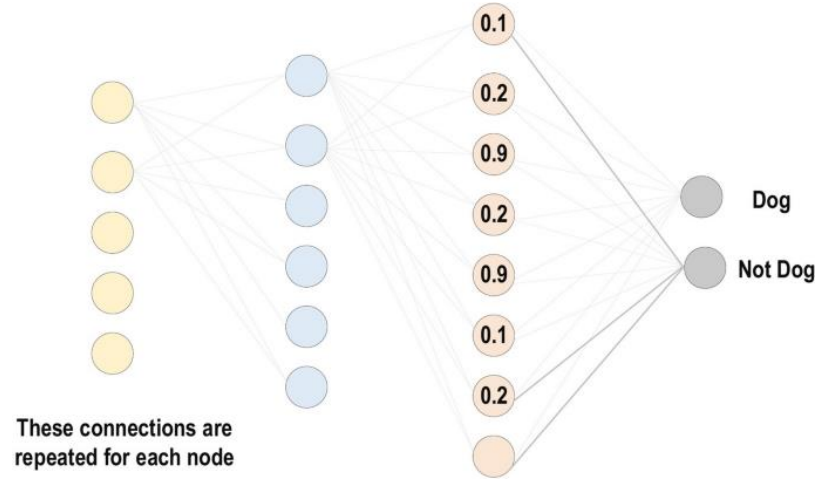
řekil 4.3: Aktivasyon fonksiyonları [9]

CNN mimarisinde havuzlama katmanları önemli bir rol oynar. Genellikle maksimum havuzlama (max pooling) veya ortalama havuzlama (average pooling) yöntemleri kullanılır. Bu katmanlar, girdi olarak aldıkları özellik haritalarının boyutunu azaltır, bu sayede hem hesaplama yükünü azaltır hem de aşırı uyum (overfitting) problemini önlemeye yardımcı olur. Havuzlama iřlemi, genellikle özellik haritasından maksimum veya ortalama değeri olarak gerekleřtirilir ve bu süreç, modelin eřitli dönüşümlere karşı daha dayanıklı hale gelmesini sağlar. Bunlara ek olarak, Global Average Pooling (GAP) da kullanılır. GAP, her özellik haritasının ortalama değeri olarak sabit boyutlu bir vektör üretir ve modelin son katmanlarına uygulanır. Bu, aşırı uyumu azaltmaya ve model genelleřtirmesine katkıda bulunur [9,10]. řekil 4.4'te average pooling, max pooling ve global average pooling iřlemleri yer almaktadır.



Şekil 4.4: Average, Global Average ve Max Pooling İşlemleri [10]

Evrişim ve havuzlama işlemlerinden sonra, elde edilen özellik haritaları genellikle bir veya birden fazla tam bağlantılı katmana (fully connected layer) beslenir. Bu katmanlar, özellik haritalarını alır ve bunları nihai sınıflandırma veya diğer çıktılar için kullanılabilecek bir formata dönüştürür. Tam bağlantılı katmanlar, öğrenilen özelliklerin yüksek seviyede birleştirilmesini ve belirli görevler için kullanılmasını sağlar [9,10]. Şekil 4.5’de fully connected layer görselleştirmesi bulunmaktadır.



Şekil 4.5: Fully Connected Layer [10]

CNN'ler bu katmanların birleşimi sayesinde karmaşık görsel özellikleri algılayabilir ve yüksek doğrulukta sınıflandırma ve tanıma görevlerini yerine getirebilir. Model eğitimi 2D CNN ağları kullanılacak olup, ağ hiperspektral verilerden elde ettiğimiz yamalar ile beslenecektir.

#### 4.2.1 CNN Eğitimi

CNN eğitim süreci, modelin tahminlerini gerçek etiketlerle karşılaştıran bir kayıp fonksiyonu ile başlar. Bu fonksiyon, modelin performansını ölçer ve ağırlıkların nasıl güncellenmesi gerektiğine dair bir yol haritası sunar. Yaygın olarak kullanılan kayıp fonksiyonları arasında mean squared error (MSE) ve cross-entropy loss bulunur. MSE, modelin tahminlerinin gerçek değerlere ne kadar yakın olduğunu ölçerken, cross-entropy loss sınıflandırma görevlerinde modelin tahminlerinin doğruluğunu değerlendirir [10]. MSE ve cross-entropy loss formülleri aşağıdaki gibidir.

$$MSE = \frac{1}{2n} \sum_{i=1}^n (Y_i - \hat{Y}_i)^2 \quad (2)$$

$$H(y, \hat{y}) = -\sum y \log(\hat{y}) \quad (3)$$

Backpropagation süreci, kayıp fonksiyonundan elde edilen hata değerinin ağırlık katmanları boyunca geriye doğru hesaplanmasıyla devam eder. Bu adımda, her bir katmanda bulunan ağırlıkların ve biasların kayıp fonksiyonuna göre kısmi türevleri alınır. Zincir kuralı kullanılarak yapılan bu hesaplama, modelin her bir katmanındaki parametrelerin, hata oranını nasıl azaltacak şekilde ayarlanması gerektiğini gösterir. Bu süreç, ağırlık her katmanında gerçekleşir ve sonuç olarak, her katmandaki ağırlık ve biasların gradyanları hesaplanır [10].

Çıktı katmanındaki her bir nöron için hata gradyanı  $\delta$  ile gösterilir ve şu şekilde hesaplanır:

$$\delta_j^{(L)}(k) = -e(k) \vartheta'(v_j(k)) \quad (4)$$

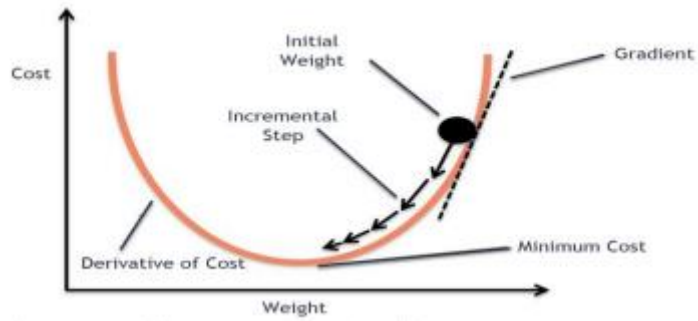
Burada  $e(k)$  k. epok için toplam hatayı,  $\vartheta'$  aktivasyon fonksiyonunun türevini ve  $(v_j(k))$  ise çıktı katmanındaki j'inci nöronun aktivasyon fonksiyonundan önceki toplam girdisini temsil eder [10].

Hata gradyanları daha sonra ağıın geri kalan katmanlarına doğru yayılır. Her bir nöron için hata gradyanı, sonraki katmandaki tüm nöronların hata gradyanları ve ilgili ağırlıkların toplamı ile hesaplanır ve bu toplam, nöronun aktivasyon fonksiyonunun türevi ile çarpılır. Bu işlem, ağıın her katmanındaki ağırlıkların nasıl güncellenmesi gerektiğini belirleyen hata sinyalinin oluşturur:

$$\delta_j^{(h)}(k) = \vartheta'(v_j(k)) \sum_{l=1}^L \delta_l^{(h+1)} w_{jl}^{(h+1)}(k) \quad (5)$$

Burada  $\delta_j^{(h)}(k)$  h katmanındaki j'inci nöron için hata gradyanını,  $w_{jl}^{(h+1)}(k)$  h+1 katmanındaki l'inci nöron ile h katmanındaki j'inci nöron arasındaki ağırlığı ve L çıktı katmanındaki nöron sayısını temsil eder [10].

Bu gradyanlar, sonrasında gradyan inişi algoritması ile ağırlık ve bias güncellemeleri için kullanılır. Şekil 4.6'de gradyan iniş algoritmasının görselleştirilmesidir.



Şekil 4.6: Gradyan İniş Algoritmasının Görselleştirilmesi [12]

Gradyan inişi, belirli bir öğrenme hızı kullanarak, bu parametreleri gradyanın ters yönünde küçük adımlarla ayarlar. Bu süreç, kayıp fonksiyonunun minimum değerine ulaşılanaya kadar iteratif bir şekilde tekrarlanır [10,12]. Gradyan iniş algoritması aşağıdaki matematiksel formül ile ifade edilir.

Bir ağırlık  $w_{ij}$  için güncelleme formülü şu şekildedir:

$$w_{ij} = w_{ij} - \eta \frac{\partial L}{\partial w_{ij}} \quad (6)$$

ve bir bias  $b_i$  için güncelleme formülü şu şekildedir:

$$b_i = b_i - \eta \frac{\partial L}{\partial b_i} \quad (7)$$

Burada  $\eta$  öğrenme oranını,  $\frac{\partial L}{\partial w_{ij}}$  ağırlık ile ilgili kayıp fonksiyonunun kısmi türevini ve  $\eta \frac{\partial L}{\partial b_i}$  bias ile ilgili kayıp fonksiyonunun kısmi türevini ifade eder [10].

Bu süreçlerin tamamı, CNN'nin karmaşık veri yapılarından öğrenmesini sağlar. Öğrenilen bu bilgiler, sınıflandırma, nesne tanıma gibi çeşitli görevlerde kullanılır. Backpropagation ve gradyan inişi, bu eğitim sürecinin temel taşlarıdır ve modelin etkin bir şekilde eğitilmesinde kritik rol oynarlar. Bu süreç sayesinde, CNN'ler görsel veri işleme gibi görevlerde yüksek performans sergileyebilir, karmaşık desenleri tanıyabilir ve sınıflandırabilir. Bu, CNN'lerin görüntü işleme, yüz tanıma ve otomatik sürüş sistemleri gibi birçok alanda başarılı bir şekilde kullanılmasını sağlar.

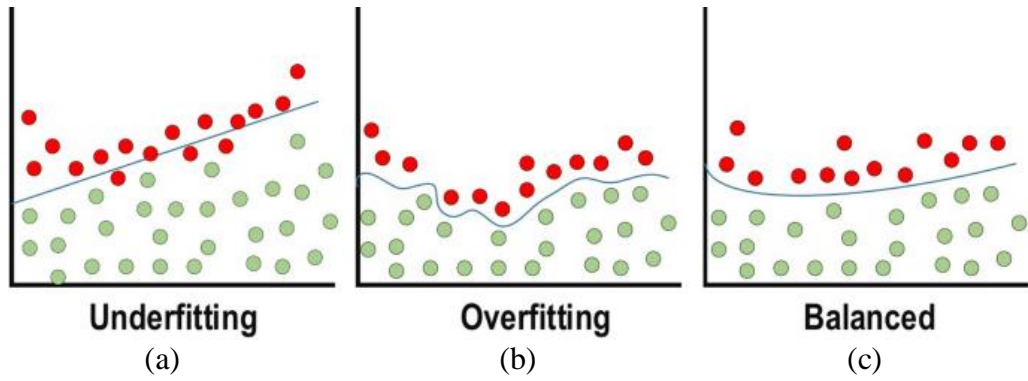
#### 4.2.1.1 Under-Fit

Overfitting, makine öğrenmesi ve istatistiksel modellemede bir modelin eğitim verilerine aşırı derecede uyum sağlaması durumudur. Eğer modelimiz, eğitim için kullandığımız veri kümemiz üzerinde gereğinden fazla çalışıp ezber yapmaya başlamışsa ya da eğitim kümemiz tek düze ise overfitting olma riski büyük demektir [10]. Bu durumda model, eğitim verilerini çok iyi tahmin edebilirken, yeni ve görmediği verilerde hata yapma eğilimindedir.



#### 4.2.1.2 Over-Fit

Underfitting, makine öğrenmesi ve istatistiksel modellemede bir modelin eğitim verilerine yeterince uyum sağlamaması durumudur. Bu durumda model, hem eğitim verilerinde hem de yeni verilerde düşük performans gösterir. Aşırı öğrenmenin aksine, bir model yetersiz öğrenmeye sahipse, modelin eğitim verilerine uymadığı ve bu nedenle verilerdeki trendleri kaçırdığı anlamına gelir [10]. Şekil 4.7’de Over ve Under fit durumları görülmektedir.



Şekil 4.7: Aşırı Öğrenme (a) ve (b) Eksik Öğrenme (c) Dengeli Öğrenme [10]

#### 4.3 Sınıflandırma Başarım Ölçütleri

Sınıflandırma işleminin başarımını değerlendirebilmek için veya farklı sınıflandırıcıların başarımlarını kıyaslayabilmek için literatürde genellikle karışıklık matrisi (confusion matrix) kullanılmaktadır [13]. Başarımın ölçülmesinde kullanılan karışıklık matrisinde sınıflandırma sonucu her bir sınıf için doğru sınıflandırılmış ve yanlış sınıflandırılmış örneklerin sayısı veya oranları gösterilmektedir. Bu tablodan yararlanarak doğruluk başarımının değerlendirilmesinde kullanılan doğruluk (accuracy), hata oranı (error rate), kesinlik (precision), duyarlılık veya anma (sensitivity veya recall), ve F1-ölçütü (F1-score) değerleri hesaplanabilir [13]. İki sınıfa sahip bir verinin sınıflandırılması sonucu oluşturulan karışıklık matrisinin genel yapısı Tablo 4.1’ de gösterilmiştir.

Tablo 4.1: Confusion Matrix

	Pozitif Gerçek Durum	Negatif Gerçek Durum
Pozitif Gerçek Durum	Gerçek Pozitif (TP)	Yanlış Pozitif (FP)
Negatif Gerçek Durum	Yanlış Negatif (FN)	Gerçek Negatif (TN)

Temsil edilen değerleri açıklayacak olursak;

- Gerçek Pozitif (TP): Gerçekte pozitif bir durumu ifade eden ve sınıflandırıcı tarafından pozitif olarak tahmin edilen örnekleri ifade eder.
- Gerçek Negatif (TN): Gerçekte negatif bir durumu ifade eden ve sınıflandırıcı tarafından negatif olarak tahmin edilen örnekleri ifade eder.
- Yanlış Pozitif (FP): Gerçekte negatif bir durumu ifade eden ve sınıflandırıcı tarafından pozitif olarak tahmin edilen örnekleri ifade eder.
- Yanlış Negatif (FN): Gerçekte pozitif bir durumu ifade eden ve sınıflandırıcı tarafından negatif olarak tahmin edilen örnekleri ifade eder

Karışıklık matrisi, bu dört kategorinin sayısal değerlerini içeren kare bir matristir. Her bir sınıf için gerçek değerler ve tahmin değerlerinin kesişimlerindeki hücrelerde ilgili sayılar yer alır. Karışıklık matrisi, sınıfların doğru ve yanlış sınıflandırma sayılarını görsel olarak sunar ve modelin hangi sınıflarda daha iyi veya daha kötü performans gösterdiğini anlamamıza yardımcı olur [13].

Bu bilgilerden yararlanarak aşağıdaki Doğruluk, Hata Oranı, Kesinlik, Duyarlılık, başarımlar değerlendirme yöntemleri yazılabilir.

#### 4.3.1 Doğruluk (Accuracy)

Doğruluk, modelin hem pozitif hem de negatif sınıfları ne kadar doğru tahmin ettiğini gösteren genel bir başarımlar ölçütüdür. Doğru pozitif ve doğru negatif tahminlerin toplam sayısının tüm tahminlerin toplam sayısına oranı olarak hesaplanır [13].

$$\text{Doğruluk (Accuracy)} = \frac{TP+TN}{TP + FN + TN + FP} \quad (8)$$

#### 4.3.2 Kesinlik (Precision)

Kesinlik, modelin pozitif olarak sınıflandırdığı örneklerin ne kadarının gerçekten pozitif olduğunu gösterir. Pozitif olarak doğru tahmin edilen örneklerin sayısının, pozitif olarak tahmin edilen toplam örnek sayısına oranıdır [13].

$$\text{Kesinlik (Precision)} = \frac{TP}{TP+FP} \quad (9)$$

#### 4.3.3 Duyarlılık (Recall)

Duyarlılık veya Anma, modelin gerçekte pozitif olan tüm durumları ne kadar iyi tespit ettiğini gösterir. Gerçek pozitiflerin, toplam gerçek pozitif sayısına oranı olarak hesaplanır [13].

$$\text{Duyarlılık (Recall)} = \frac{TP}{TP+FN} \quad (10)$$

#### 4.3.4 F1-Score

F1-Skoru, kesinlik ve duyarlılığın harmonik ortalamasıdır ve dengeli bir ölçüt olarak kabul edilir. Bu ölçüt, her iki metriği de dikkate alarak, sınıflandırma performansının genel bir değerlendirmesini sağlar [13].

$$F1 - Score = 2 \times \frac{\text{Precision} \times \text{Recall}}{\text{Precision} + \text{Recall}} \quad (11)$$

#### 4.3.5 Cohen's Kappa ( k )

Cohen's Kappa, sınıflandırma performansını rastgele tahminlerin etkisini hesaba katarak değerlendirir. Bu ölçüt, modelin gerçekleştirdiği doğru tahminlerin, rastgele bir şans sonucu elde edilen doğru tahminlerden ne kadar farklı olduğunu gösterir. Özellikle, sınıf dengesizliği olan durumlarda veya rastgele tahminlerin yüksek doğruluk oranlarına neden olabileceği senaryolarda Cohen's Kappa daha anlamlı bir ölçüm sunar.

Cohen's Kappa ařağıdaki formöl ile hesaplanır:

$$\kappa = \frac{P_o - P_e}{1 - P_e} \quad (12)$$

Burada  $P_o$ , gözlemlenen doğruluk oranıdır (modelin doğru sınıflandırdığı örneklerin toplam örnek sayısına oranı) ve  $P_e$ , rastgele bir tahmin durumunda beklenen doğruluk oranıdır (her sınıf için rastgele tahminlerin beklenen doğruluğı). Kappa değeri -1 ile 1 arasında değışebilir; 1 mükemmel uyumu, 0 rastgele bir tahminle elde edilecek uyumu ve negatif değerler rastgele tahminle elde edilenden daha kötü bir uyumu gösterir [14].

Cohen's Kappa'nın bu özel hesaplanma şekli, diğer standart metriklerle birlikte kullanıldığında, modelin performansının daha kapsamlı bir değerlendirmesini sağlar. Bu, modelin sadece genel başarımını değil, aynı zamanda rastgele tahminlere kıyasla ne kadar iyi performans gösterdiğini de ortaya koyar.

## **5. DENEYSEL SONUÇLAR**

### **5.1 WAFER HARİTALARININ EVRİŞİMSEL SİNİR AĞI KULLANILARAK SINIFLANDIRILMASI**

#### **5.1.1 WM-811K Veri Seti ve Tanımlayıcı Parametreleri**

TSMC ve MIRLAB iş birliğiyle oluşturulan WM-811K veri seti, içinde 811,457 adet wafer haritası bulunduran ve gerçek üretim koşullarından elde edilmiş bir veri setidir. Bu veri setindeki tanımlayıcı parametreler şu şekilde belirlenmiştir:

##### **5.1.1.1 Çip Boyutu – ‘dieSize’**

Wafer üzerinde bulunan bir çipin boyutunu temsil eder. Üretim hattında her lot için farklı çip boyutlarına rastlanabilir. Genellikle çip boyutu büyüdükçe toplam wafer boyutu da artar. Örneğin, 3x3 mm boyutundaki çiplerin bulunduğu waferlar genellikle 300 mm çapındadır. Üretimde ayrıca 200 mm, 150 mm ve 100 mm çaplı waferları görmek mümkündür.

##### **5.1.1.2 Lot İsmi – ‘lotName’**

Her biri 25 waferdan oluşan bir lot, üretim işlemi için temel bir birimdir. Her lot, fiziksel olarak bir FOUP içinde taşınır. FOUP, "Front Opening Unified Pod" kelimelerinin baş harflerinden oluşan bir kısaltmadır. Çip üretimindeki her lot, dünya genelinde standart olan FOUP'lar aracılığıyla taşınır ve her FOUP'un bir lot numarası vardır. Bu lot numarası, lotların üretim sürecindeki konumlarını ve geçmiş işlemlerini takip etmek için kullanılır.

##### **5.1.1.3 Wafer Index – ‘waferIndex’**

Lotlara dahil olan waferların FOUP içindeki sırasını gösterir. Bu sayede belirli bir waferla ait bilgilere kolayca ulaşılabilir. Örneğin, üretim aşamalarından birinde sorun

yaşayan bir wafer tespit edildiğinde, bu wafer muaf tutularak zaman ve malzeme tasarrufu sağlanabilir. Muaf tutulmak için wafer index numarasına ihtiyaç duyulur.

#### 5.1.1.4 Eğitim ve Test Etiketi – ‘trainTestLabel’

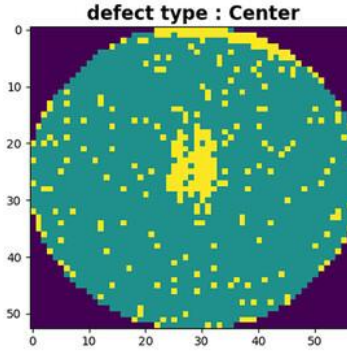
Eğitim ve test verilerini etiketlemek amacıyla uzmanlar tarafından manuel olarak oluşturulmuş indislerdir.

#### 5.1.1.5 Wafer Haritasının Kusur Deseni Sınıfı – ‘failureType’

Wafer haritalarının uzmanlar tarafından değerlendirilip etiketlenmiş kusur deseni sınıfını belirtir. Toplamda 8 farklı kusur deseni sınıfı bulunmaktadır. Bunlar;

##### a. Center

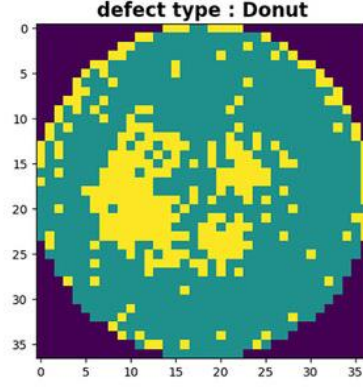
"Merkez" deseni, waferın ortasında kümelenen kusurların oluşturduğu bir wafer haritası sınıfını temsil eder. WM-811 veri setinde "Center" olarak etiketlenmiş bir wafer haritasının görsel örneği Şekil 5.1'de sunulmuştur.



Şekil 5.1: Center sınıfı wafer kusur deseni [15]

##### b. Donut

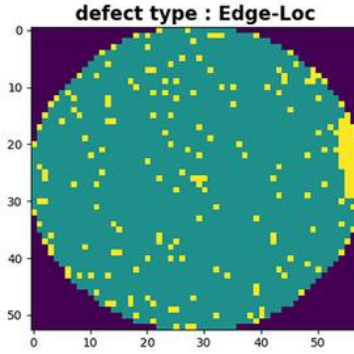
"Donut" deseni, wafer haritasının merkez kısmı boş bırakılarak halka şeklinde oluşturulan bir deseni ifade eder. İsminden de anlaşıldığı gibi, bu desen bir "Donut" görüntüsünü andırır. Şekil 5.2'de, veri setinde "Donut" olarak etiketlenmiş bir wafer haritasının görsel örneği görülebilir.



Şekil 5.2: Donut sınıfı wafer kusur deseni [15]

### c. Edge-Loc

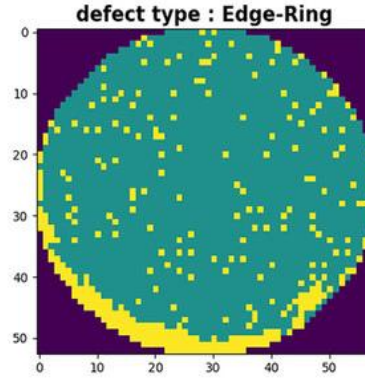
"Edge-Loc" deseni, wafer haritasının kenar kısımlarında kümelenen kusurların oluşturduğu bir deseni temsil eder. Bu desen, kusur kümelerinin dairenin açısal konumundan bağımsız olarak waferin kenar bölgelerinde yer aldığı bir "kenar ve yerel kümelenme" deseni olarak adlandırılabilir. Şekil 5.3'te, veri setinde "Edge-Loc" olarak etiketlenmiş bir wafer haritasının görsel örneği sunulmuştur.



Şekil 5.3: Edge-Loc sınıfı wafer kusur deseni [15]

### d. Edge-Ring

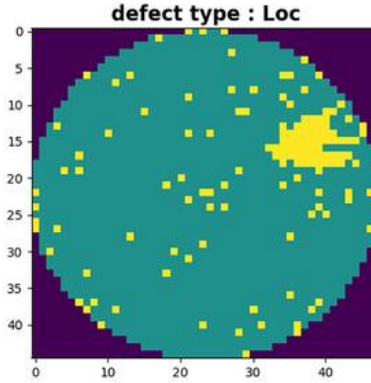
Waferin kenar kısımlarında bir yay çizgisi şeklinde görünen kusur kümelerinin oluşturduğu bir desendir. Yay çizgileri genellikle tam bir daireden ziyade çeyrek veya yarım daire uzunluğunda olurlar. Şekil 5.4'te veri setinde "Edge-Ring" olarak etiketlenmiş bir wafer haritasının görselleştirilmiş hali verilmiştir.



Şekil 5.4: Edge-Ring sınıfı wafer kusur deseni [15]

#### e. Loc

"Loc" deseni, yerel kusur kümesi adıyla anılan bir deseni ifade eder ve aslında kusur deseni geometrisi olarak "Edge-Loc" ve "Center" desenlerine oldukça benzer. Ancak, bu desenin ayırt edici noktası, wafer üzerindeki konumudur. Waferın ortası ve kenarları dışında oluşan kusur kümelenmelerine "Loc" deseni adı verilir. Şekil 5.5'de, veri setinde "Loc" olarak etiketlenmiş bir wafer haritasının görsel örneği sunulmuştur.

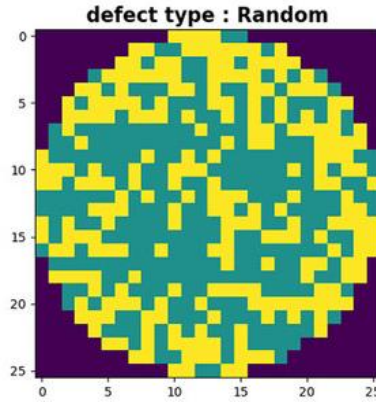


Şekil 5.5: Loc sınıfı wafer kusur deseni [15]

#### f. Random

"Random" deseni, wafer üzerinde rastgele ve noktasal oluşan kusur desenlerini temsil eder. Bu desende kusurlar genellikle belirli bir alanda kümelenmez ve waferın bütün alanına dağılmış bir şekilde bulunur. Şekil 5.6'da, veri setinde "Random" olarak etiketlenmiş bir wafer haritasının görsel örneği sunulmuştur.

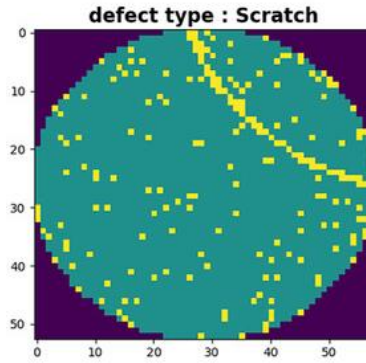




Şekil 5.6: Random sınıfı wafer kusur deseni [15]

#### g. Scratch

"Scratch" deseni, Türkçe'de "çizik" olarak çevrilebilecek bir deseni ifade eder ve geometrik şekli itibariyle gerçekten bir çizik görünümüne benzer. Wafer yüzeyinde herhangi bir bölgede ve herhangi bir uzunlukta ince bir çizgi şeklinde görülür. Şekil 5.7'de, veri setinde "Scratch" olarak etiketlenmiş bir wafer haritasının görsel örneği sunulmuştur.



Şekil 5.7: Scratch sınıfı wafer kusur deseni [15]

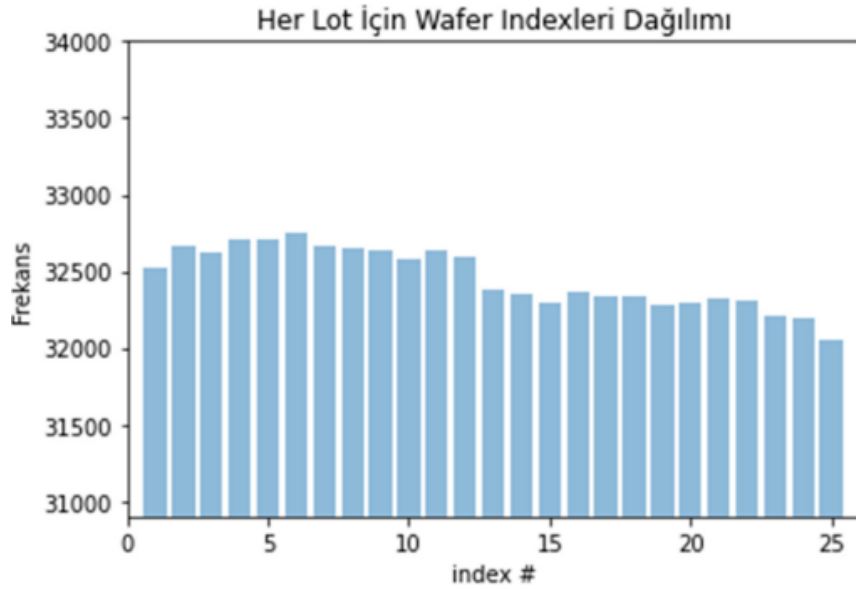
#### h. Near-Full

"Near-Full" deseni, ayırt edilebilecek tek özelliği neredeyse tüm wafer yüzeyini kaplaması olan bir kusur desenini temsil eder. Şekil 5.8'de, veri setinde "Near-Full" olarak etiketlenmiş bir wafer haritasının görsel örneği sunulmuştur.



wafer sayısı  $47543 \times 25 = 1157325$  adet olmalıdır. Ancak, mevcut durumda bu beklenen sayıdan daha az veri bulunmaktadır. Bu durumun nedeni, üretim sırasında ıskartaya ayrılmış waferların indexlerinin silinerek veri setinden çıkarılmış olmasıdır.

Wafer indexleri için bir frekans grafiği oluşturularak incelendiğinde, bu durum daha net bir şekilde gözlemlenebilir. Şekil 5.11’de gösterilen dağılım, wafer indexlerinin her lot için eşit dağılmadığını, ancak kusur haritalarını sınıflandırmada kullanılmayacağı için bu wafer indexlerinin veri setinden çıkarıldığını göstermektedir. Bu önemlidir çünkü kusurlu olmayan wafer indexleri, analizlerde kullanılan veri noktalarını temsil etmektedir ve bu sayede model performansı daha güvenilir bir şekilde değerlendirilebilir.

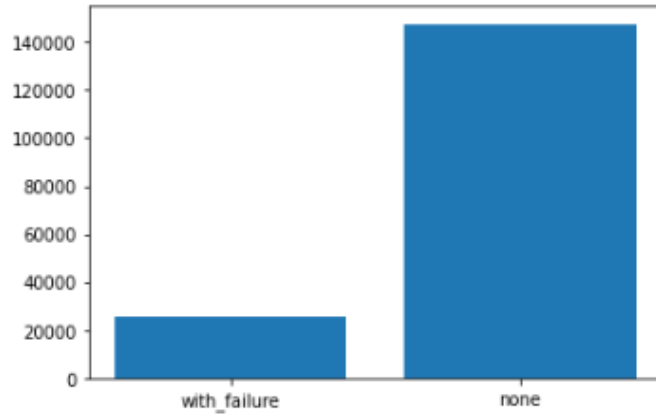


Şekil 5.11: Wafer indexlerinin dağılımı

Veri setinde dikkat çeken başka bir nokta ise ‘dieSize’ yani çip boyutu her lot için farklılık göstermesidir. Çip boyutundaki bu farklılık, wafer haritasının da boyutunun farklı olmasına sebep olmaktadır. Bu boyut farklılıklarının sayılarla ifade edilmesi ve ileri aşamalarda boyutların eşitlenmesinde kullanmak için veri setine yeni bir sütun eklenmiştir. Bu sütunun adı ‘waferMapDim’ olup, wafer haritasının x ve y eksenindeki boyutlarını ifade etmektedir.

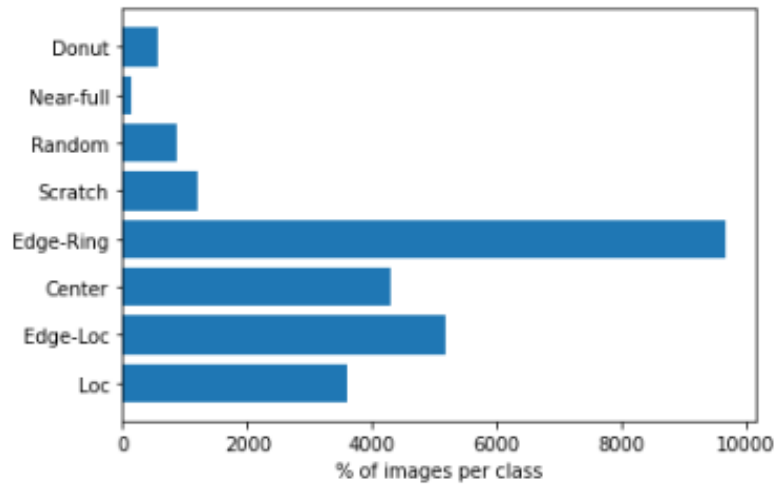
### 5.2.1 Veri setindeki sınıfların dağılımı

Veri setinde bulunan toplam 811457 wafer haritasının 21.3%'ü yani 172950 adedi uzmanlar tarafından değerlendirilip etiketlenmiştir. Bu etiketlenen 172950 adet wafer haritasının sadece 25519 adedi kusur deseni içermektedir. Geriye kalan 147431 adet wafer haritası kusur deseni içermiyor olarak etiklendiği için eğitim ve test verisi olarak kullanılamayacaktır. Şekil 5.12'de Etiketlenmiş ve Kusurlu, Etiketlenmiş ve Kusursuz, Etiketlenmemiş wafer harita desenleri oranları görülmektedir.



Şekil 5.12: Veri setindeki etiketli ve etiketsiz verinin dağılımı

Ayrıca wafer haritalarının desen sınıflarına bakıldığında, her sınıftan eşit sayıda örnek olmadığı da göze çarpmaktadır. Şekil 5.13'de her desen sınıfına ait frekans tablosu verilmiştir.

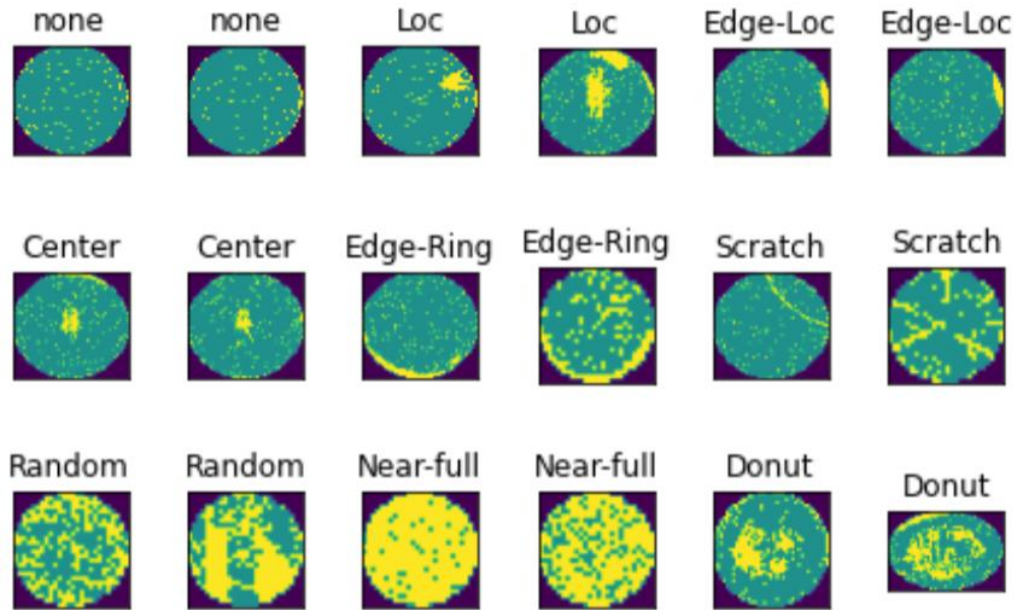


Şekil 5.13: Wafer haritası desen sınıflarının popülasyonu ve dağılımı

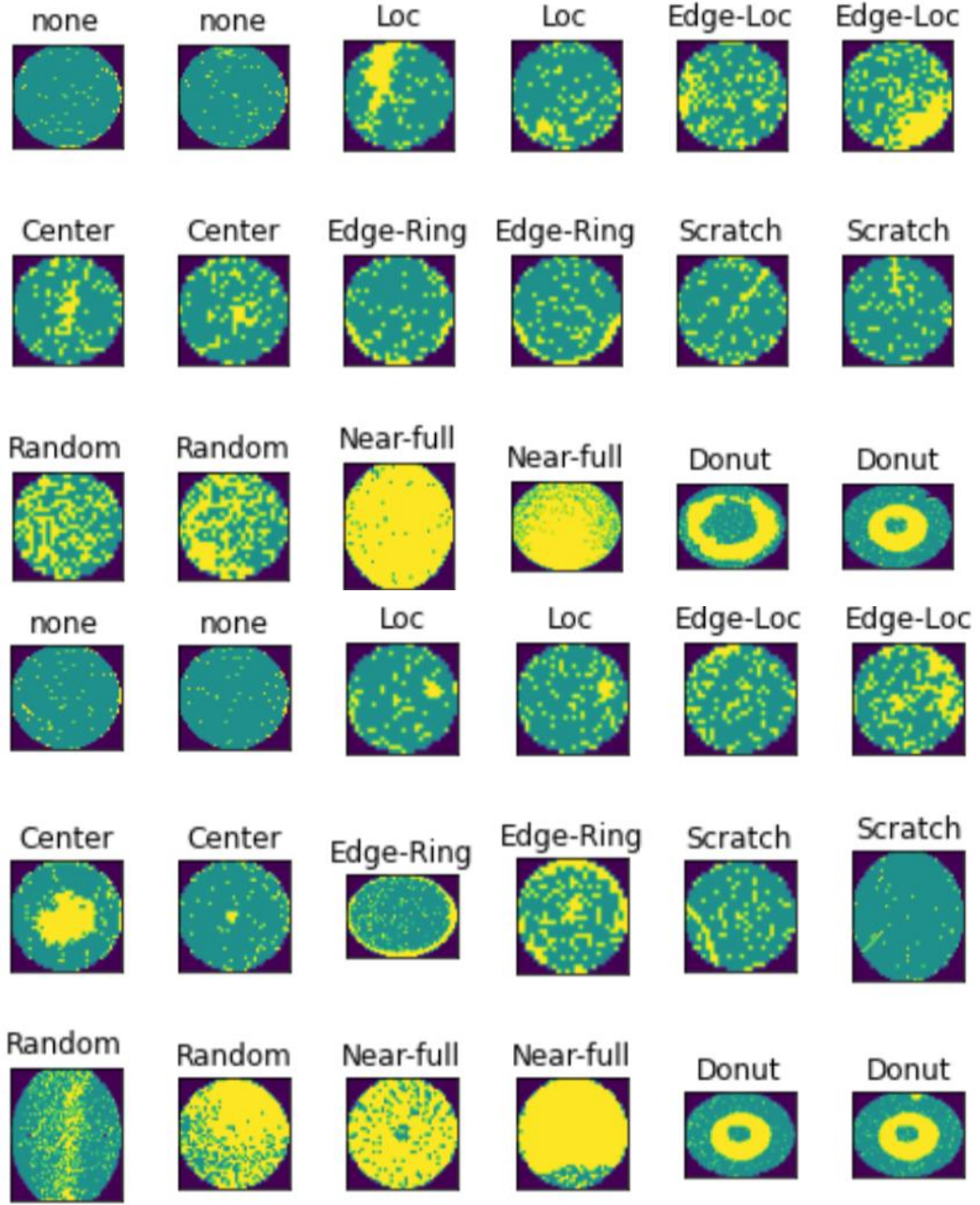
Buradan da anlaşılacağı üzere her desen sınıfı için farklı sayılarda örnek mevcuttur. Literatürde bu duruma “imbalance” yani sınıflar arası dengesizlik problemi adı verilmiştir [16]. Bu problemin çeşitli çözümleri olmakla birlikte, çalışmada bu çözümlerden biri olan; eğitim, test ve validasyon verilerinin taksiminde katmanlaştırma “stratification” yöntemi kullanılacaktır. Katmanlaştırma yöntemi, her sınıftan eşit oranda veri alarak bir taksim gerçekleştirerek dengesizlik probleminin etkilerinin minimize edilmesine katkıda bulunur.

### 5.2.2 Tipik wafer haritalarının incelenmesi

Wafer haritalarının ve desen sınıf etiketlerinin görselleştirilmesi, veri setinin daha iyi anlaşılmasına yardımcı olacaktır. Şekil 5.14’de örnekler verilmiştir.

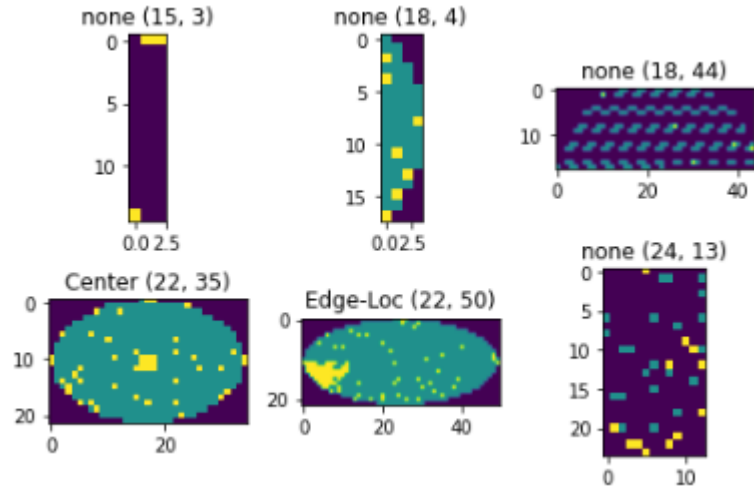


Şekil 5.14: Her sınıfa ait wafer haritasının görselleştirilmiş halleri

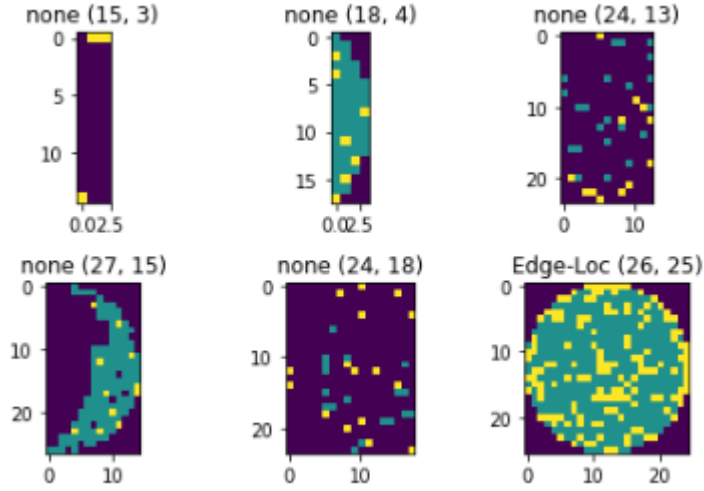


Şekil 5.14 (devamı): Her sınıfa ait wafer haritasının görselleştirilmiş halleri

Wafer haritası veri setinin çeşitliliğini ve kusurların dağılımını görsel olarak anlamak için önemlidir. Kusur tiplerinin dağılımı ve boyutları, bir CNN modelinin eğitimi için veri setinin nasıl hazırlanması gerektiği hakkında fikir verebilir. Ayrıca, veri setindeki dengesizliği ve modelin eğitiminde dikkate alınması gereken potansiyel zorlukları da ortaya koyar. Bu analiz, modelin daha iyi genelleme yapabilmesi için veri ön işleme ve artırma tekniklerinin uygulanmasında yardımcı olabilir. Şekil 5.15 ve Şekil 5.16’da örnekleri verilmiştir.



Şekil 5.15: Wafer haritası veri setinin çeşitliliği ve kusurların dağılımı



Şekil 5.16: Wafer haritası veri setinin çeşitliliği ve kusurların dağılımı

### 5.3 Veri Artırma Süreci

Veri artırma işlemine başlamadan önce, veriyi ortak bir boyuta, yani medyan şekil olan 53x52 piksel boyutlarına çevirmemiz gerekmektedir. Bu boyutlandırma işlemi sonrasında, veriyi iki aşamada artırmaktayız: İlk aşamada, anormal sınıfların dengelenmesi için "el yapımı" görüntüler eklemekteyiz. İkinci aşamada ise, her bir anormal görüntüye yatay ve dikey çevirme ile 90 derece döndürme işlemleri uygulanmaktadır.

Renk deęiřiklięi yapmamaktayız çünkü veri setinde yalnızca arka plan için olan dahil üç tür piksel bulunmaktadır. Donut, loc, near-full, random ve scratch sınıflarını dengeli hale getirmek amacıyla her bir sınıf için 3000 görüntü hedeflenmektedir. Örneęin donut sınıfı için, kusurlu çiplerin piksellerini deęiřtirerek "donut" řeklinde anormal pikseller oluřturulmaktadır. Bu iřlemlerden sonra, tüm anormal sınıflar için 3000 örnek elde edilmiř olacaktır (zaten 3000'den fazla örneęi olan sınıflar hariç).

El yapımı artırma iřleminin etkinlięini deęerlendirmek üzere, artırılmamıř eğitim verisiyle 3 devir eğitilmiř basit bir sinir aęı kullanılmaktadır. Son olarak, veri seti řu görüntüleri içerecek řekilde oluřturulmuřtur:

- Merkez: 17115
- Donut: 15000
- Kenar-Loc: 20170
- Kenar-Halka: 38640
- Loc: 15000
- Neredeyse Tam: 15000
- Rastgele: 15000
- Çizik: 15000
- Yok: 116022

Toplamda 266947 eğitim görüntüsüne ulařılmıřtır. Bu zenginleřtirilmiř veri seti, modelin eğitim sürecinde karřılařabileceęi çeřitlilięi ve zorlukları ele almak için önemli bir kaynak oluřturacaktır.

## 5.4 Performans Deęerlendirme

Aę performansının daha detaylı bir doęrulaması için bazı fonksiyonlar manuel olarak tanımlanmıřtır. İlk olarak, Batch Dataset'ten liste formatına (her eleman bir parti temsil eden bir tensör) dönüşüm iřlevi tanımlanır. Bu yöntem sayesinde, partilerin sırasını otomatik olarak karıştırmadan yönetebiliriz.

Daha sonra, karışıklık matrisinin hesaplanması için bir fonksiyon tanımlanır. Fonksiyona geçirilecek farklı eřik deęerler listesi olabilir. Bu durumda, her eřik için



fonksiyon, bir giriş görüntüsünün yalnızca 'hiçbiri' sınıfı dışındaki sınıflarla ilişkili olasılıklar arasında C sınıfı ile ilişkili olan ve eşiği aşan en yüksek olasılığa sahipse belirli bir hata sınıfı C olarak sınıflandırıldığı karışıklık matrisini döndürür. Aksi takdirde, görüntüye 'hiçbiri' sınıfı atanır. Diğer taraftan, eşikler listesi boş ise, görüntülerin sınıflandırılması basitçe en yüksek olasılığa sahip sınıf ile ilişkilendirilerek gerçekleşir. Şimdi, her sınıf için doğru tanınan görüntülerin oranını hesaplamamızı sağlayacak bir fonksiyon tanımlıyoruz.

Son olarak, verilen bir model için doğruluk, hatırlama ve F1 ölçüm değerlerini hesaplayan bir fonksiyon tanımlanmıştır.

Problem çok sınıflı olduğundan, doğruluk ve hatırlama değerleri, kusursuz sınıf ('hiçbiri') negatif ve kalan 8 kusurlu görüntü sınıfı pozitif olarak kabul edilerek hesaplanmaktadır. Özellikle, bir modelin doğru sınıflandırdığı görüntü sayısı  $TP_i$  verildiğinde:

0: Merkez;

1: Çörek;

2: Kenar-Loc;

3: Kenar-Halka;

4: Loc;

5: Neredeyse Tam;

6: Rastgele;

7: Çizik.

TP değeri şu şekilde tanımlanmıştır:

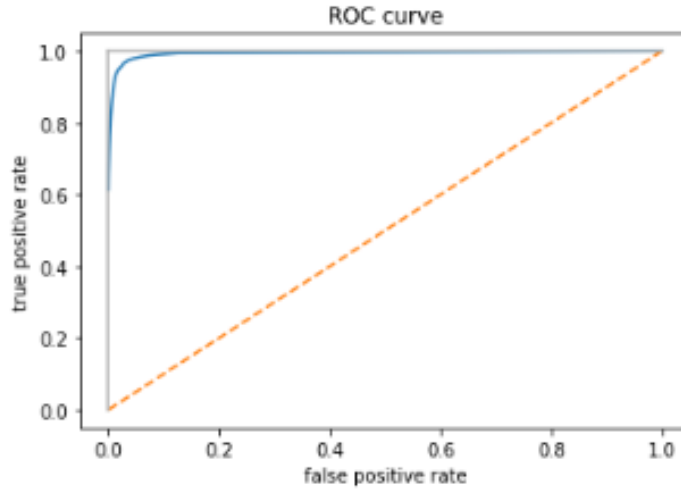
$$TP = TP1 + TP2 + TP3 + TP4 + TP5 + TP6 + TP7,$$

Yani her sınıf için doğru sınıflandırılmış görüntülerin toplamıdır.

Temel olarak, doğruluk ve hatırlama hesaplamalarında, kusurlu olarak doğru sınıflandırılmış fakat yanlış kusur sınıfı ile ilişkilendirilmiş görüntüler dikkate alınmamıştır. Bu nedenle, karışıklık matrisinden yalnızca ana diyagonaldeki değerler, son satırdaki ve son sütundaki değerler kullanılmıştır.

## 5.5 Test Verisi Üzerinde Değerlendirme

ROC eğrisi, modelin tüm sınıflar arasında ayırt etme kabiliyetini değerlendirir. Eğri, modelin gerçek pozitifleri (doğru sınıflandırılan kusurlu örnekler) ne kadar iyi tespit edebildiği ile yanlış pozitifleri (kusursuz olarak yanlış sınıflandırılan kusurlu örnekler) ne kadar az yaptığı arasındaki ilişkiyi gösterir. Eğri ne kadar (1,1) noktasına yakınsa, model o kadar iyi performans göstermiş demektir. Diagonal çizgi ise rastgele tahminin performansını temsil eder ve ROC eğrisinin bu çizginin üzerinde olması modelin rastgele tahminden daha iyi performans gösterdiğini gösterir. Şekil 5.17’de gösterilen ROC (Receiver Operating Characteristic) eğrisi grafiğinde, modelimizin test veri seti üzerindeki performansını görselleştirir ve sınıflandırma başarısını değerlendirir. ROC eğrisi, modelin tüm sınıflar arasında doğru ve yanlış pozitif tahminler arasında ne kadar iyi ayrım yaptığını gösterir. Eğrinin yüksek doğru pozitif oranı (y ekseninde) ve düşük yanlış pozitif oranı (x ekseninde), modelin kusurlu waferleri doğru bir şekilde tespit edebilme kapasitesinin yüksek olduğuna işaret eder. Modelin ROC eğrisinin, ideal performansı temsil eden (1,1) noktasına yakın olması, modelin yüksek bir hassasiyetle kusurları saptayabildiğini ve yanlış alarm sayısını düşük tuttuğunu gösterir.



Şekil 5.17: ROC (Receiver Operating Characteristic) eğrisi

Bu eğrinin altında kalan alan (AUC- Area Under the Curve), modelin performansının tek bir sayı ile özetlenmesini sağlar ve genellikle sınıflandırıcı modeller arasında karşılaştırma yapmak için kullanılır. AUC değeri 1'e yaklaştıkça, modelin performansının o kadar yüksek olduğu anlaşılır. Bu modelde, ROC eğrisinin ideal çizgiye yakınlığı ve AUC değeri, modelin genel olarak kusur sınıflandırmasında güçlü bir performans gösterdiğini gösterir.

Başarım oranlarına gelince, elde edilen sonuçlar modelin eğitim sürecindeki veri setine iyi bir şekilde uyarlandığını ve yeni, görülmemiş veri üzerinde genelleme yapabilme kapasitesine sahip olduğunu gösterir. Ancak, her modelin iyileştirme alanları vardır ve bu sonuçlar, özellikle tanıma oranı düşük olan sınıflar için modeli daha da geliştirmek üzere değerli içgörüler sunar. Bu analizler, modelin gerçek dünya koşullarında nasıl performans gösterebileceğine dair kapsamlı bir bakış açısı sağlayarak, modelin uygulama öncesi iyileştirilmesine yönelik somut adımların atılmasını destekler.

## 6. SONUÇ

Modelimizin performans değerlendirilmesinde, F1 ölçüsü, kesinlik ve hatırlama gibi anahtar metriklerin yanı sıra sınıf bazında doğru sınıflandırma oranları dikkate alınmıştır. Elde edilen %92,91 F1 ölçüsü, %92,25 kesinlik ve %93,58 hatırlama değerleri, modelin yüksek düzeyde doğruluk ve kapsamlılıkla kusur sınıflarını sınıflandırabildiğini göstermektedir. Tablo 6.1’de gösterilmiştir. Her bir sınıf için doğru sınıflandırma oranlarına bakıldığında, modelin 'Donut' gibi belirli sınıflarda daha düşük performans gösterdiği; ancak 'Center' ve 'Edge-Ring' gibi diğer sınıflarda oldukça yüksek doğruluk oranlarına ulaştığı görülmektedir. Genel olarak modelin ortalama %85,67 doğru sınıflandırma oranı, modelin genel başarısını yansıtarak, güçlü genelleştirme yeteneğine işaret etmektedir. Bu sonuçlar, modelin pratik uygulamalardaki potansiyelini ve iyileştirilmesi gereken alanları belirlemekte önemli bir rol oynamaktadır. Eğitim ve doğrulama setlerinde elde edilen kayıp ve doğruluk değerleri, modelin öğrenme sürecinin başarısını ve genelleştirme yeteneğini ifade ediyor.

Tablo 6.1: Model Performans Metrikleri

Metrik	Değer
F1 Ölçüsü	0.9291
Kesinlik	0.9225
Hatırlama	0.9358

Modelin sınıflandırma doğruluğunu daha ayrıntılı bir şekilde incelemek için ROC eğrisi kullanılıyor. ROC eğrisi, modelin tüm sınıflar arasında ayırım yapma yeteneğinin bir göstergesidir ve ideal bir ROC eğrisine yakınlık, modelin pozitif (kusurlu) ve negatif (kusursuz) sınıfları ayırt edebilme kapasitesinin yüksek olduğunu gösterir.

Karışıklık matrisi ve çeşitli performans metrikleri (F1 ölçüsü, kesinlik ve hatırlama), modelin her bir kusur tipini ne kadar başarılı bir şekilde sınıflandırdığını değerlendirir. F1 ölçüsü, bir sınıflandırıcı modelin kesinlik ve hatırlama dengesini birleştirir; yüksek bir F1 ölçüsü, modelin her iki açıdan da iyi performans gösterdiğini ifade eder.

Son olarak, modelin her bir kusur sınıfını tanıma oranlarına bakılarak, hangi kusur tiplerinin daha başarılı tanındığı, hangi tiplerin iyileştirilmeye ihtiyaç duyduğu anlaşılır. Özellikle 'Donut' sınıfında gözlemlenen daha düşük tanıma oranı, bu tipin diğerlerine göre daha zor tanınabildiğini veya modelin bu sınıf için yeterince temsil edici veriye sahip olmadığını gösterebilir. Modelin genel olarak kusur tespitinde başarılı olduğu, ancak belirli sınıflarda performansın daha da iyileştirilebileceği anlaşıyor.

Bu derinlemesine analizler, modelin güçlü ve zayıf yönlerini aydınlatmakta ve modelin daha da geliştirilmesi için net yönler sunmaktadır. Bu bilgiler, modelin gerçek dünya uygulamalarına hazırlanması sırasında öneme sahip olacaktır.

## KAYNAKLAR

- [1] Hsu, S., & Chien, C. (2007). Hybrid data mining approach for pattern extraction from wafer bin map to improve yield in semiconductor manufacturing. *International Journal of Production Economics*, 107(1), 88-103.
- [2] Hwang, J., & Kuo, W. (2007). Model-based clustering for integrated circuit yield enhancement. *European Journal of Operational Research*, 178(1), 143-153.
- [3] Krizhevsky, A., & Sutskever, I. (2017). ImageNet classification with deep convolutional neural networks. *Communications of the ACM*, 60(6), 84-90.
- [4] Nakawaza, T., & Kulkarni, D. (2018). Wafer Map Defect Pattern Classification and Image Retrieval using Convolutional Neural Network. *IEEE Transactions on Semiconductor Manufacturing*, 31(2), 309-314.
- [5] Yu, N., Xu, Q., & Wang, H. (2019). Wafer Defect Pattern Recognition and Analysis Based on Convolutional Neural Network. *IEEE*.
- [6] Wafer World. (2018, April 9). Silicon Wafer Processing | How Are Silicon Wafers Made?: <https://www.waferworld.com/post/silicon-wafer-processing-process adresinden alindi>
- [7] Kuo-Hsiu Wei, C.-C. H.-S.-P.-W.-L. (2016). Cleaning methodology of small residue defect with surfactant in copper chemical mechanical polishing post-cleaning,. *Thin Solid Films*, 618, 77-80.
- [8] Hitachi High-Tech. (2021). Wafer inspection system. <https://www.hitachi hightech.com/global/products/device/semiconductor/inspection.html adresinden alindi>
- [9] Understanding of a convolutional neural network,” *IEEE Conference Publication | IEEE Xplore*, Aug. 01, 2017. <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8308186>
- [10] L. Alzubaidi et al., “Review of deep learning: concepts, CNN architectures, challenges, applications, future directions,” *Journal of Big Data*, Mar. 31, 2021. <https://doi.org/10.1186/s40537-021-00444-8>
- [11] M. Ørstavik and T. Midtbø, “En ny aera for uthenting av informasjon fra satellittbilder ved hjelp av maskinlaering Mathilde Ørstavik...,” *ResearchGate*, Jan. 01, 2017.
- [12] S. Hikmat, A. M. Abdulazeez, H. Saad, and A. Mohsin, “COMPARISON OF OPTIMIZATION TECHNIQUES BASED ON GRADIENT DESCENT ALGORITHM: A REVIEW PJAE, 18 (4) (2021)...,” *ResearchGate*, Feb. 24, 2021.

- [13] Hossin, Mohammad, and Md Nasir Sulaiman. "A review on evaluation metrics for data classification evaluations." *International journal of data mining & knowledge management process* 5.2 (2015): 1.
- [14] ]“A Simplified Cohen’s Kappa for Use in Binary Classification Data Annotation Tasks,” *IEEE Journals & Magazine | IEEE Xplore*, 2019.
- [15] [https://www.researchgate.net/figure/Typical-wafer-map-defect-patterns-in-the-WM-811K-dataset\\_fig1\\_358702828](https://www.researchgate.net/figure/Typical-wafer-map-defect-patterns-in-the-WM-811K-dataset_fig1_358702828)
- [16] Japkowicz, N., & Shaju, S. (2002). The class imbalance problem: A systematic study. *Intelligent Data Analysis*, 6, 429-449.