

## FULL ADDER

ZEYNEP SAKLI

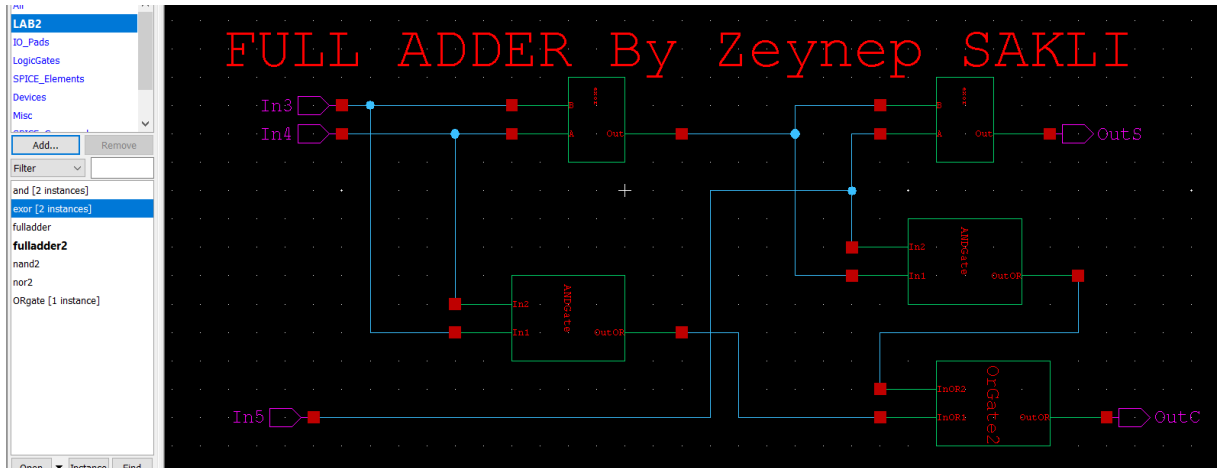
160207013

3 giriş 2 çıkışlı Full-Adder devresi için doğruluk tablosu Şekil 1. 1 'de görülmektedir.

			Out1	Out2
Input			Output	
A	B	Cin	Sum	Carry
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Şekil 1. 1: Full Adder Truth Table

Full Adder devre şematığı 2 adet XOR, 2 adet AND ve 1 adet OR ad kapısı kullanılarak (2 adet Half Adder) Şekil 1. 2 'de görüldüğü gibi tasarlanmıştır. OR, AND ve XOR kapıları manuel olarak hazır kütüphane kullanmadan tasarlanmıştır.



Şekil 1. 2: FullAdder Schematic

Şekil 1. 3 'te .subckt kodları, ekrana sığmadığı için koyulmamıştır.

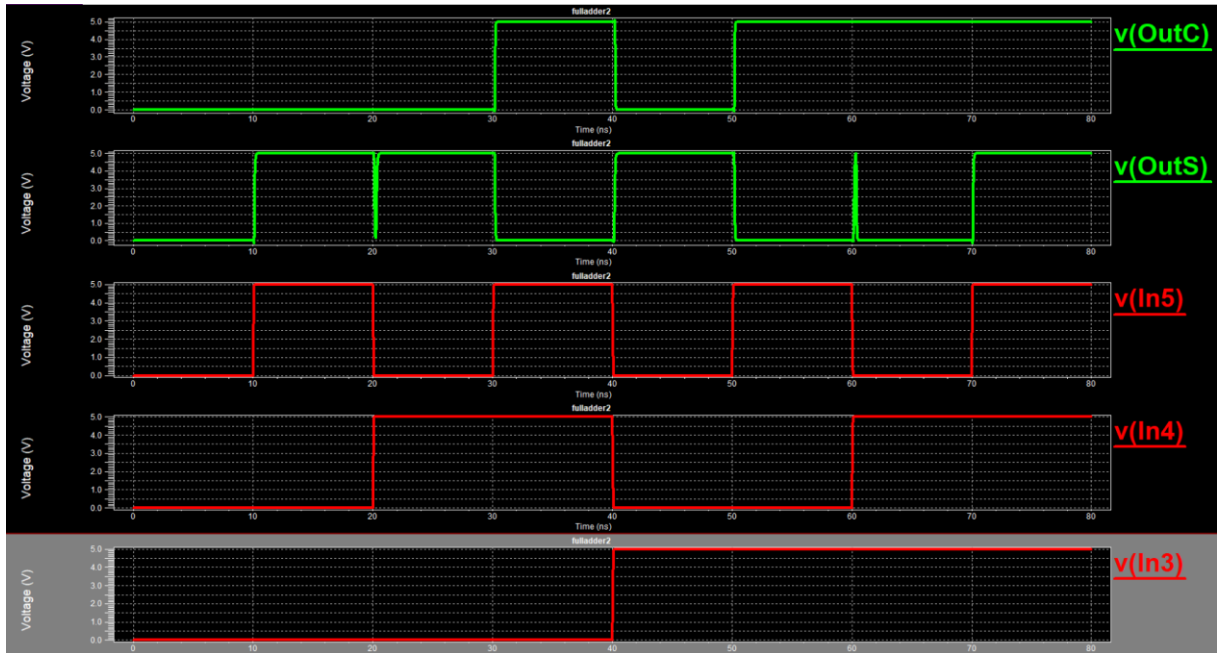
```
***** Simulation Settings - Parameters and SPICE Options *****
Xand_1 In3 In4 N_2 Gnd Vdd and
Xand_2 N_1 In5 N_3 Gnd Vdd and
Xxor_1 In4 In3 N_1 Gnd Vdd exor
XORgate_1 N_2 N_3 OutC Gnd Vdd ORgate
Xxor_2 In5 N_1 OutS Gnd Vdd exor

***** Simulation Settings - Analysis section *****

***** Simulation Settings - Additional SPICE commands *****
Vzeynep2 Vdd Gnd 5V
VIN3 In3 Gnd dc 0 BIT ({00001111} pw=10n lt=10n ht=10n on=5 off=0 rt=0.1n ft=0.1n delay=0) AC 0 0 ROUND=0
VIN4 In4 Gnd dc 0 BIT ({00110011} pw=10n lt=10n ht=10n on=5 off=0 rt=0.1n ft=0.1n delay=0) AC 0 0 ROUND=0
VIN5 In5 Gnd dc 0 BIT ({01010101} pw=10n lt=10n ht=10n on=5 off=0 rt=0.1n ft=0.1n delay=0) AC 0 0 ROUND=0
.tran 80p 80n start=0
.print tran v(In3) v(In4) v(In5) v(OutS) v(OutC)
.include "C:\Users\Zeynep\Desktop\VLSI_TASARIM_DERSLER\VLSI_tech_files\SCN_0.25u_CMOS.md"
.end
```

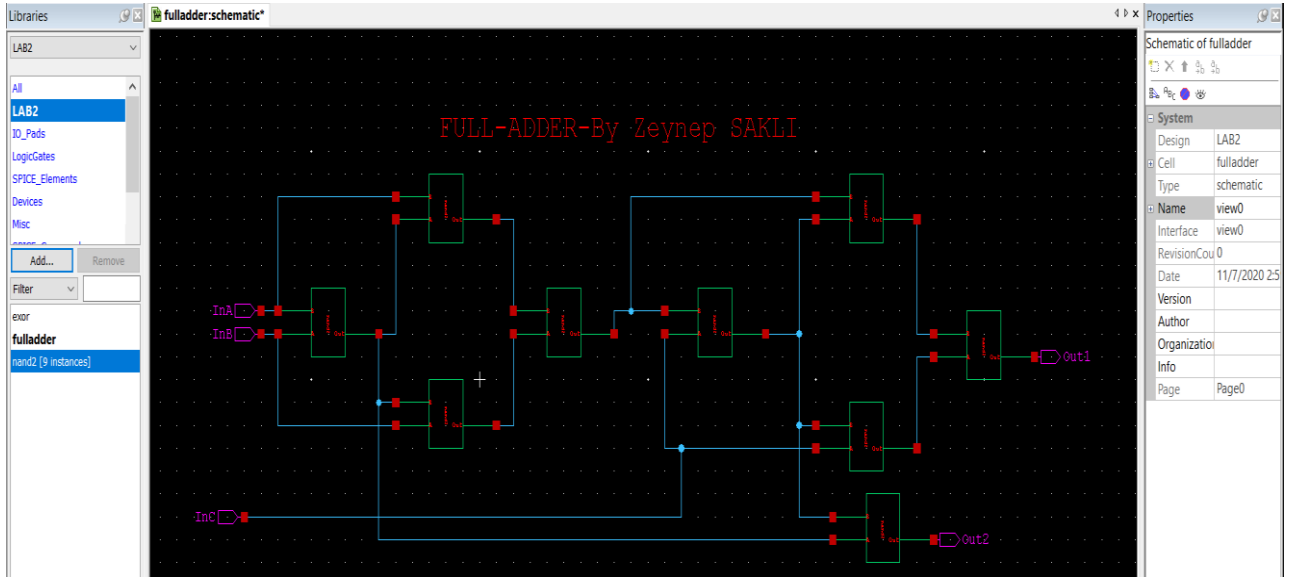
Şekil 1. 3: FullAdder T-Spice Code

Şekil 1. 4 'te 2 adet Half Adder kullanılarak tasarlanan Full Adder devresine ait W-Edit simülasyon çıktısı görülmektedir. Doğruluk tablosundaki değerlerle W-Edit simülasyon çıktısı uyduğu görülmektedir.



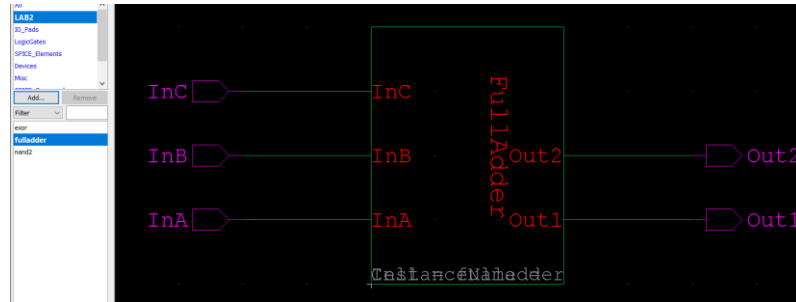
Şekil 1. 4: FullAdder W-Edit Output

Full Adder devre şematığı 9 adet NAND kapısı kullanılarak Şekil 1. 5 ‘te görüldüğü gibi tasarlanmıştır.



Şekil 1. 5: Full Adder Schematic

NOT: Şekil 1. 6 ‘da sol tarafta görüldüğü gibi devrede kullanılan NAND kapıları manuel olarak oluşturulup hazır kütüphaneden kullanılmamıştır.



Şekil 1. 6: Full Adder Symbol

Full Adder devresi için T-Spice kodu Şekil 1. 7 ‘de 3 giriş ve 2 çıkış olmak üzere (Simulation time: 10n) olarak yazılmıştır.

```

.subckt nand2 A B Out Gnd Vdd
*----- Devices: SPICE.ORDER > 0 -----
NMOS_1 N_1 B Gnd Gnd NMOS W=2.5u L=250n AS=2.25p PS=6.8u AD=2.25p PD=6.8u
NMOS_2 Out A N_1 Gnd NMOS W=2.5u L=250n AS=2.25p PS=6.8u AD=2.25p PD=6.8u
PMOS_1 Out A Vdd Vdd PMOS W=2.5u L=250n AS=2.25p PS=6.8u AD=2.25p PD=6.8u
PMOS_2 Out B Vdd Vdd PMOS W=2.5u L=250n AS=2.25p PS=6.8u AD=2.25p PD=6.8u
.ends

***** Simulation Settings - Parameters and SPICE Options *****

Xnand2_1 N_1 InA N_2 Gnd Vdd nand2
Xnand2_7 N_1 N_5 Out2 Gnd Vdd nand2
Xnand2_8 N_7 N_6 Out1 Gnd Vdd nand2
Xnand2_9 InC N_5 N_7 Gnd Vdd nand2
Xnand2_2 InB InA N_1 Gnd Vdd nand2
Xnand2_3 N_3 N_2 N_4 Gnd Vdd nand2
Xnand2_4 InB N_1 N_3 Gnd Vdd nand2
Xnand2_5 InC N_4 N_5 Gnd Vdd nand2
Xnand2_6 N_5 N_4 N_6 Gnd Vdd nand2

***** Simulation Settings - Analysis section *****

***** Simulation Settings - Additional SPICE commands *****
Vzeynep Vdd Gnd 5V
VinA InA Gnd dc 0 BIT ({00001111} pw=10n lt=10n ht=10n on=5 off=0 rt=0.1n ft=0.1n delay=0) AC 0 0 ROUND=0
VinB InB Gnd dc 0 BIT ({00110011} pw=10n lt=10n ht=10n on=5 off=0 rt=0.1n ft=0.1n delay=0) AC 0 0 ROUND=0
VinC InC Gnd dc 0 BIT ({01010101} pw=10n lt=10n ht=10n on=5 off=0 rt=0.1n ft=0.1n delay=0) AC 0 0 ROUND=0
.tran 80p 80n start=0
.print tran v(InA) v(InB) v(InC) v(Out1) v(Out2)
.include "C:\Users\Zeynep\Desktop\VLSI_TASARIM_DERSLER\VLSI_tech_files\SCN_0.25u_CMOS.md"
.end

```

Şekil 1. 7: Full Adder T-Spice Code

Doğruluk tablosundaki değerlerle Şekil 1. 8’ de bulunan W-Edit simülasyon çıktısı uyuyor.



Şekil 1. 8: Full Adder W-Edit Output

**Zeynep SAKLI**

**160207013**