**实验三：译码器**

**一、 实验目的**

1、 熟悉集成译码器

2、 了解集成译码器应用

**二、 实验仪器及材料**

1、仪器设备：具有 USB 接口的微型计算机一台、Altera\_FPGA 实验板、USB-Blaster 下载器一台

2、软件：Quartus II 13.0 以上 Altera\_FPGA 开发环境。

3、集成芯片：

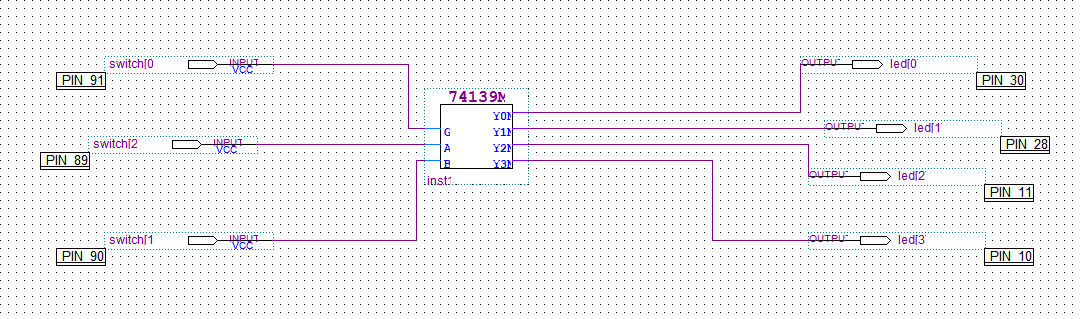
74LS139 2-4 线译码器

74LS04 六反相器

**三、 实验内容**

1、译码器功能测试

电路图：

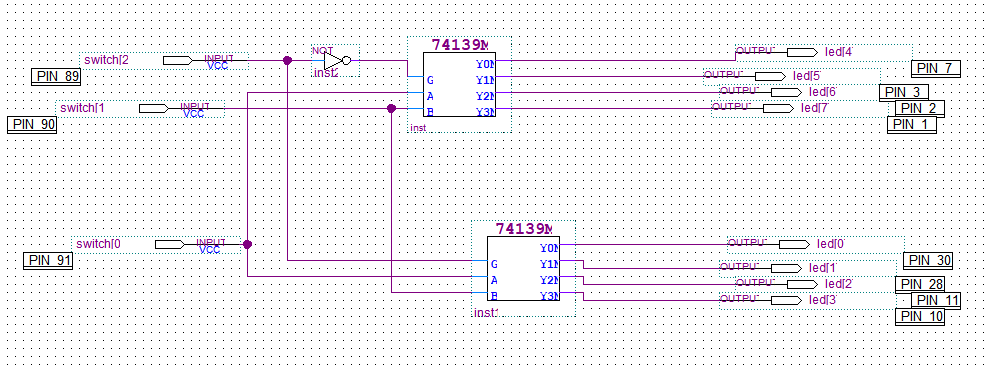


真值表：

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | 输出 | | | |
| 使能 | 选择 | |
| E | A1 | A0 | ‾Y0 | ‾Y1 | ‾Y2 | ‾Y3 |
| H | X | X | H | H | H | H |
| L | L | L | L | H | H | H |
| L | L | H | H | L | H | H |
| L | H | L | H | H | L | H |
| L | H | H | H | H | H | L |

2、译码器转换

电路图：



真值表：

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| E | A1 | A0 | ‾Y0 | ‾Y1 | ‾Y2 | ‾Y3 | ‾Y4 | ‾Y5 | ‾Y6 | ‾Y7 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

1. **实验小结：**

通过实验，学习了译码器的使用，并且学会了如何通过使能端对译码器的功能进行扩展，使用多个相同的译码器来实现更多输入更多输出的译码器