

**本科实验报告**

|  |  |
| --- | --- |
| 课程名称： | 计算机体系结构 |
| 姓 名： | 孟展豪 |
| 学 号： | 3150104510 |
| 指导教师： | 陈文智 |

2018 年 10 月 9日

**浙江大学实验报告**

课程名称： 计算机体系结构 实验类型： 普通实验

实验项目名称： Single Cycle CPU Design

学生姓名： 孟展豪 专业： 计算机科学与技术 学号： 3150104510

同组学生姓名： --- 指导老师： 陈文智

实验地点： 曹西301 实验日期：2018年 10月 9日开始

Single Cycle CPU Design

1. 实验介绍：

这个实验将指导理解单周期处理器的各个功能模块组成和内部实现方式。

1. 实验目标：

补全补全各个功能模块源代码中的空缺部分。

对处理器进行仿真，检验处理器的仿真结果是否符合要求。

综合工程并下载至开发板，在单步执行的过程中检查调试屏幕的输出，检验处理器的执行过程是否正确**。**

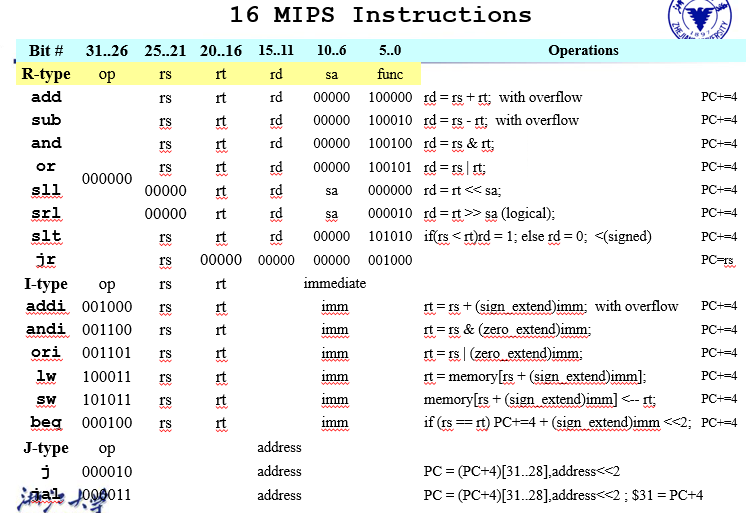
1. 实验步骤
   1. 建立新工程
   2. 设计代码与输入
   3. 综合与仿真
   4. 下载验证
2. 主要仪器设备

PC机一台，安装有ISE软件

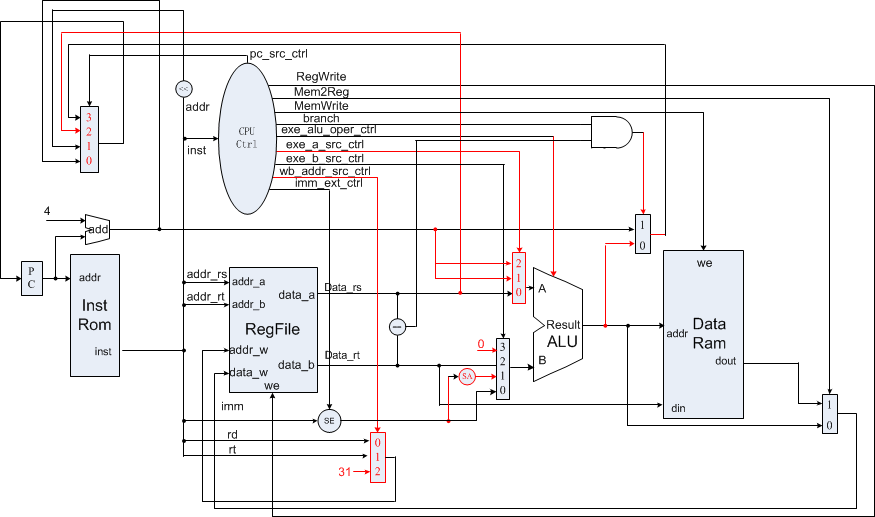
开发板一套

1. 实验原理

Mips指令集原理



CPU Controller 原理图及datapath原理



1. 实验具体操作步骤

通过verliog语言设计CPU controller，本次实验中主要为补充control缺省部分，并依此设计bne指令信号：

1. INST\_J: begin
2. pc\_src = EXE\_B\_IMM;
3. end
4. INST\_JAL: begin
5. pc\_src = PC\_JUMP;
6. exe\_a\_src = EXE\_A\_LINK;
7. exe\_b\_src = EXE\_B\_LINK;
8. exe\_alu\_oper = EXE\_ALU\_ADD;
9. wb\_addr\_src = WB\_ADDR\_LINK;
10. wb\_data\_src = WB\_DATA\_ALU;
11. wb\_wen = 1;
12. end
13. INST\_BNE: begin
14. pc\_src = PC\_BNE;
15. exe\_a\_src = EXE\_A\_BRANCH;
16. exe\_b\_src = EXE\_B\_BRANCH;
17. exe\_alu\_oper = EXE\_ALU\_ADD;
18. imm\_ext = 1;
19. end
20. INST\_ADDI: begin
21. imm\_ext = 1;
22. exe\_b\_src = EXE\_B\_IMM;
23. exe\_alu\_oper = EXE\_ALU\_ADD;
24. wb\_addr\_src = WB\_ADDR\_RT;
25. wb\_data\_src = WB\_DATA\_ALU;
26. wb\_wen = 1;
27. end
28. INST\_ANDI: begin
29. imm\_ext = 0;
30. exe\_b\_src = EXE\_B\_IMM;
31. exe\_alu\_oper = EXE\_ALU\_AND;
32. wb\_addr\_src = WB\_ADDR\_RT;
33. wb\_data\_src = WB\_DATA\_ALU;
34. wb\_wen = 1;
35. end
36. INST\_ORI: begin
37. imm\_ext = 0;
38. exe\_b\_src = EXE\_B\_IMM;
39. exe\_alu\_oper = EXE\_ALU\_OR;
40. wb\_addr\_src = WB\_ADDR\_RT;
41. wb\_data\_src = WB\_DATA\_ALU;
42. wb\_wen = 1;
43. end
44. INST\_LW: begin
45. imm\_ext = 1;
46. exe\_b\_src = EXE\_B\_IMM;
47. exe\_alu\_oper = EXE\_ALU\_ADD;
48. mem\_ren = 1;
49. wb\_addr\_src = WB\_ADDR\_RT;
50. wb\_data\_src = WB\_DATA\_MEM;
51. wb\_wen = 1;
52. end
53. INST\_SW: begin
54. imm\_ext = 1;
55. exe\_b\_src = EXE\_B\_IMM;
56. exe\_alu\_oper = EXE\_ALU\_ADD;
57. mem\_wen = 1;
58. end

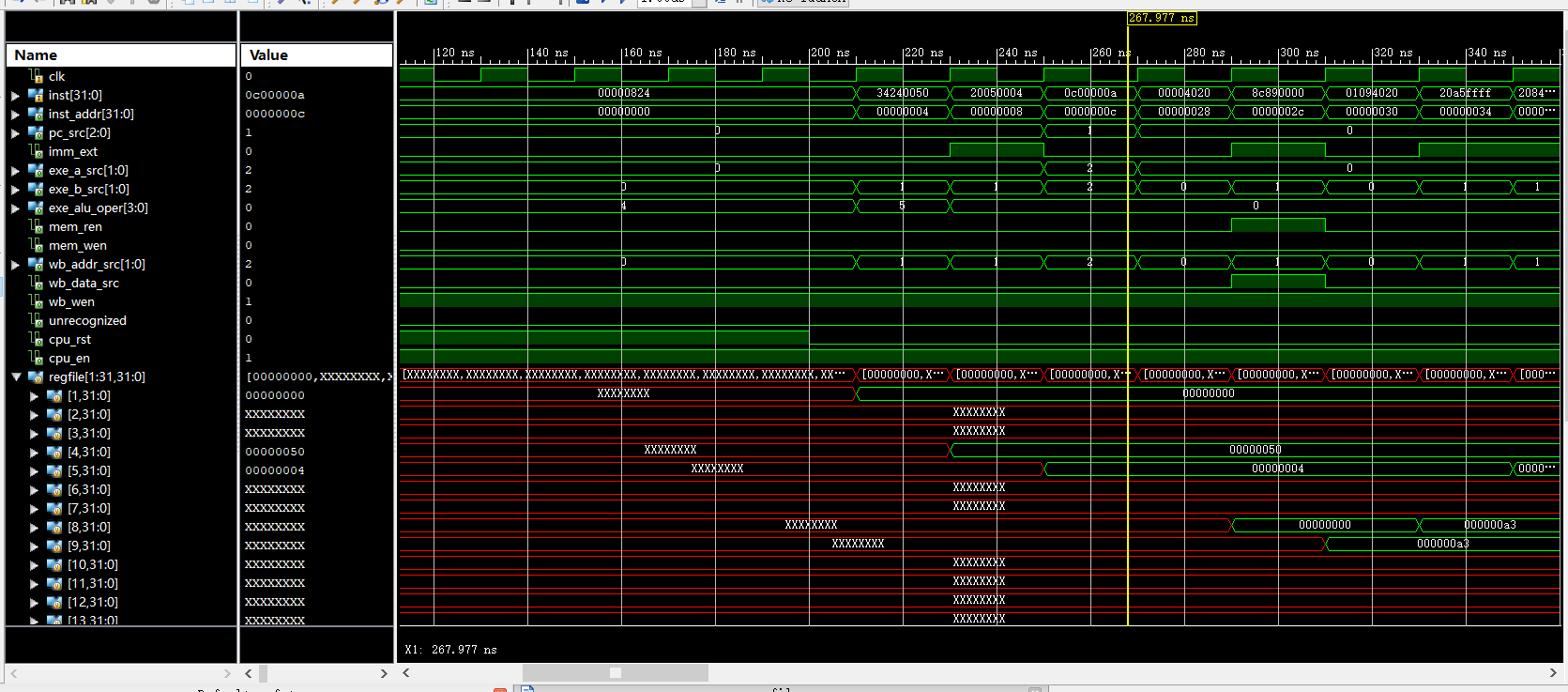
完成controller设计后，安装单周期CPU流程图，以及ppt描述，完成datapath设计，尤其注意j，jl，bne指令是设计中的重点：

1. always @(posedge clk) begin
2. **if** (cpu\_rst) begin
3. inst\_addr <= 0;
4. end
5. **else** **if** (cpu\_en) begin
6. **case** (pc\_src\_ctrl)
7. PC\_JUMP: inst\_addr <= {inst\_addr[31:28],inst\_data\_ctrl[25:0],2'b0};
8. PC\_JR: inst\_addr <= data\_rs;
9. PC\_BNE: **if** (rs\_rt\_equal) begin
10. inst\_addr <= inst\_addr + 4;
11. end
12. **else** begin
13. inst\_addr <= alu\_out;
14. end
15. **default**: inst\_addr <= inst\_addr + 4;
16. endcase
17. end
18. end

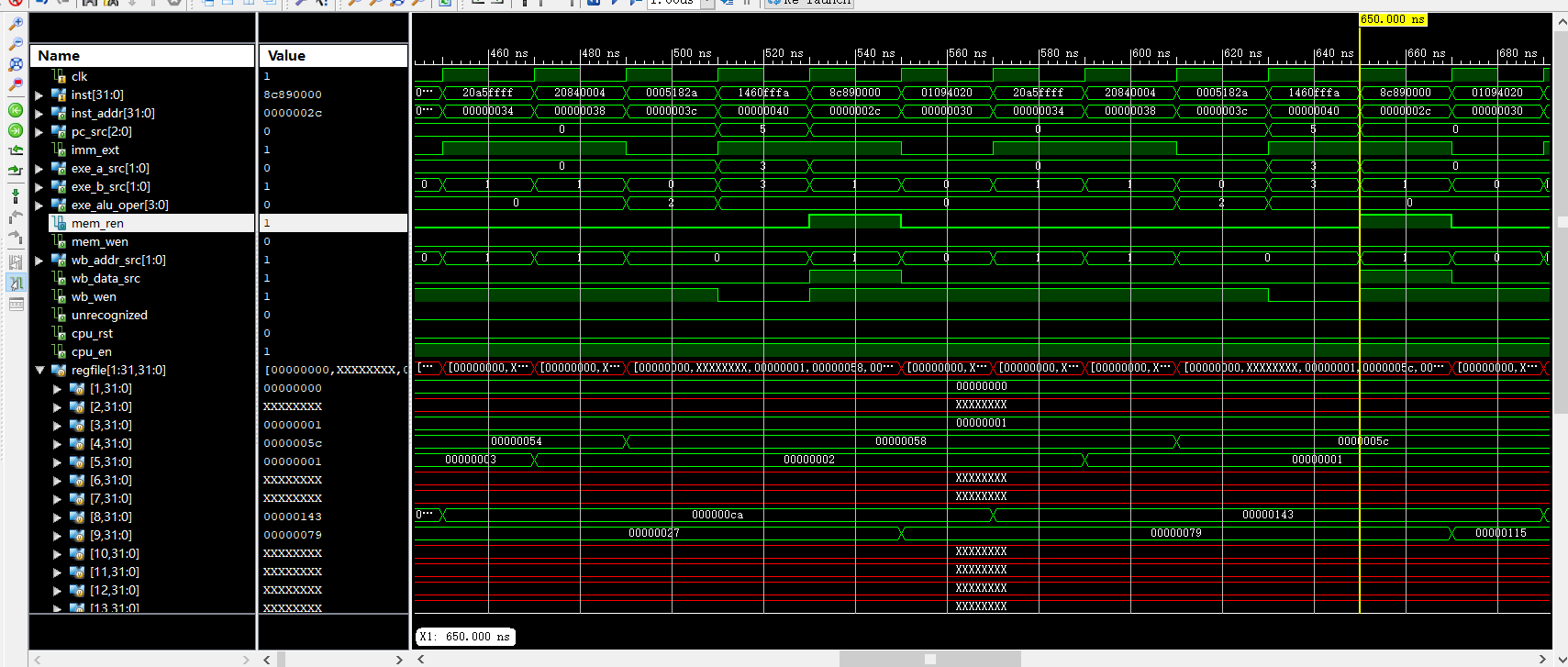
根据ppt完成设计：

1. always @(\*) begin
2. opa = data\_rs;
3. opb = data\_rt;
4. **case** (exe\_a\_src\_ctrl)
5. EXE\_A\_RS: opa = data\_rs;
6. EXE\_A\_LINK: opa = inst\_addr\_next;
7. EXE\_A\_BRANCH: opa = inst\_addr\_next;
8. endcase
9. **case** (exe\_b\_src\_ctrl)
10. EXE\_B\_RT: opb = data\_rt;
11. EXE\_B\_IMM: opb = data\_imm;
12. EXE\_B\_LINK: opb = 32'h0;
13. EXE\_B\_BRANCH: opb = {data\_imm[29:0], 2'b0};
14. endcase
15. end
17. alu ALU (
18. .a(opa),
19. .b(opb),
20. .oper(exe\_alu\_oper\_ctrl),
21. .result(alu\_out)
22. );
24. assign
25. mem\_ren = mem\_ren\_ctrl & cpu\_en & ~cpu\_rst,
26. mem\_wen = mem\_wen\_ctrl & cpu\_en & ~cpu\_rst,
27. mem\_addr = alu\_out,
28. mem\_dout = data\_rt;
30. always @(\*) begin
31. regw\_data = alu\_out;
32. **case** (wb\_data\_src\_ctrl)
33. WB\_DATA\_ALU: regw\_data = alu\_out;
34. WB\_DATA\_MEM: regw\_data = mem\_din;
35. endcase
36. end

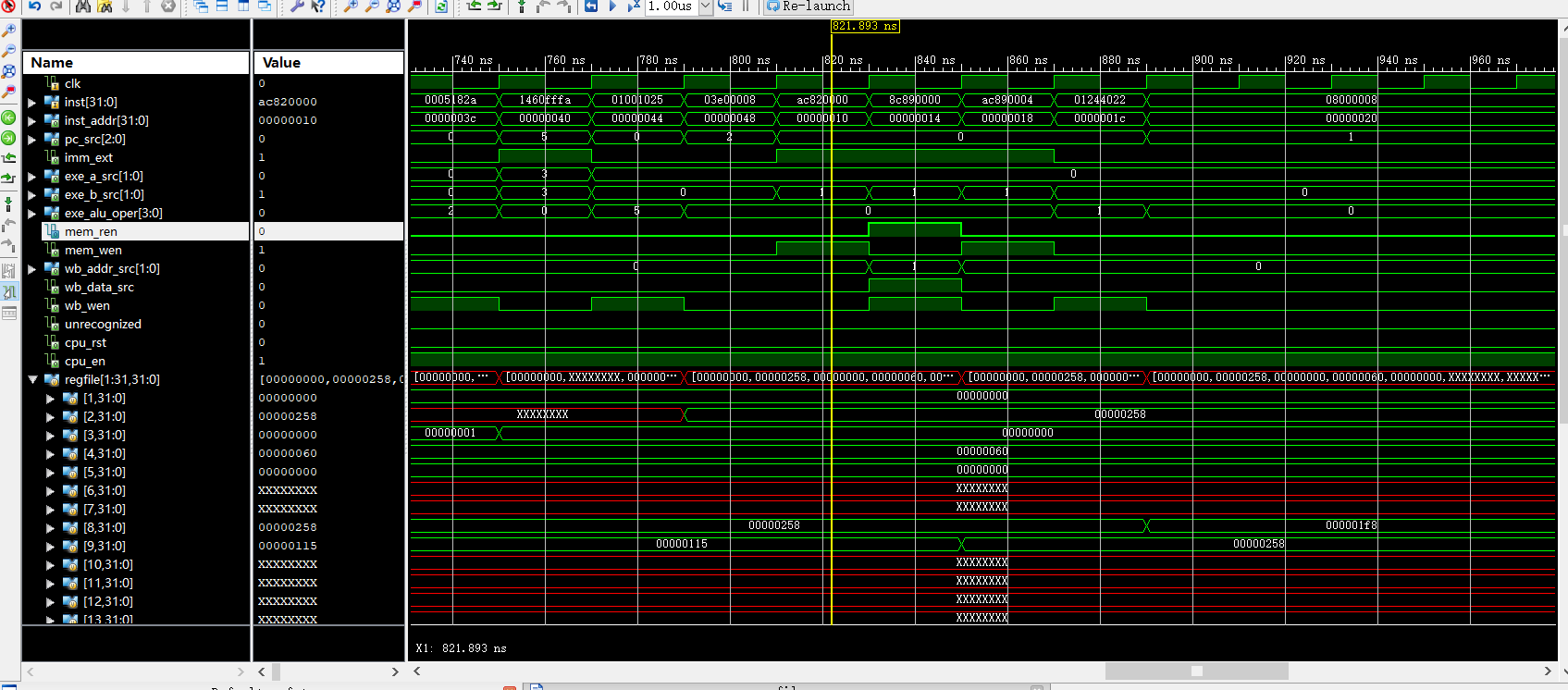
编写测试代码进行仿真测试：



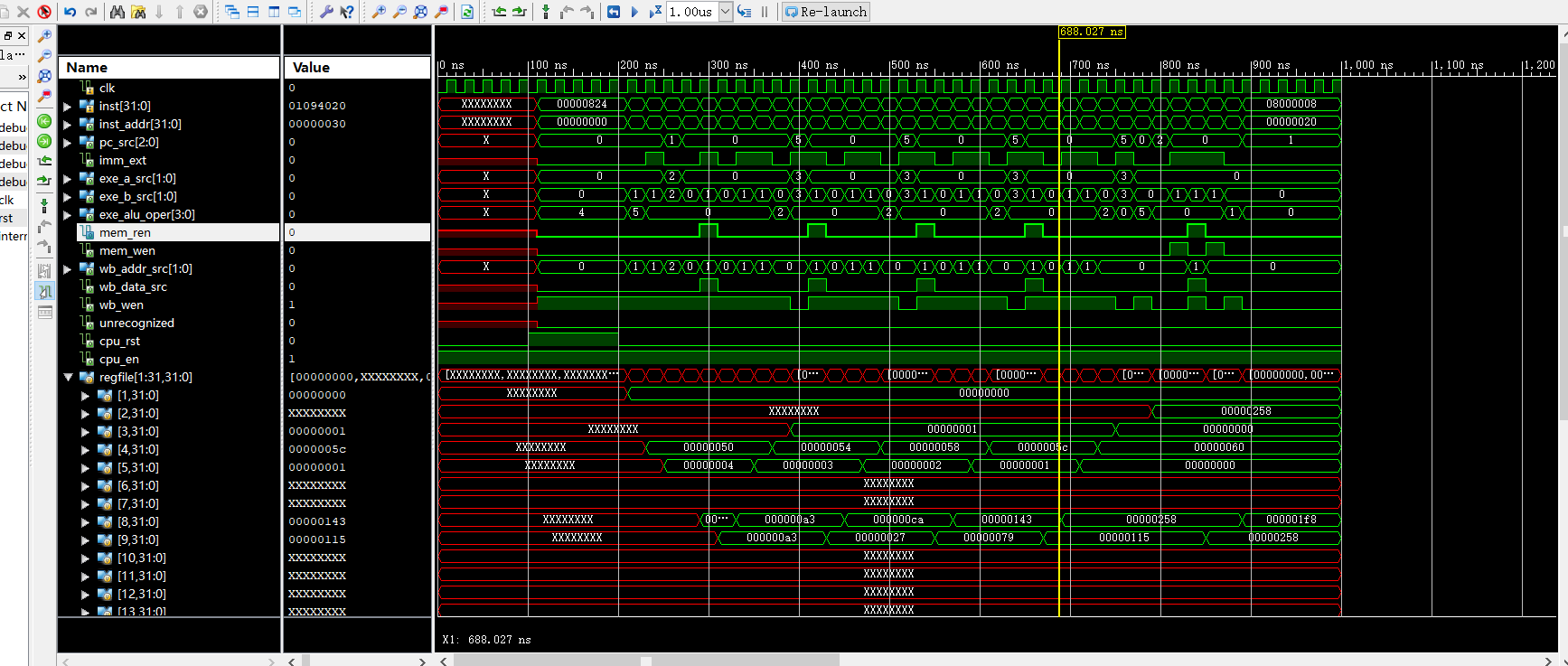
如图所示，测试开始，当前指令地址为0，执行00000824指令，之后指令地址+4依次按地址执行指令，同时寄存器被赋值；当指令地址为0000000c时执行第4条jal指令，可见下一条指令地址跳转为00000028，执行00004020指令，证明jal指令正确执行。



进入loop中，可见仿真中执行地址为00000040都1460fffa指令后跳转回地址为0000002c的8c890000指令，同时$5寄存器的值在-1，说明loop执行中。



如图，当$5寄存器值为0后，执行1460fffa后不再跳转回loop地址，而是转到00000044地址指令，证明bne判断逻辑正确，程序已挑出循环，随后执行r类型指令，观察$2，$8，$9寄存器值可见lw，sw指令执行正确，最后执行03e00008，jr指令，停止程序。



宏观观察仿真如图，符合指令集计算结果。

下载验证





如图所示，验证最后执行结果，$9寄存器值为258，证明指令集计算正确，单周期cpu功能正确实现。

总结心得

本次实验作为计算机体系结构的第一次实验，旨在复习单周期CPU，其中只需要设计CPU controller和datapath即可，其中bne指令的编写为本次的难点，在设计时我们也遇到了一定的麻烦，然后通过不断的仿真分析，最终成功修改错误代码，完成验证。这说明在设计，编写过程中不断的仿真的重要性。