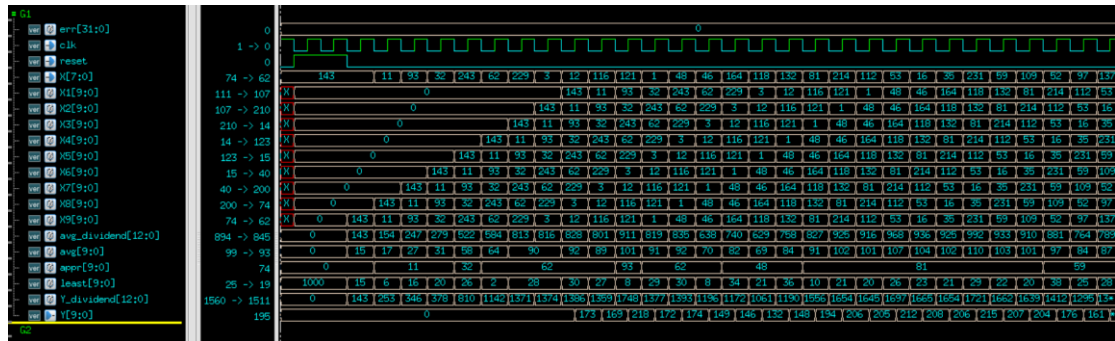


實驗結果圖：

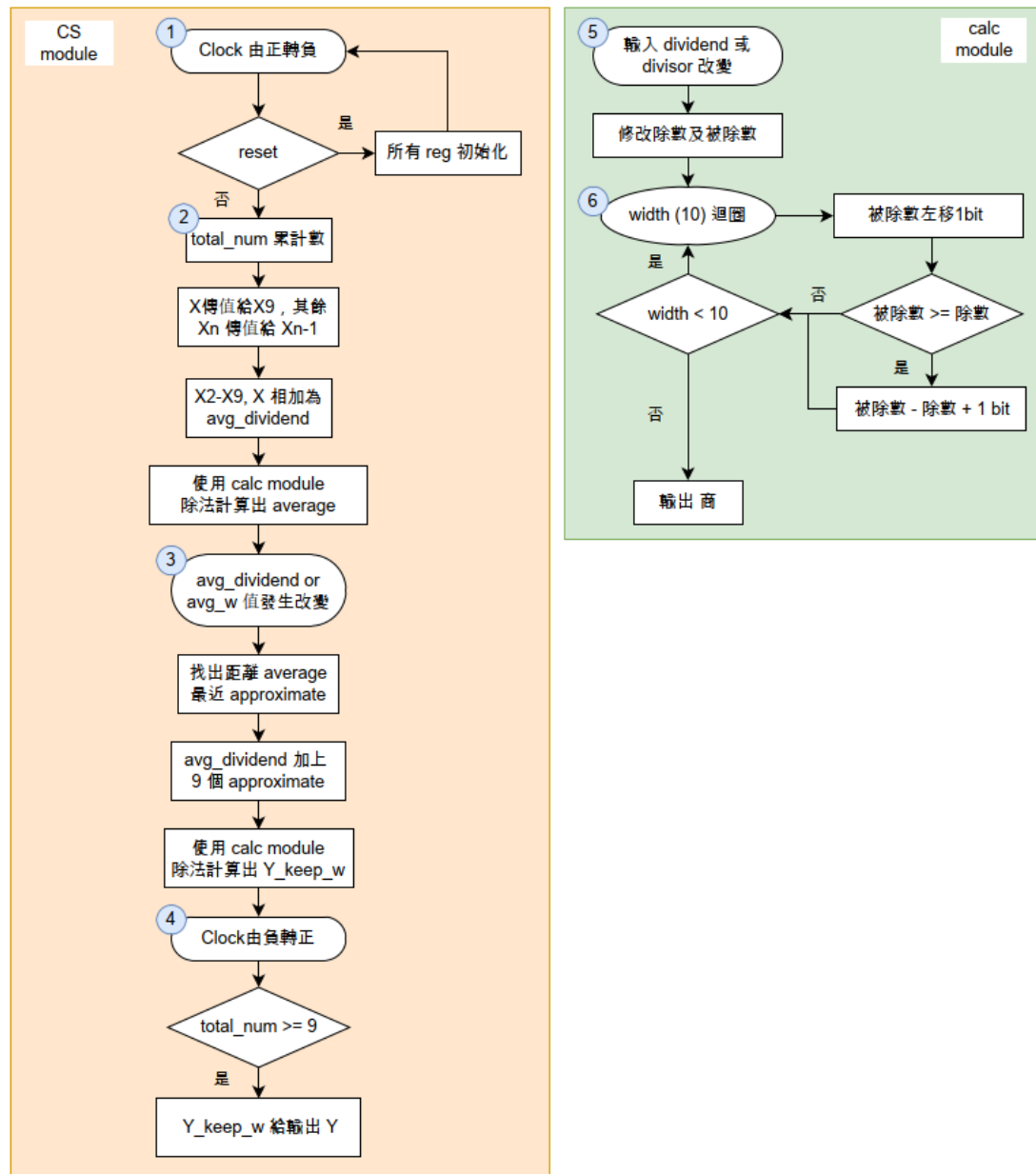
(波形圖及模擬完成截圖)



```
Instances Unique
Modules: 4 3
Registers: 48 41
Scalar wires: 3 -
Expanded wires: 36 3
Vectorized wires: 5 -
Always blocks: 11 9
Initial blocks: 18 17
Cont. assignments: 0 1
Pseudo assignments: 2 2
Timing checks: 20 -
Simulation timescale: 10ps
Writing initial simulation snapshot: worklib.testfixture.v
Loading snapshot worklib.testfixture.v ..... Done
*Verdi* Loading libsscore_ius152.so
ncsim> source /usr/cad/cadence/INCISIV/cur/tools/inca/files/ncsimrc
ncsim> run
FSDB Dumper for IUS, Release Verdi_0-2018.09, Linux x86_64/64bit, 08/30/2018
(C) 1996 - 2018 by Synopsys, Inc.
*Verdi* FSDB WARNING: The FSDB file already exists. Overwriting the FSDB file may crash the programs that are using this file.
*Verdi* : Create FSDB file 'CS.fldb'
*Verdi* : Begin traversing the scopes, layer (0).
*Verdi* : End of traversing.
*Verdi* : Begin traversing the MDAs, layer (0).
*Verdi* : Enable +mda and +packedmda dumping.
*Verdi* : End of traversing the MDAs.
-----
All data have been generated successfully!
-----PASS-----
Simulation complete via $finish(1) at time 60120 NS + 0
../sim/testfixture.v:129 $finish;
ncsim> exit
+ HW1_P110775004_online
```

程式運作流程：

(簡單說明波形變化的意義)



1. 當 clock 由正轉負，檢查 reset，若為正 reg 們重設；若為負往下執行
2. total_num 累加 1，且輸入 X 傳給 X9，Xn 依序傳給 Xn-1，並將 X2-9 與 X 加總為 avg_dividend 做為子 module calc 的輸入，計算 average
3. 當 avg_dividend 或 average 發生變化時，計算距離 average 最近的 Xn 值 (approximate)，將其*9 加上 avg_dividend，輸入 calc module 算出 Y_keep_w
4. 當 clock 由負轉正且判斷 total_num >= 9 的時候，由 Y_keep_w 給到輸出 Y
5. 當 calc module 取得除數及被除數，開始執行

6. 進行 10 個迴圈計算(輸入最大可能為 10 位數)，被除數每回合向左 1bit，與除數比較大小，若大於或等於除數，兩者相減，並加上 1bit，作為新的被除數；若小於除數，保留原被除數。若 $i = 10$ ，結束迴圈，並輸出商數